

VLSI Symposium 2017 の感想

報告者：ATN 増田弘生

講演日程：

6/5 (ショートコース)とレセプション

6/6-8 VLSI Symposium 2017

6/9 Workshop on Singularity

ショートコースは参加せず。

今年から Technology/Circuit Sympo の日程が完全に同じになり、どちらでも好きな Session を聴講できるようになった。今回の出張では VLSI Technology セッションを主に聴講。参加者数は 1100 人、Technology と Circuit が半々程度。

論文採択率 (Late News 除く)：

Technology: 70/160 (44%)

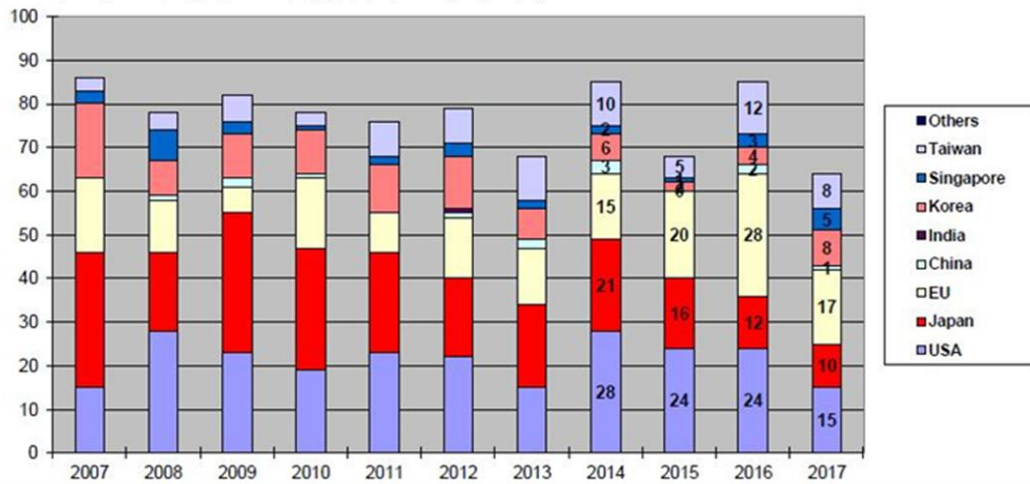
Circuit: 115/330 (35%)

VL-Tech概要と感想

- VLSI-Technology分野ではファウンダリとその共同研究機関からの発表が強い。インテル、東芝の学会影響力は低下
- 微細FET関連: 各ファウンダリは7~10nm世代FinFET、ファウンダリ連合による5nm世代ナノシートFETの発表
- 注目動向は、SiGe FETの実用化技術、微細構造ストレスを考慮したデバイス設計法
- IoT、機械学習関連: 先端技術とは異なりLow Pw SOIがプロセス解?
- 感想:
久しぶりの学会聴講になり、Si技術の最新成果を体感できた。微細化は相変わらず力技と小独創でたゆまず追及されている。新しい動きの中では、従来寄生効果的な力学ストレスが設計要素に格上げされてきたのが興味を引いた。ナノシートFETをウォッチ、5nm見据えFinからプレーナに回帰の兆し。

VL Tech採択論文数（地域別）

地に着いた物作りの場（研究機関、企業）を持っているところが強いという自然な帰結。日本は資本力でなく独創と応用で競争する意識をもつ必要、IoTはその市場として有望なターゲット。



VL Tech機関別採択論文数

ファウンダリとその共同先端研究機関(imec等)がトップを独占。日本ではソニーのイメージセンサーが健闘、これからはIoT分野の応用考えた集積技術が重要

	2017	2016	2015	2014	2013	2012	2011
	ACC	Acc	Acc	Acc	Acc	Acc	Acc
Total	64	85	68	85	68	79	76
imec	7	10	9	10	9	8	7
IBM	6	7	6	5	3	7	6
Samsung	6	1	0	1	4	6	3
GLOBALFOUNDRIES	5	3	0	3	0	0	2
CEA-LETI	4	5	3	3	1	3	2
TSMC	3	4	2	2	2	2	3
National Chiao Tung Univ.	3	3	1	0	2	1	2
The Univ. of Tokyo	3	2	4	4	4	4	5
National Univ. of Singapore	3	1	0	1	2	3	2
Purdue Univ.	2	1	1	3	0	0	0
Univ. Notre Dame	2	1	0	0	0	0	0
Lund Univ.	2	1	0	0	0	0	0

福田 昭 VLSI 2017レポート

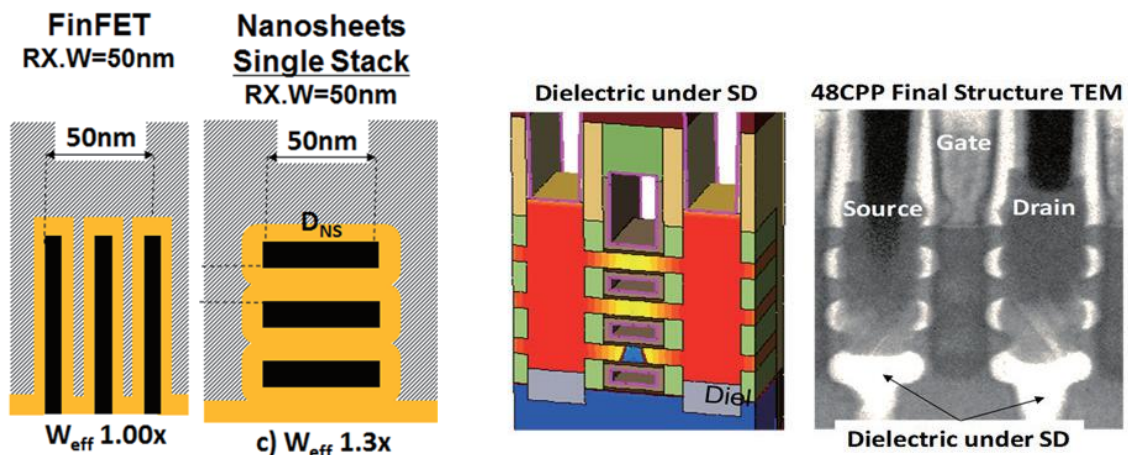
(C) NPO Analog Technology Network, All rights reserved

4

ファウンダリによる5nm世代微細化共同開発 (FEOL: 微細MOSプロセス)

ナノシートFET (IBM, GF, Samsung):

FinFETの縦長Finを横型に置いた構造。プロセスは多少トリッキーだが試作CMOS特性が示されていて正常動作している。縦型Finから横型プレーナ構造への回帰。力と細かい改良で実用まで持ってゆけそう

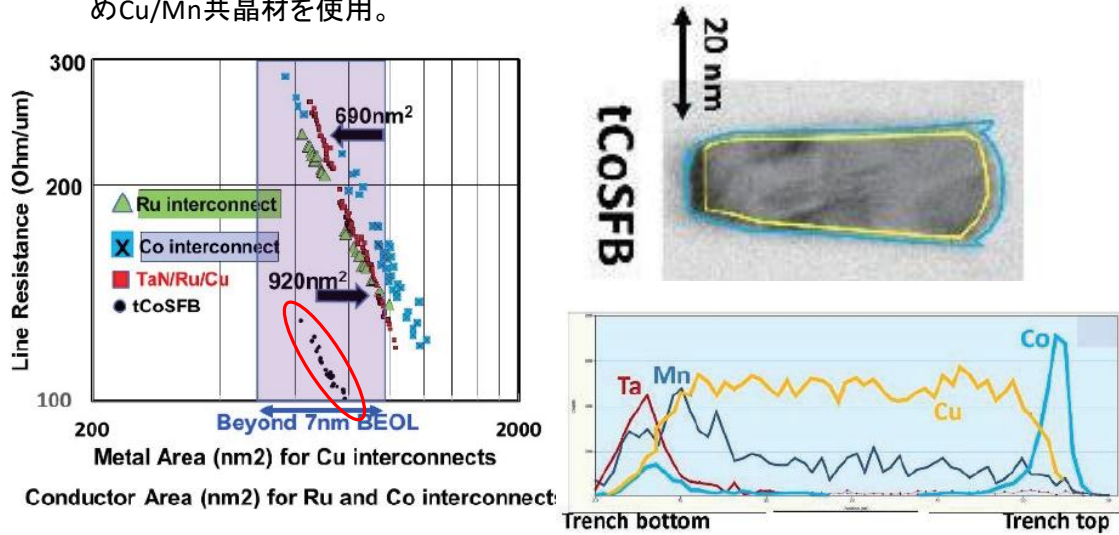


(C) NPO Analog Technology Network, All rights reserved

5

ファウンダリによる5nm世代微細化共同開発 (BEOL: 微細配線プロセス)

低抵抗微細メタル配線構造 (IBM, GF, Samsung)、新しいメタル材料の開発。原理はメタル界面でのロスを減らすためTa, Coバリア、Cuのバルク抵抗下げのためCu/Mn共晶材を使用。



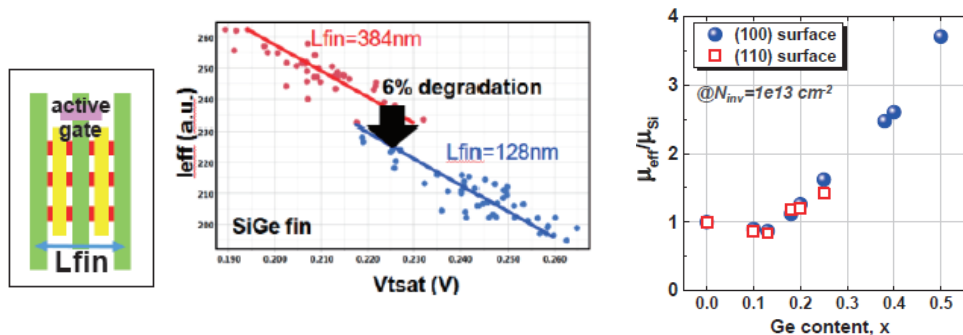
(C) NPO Analog Technology Network, All rights reserved

6

力学ストレス考慮設計

IBM, GF:

SiGe FinFET、Finの長さ、FinのCut位置(Lfin)によってPMOSのIonが変化する。FinのCut位置依存性あり。Geの比率を大きくすると引っ張りストレス大で μ_{eff} が大きくなる(Known)

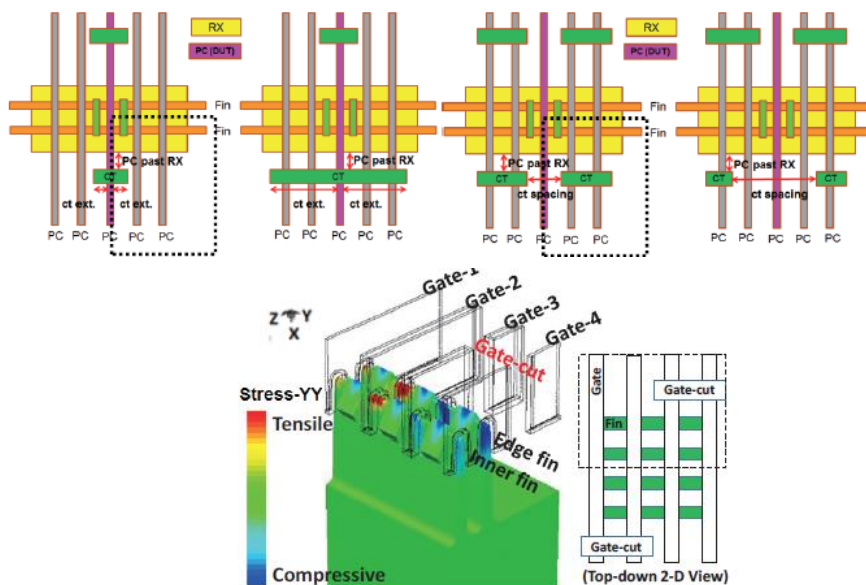


(C) NPO Analog Technology Network, All rights reserved

7

Cualcomm, Samsung:

10nm FinFET、ゲート電極のCut位置によってPMOS Finへの力学的ストレスの大きさが変化するため I_{on} が変化する。

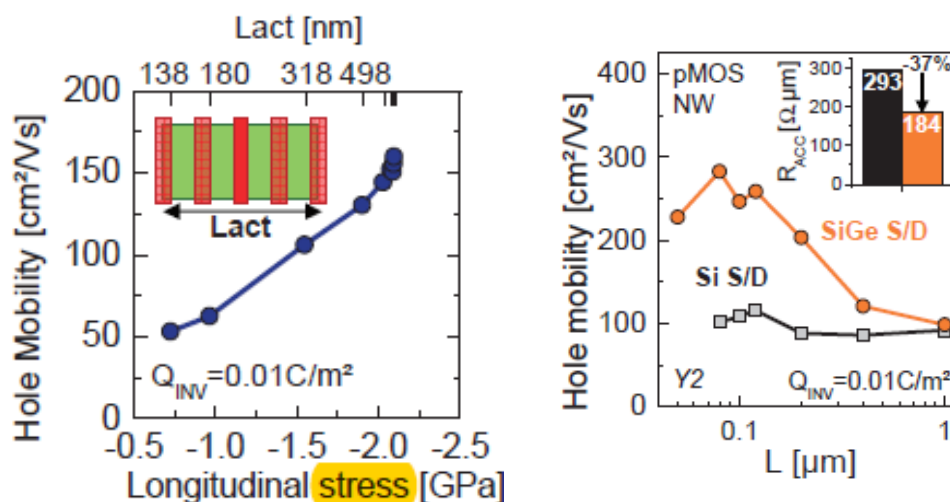


(C) NPO Analog Technology Network, All rights reserved

8

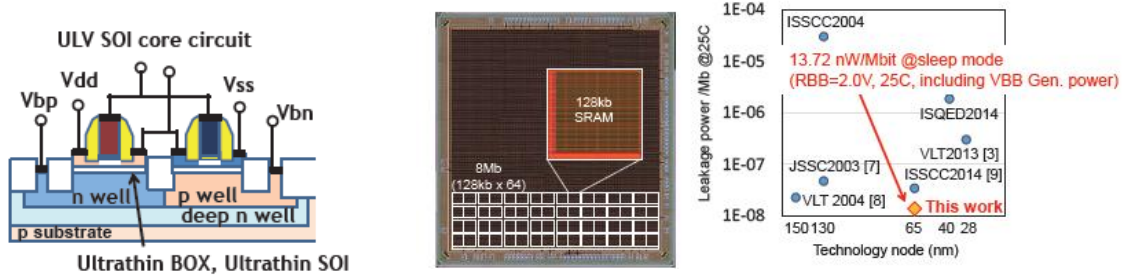
CEA-LETI, STMicro, CEMES, IMEP-LaHC:

5nm FD-SOI、アイソレーションエッジ距離により I_{on} が変化 (Known)、SiGe-SOIでは $\mu_{eff}(\text{hole})$ が L に依存して変化。共に力学的ストレスの影響

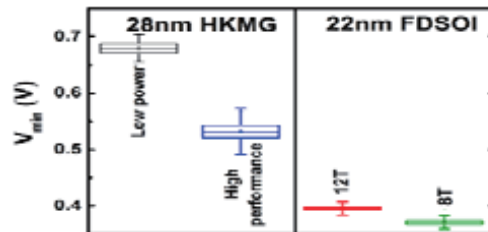


IOT、低電力SOI構造

ルネサス: SOTBプロセス、CMOSの基盤バイアス制御で低リーク特性実現。



GF: ルネサスと同様のプロセス、CMOSの低リーク化でSRAMのVddminを改善。



以上