

ISSCC 2005 報告書

(IEEE International Solid-State Circuits Conference)

(RF関係)

開催期間: 2005年2月6～10日 (主セッション: 2/7～9)

開催場所: USA サンフランシスコ, マリオット・ホテル

報告者: 中川 准一

- ・1968～2002年: (株)日立製作所・中央研究所, および通信関連事業部において, 主に移動無線機器, 特にその無線高周波部の開発に従事。
- ・2003年～: NPO法人アナログ技術ネットワークに所属。
- ・ISSCCには, 今回始めて参加。

ISSCC 2005 高周波アナログ関連セッション

全32セッションのうち、高周波関連(800MHz~>100GHz)発表のあったセッションとその名称:

- #5 WLAN Transceivers
- #8 Circuits for High-Speed Links and Clock-Generators
- #11 Ultra Wideband Solutions
- #12 Optical Communications
- #14 Low-Power Wireless and Advanced Integration
- #17 RF Cellular ICs
- #18 High-Speed Interconnects and Building Blocks
- #21 RF Trends: Above-IC Integration and mm-Wave
- #22 PLL, DLL, and VCOs
- #23 Wireless Receivers for Consumer Electronics
- #29 RF Techniques

上記セッションのうち、#22を除くRF無線関連(WLAN, Cellular, etc)発表の機関・国を分類すると、次ページの表のようになる。

また、それら発表の傾向を次々ページにまとめる。

参考:ISSCCの発表論文集はダイジェスト誌としてIEEEより刊行されており、本年のダイジェスト誌のページ数は644ページ。各論文はレターサイズ2ページで、図表6~7を含む。

RF関連発表の機関・国

表1. 高周波無線関連発表の機関・国

session	#5	#11	#14	#17	#21	#23	#29
RF件数	8/8	9/9	4/9	9/9	9/9	7/7	10/10
大学 官庁		米国:1	米国:1		米国:4		米国:2
		台湾:2	日本:2	ベルギー:1			韓国:1
				イタリア:1			イタリア:1
産学 共同	米国:2	米国:3				米国:1	米国:1
	台湾:1				台湾:2	オランダ:1	オランダ:1
						イタリア:1	カナダ:1
企業	米国:2			米国:5			米国:1
	日本:1	日本:1		日本:2			
	オランダ:1	オランダ:2			フランス:2	フランス:1	
	イタリア:1					イタリア:1	
			スイス・米:1		ドイツ:1	イギリス:1	ベルギー:1
						アイルランド:1	フィンランド:1
国別計	米国:24	日本:7	台湾:5	オランダ:5	イタリア:5	フランス:3	ベルギー:2

RF関連発表の傾向

1. 全体印象: 米国大学が先導したRFへのCMOS適用は, 実用域に達し, 産学協同研究・開発の成果が著しいとの印象を受けた。…この分野で日本は完全に立ち遅れ。
2. 発表機関・国…台湾(特に国立台湾大学)の活躍が印象深い。また, 米国大学で先駆的研究教育を受けた学生が卒業して企業で開発の中心をなしているようだ。
3. 大学の発表…欧米大学の発表で, アジア系の学生の発表が多い。
名前・アクセントから推測: 中国(台湾)人, タイ人, 韓国人, インド人
4. デバイス…CMOS一辺倒(180nmが多い, 次いで90nm), SiGe BiCMOSは僅か。
CMOSのミリ波領域への適用が着実に進んでいる。
5. 受動素子…内蔵スパイラルLの使用が一般化。 }
 - ・外付け部品ゼロ化
6. システム1チップ化…微細化によるRF+BBの統合。 }
 - ・低コスト化。
7. 自動補正機能…CMOSのばらつきを前提としたシステムの補正が急速に増加。
 - ・微細化により, 補正回路に伴う面積増加負担が減少。
 - ・但し, 面積が少ない高性能補償方法がいっそう重要になる。
8. UWBでは, 妨害に強いMulti-Band OFDM方式に対するトランシーバおよび高速切り替えシミュレータの発表が主体。…セッション5
9. BAW(Bulk Acoustic Wave), MEMS共振フィルタをRF-ICに一体形成。多層配線による高性能R,Cの内蔵が本格化。→外付け部品ゼロ化と高性能化。…セッション21
 - ・表1のうち興味を持った発表をいくつか次ページ以降で紹介する。
 - ・但し, **図表は著作権の関係から, ダイジェスト誌の図表番号の紹介のみ。**

5.1 “An Auto-I/Q Calibrated CMOS Transceiver for 802.11g”, National Taiwan University and MuChip, Taiwan

- ・構成: 送受信共に2段変換・・・RF \leftrightarrow IF \leftrightarrow BB(DC)
 - ・IF-VGAとポリフェーズフィルタは送受で共用し、ハードウェア量削減。
 - ・受信SAWは外付けで、受信ミキサはイメージ除去型。
- ・トランシーバチップ内で、I/Q利得・位相不整合、DCオフセットに対して自動補正・・・制御論理回路とベクトル発生器内蔵
 - ・TX DC補正: DAC直流補正 (LOリーク: -40dBc) \rightarrow TX I/Q利得補正: VGA利得補正 (利得不整合: 0.1dB) \rightarrow LO直交補正: 遅延補正 (位相不整合: 1°)・・・TX EVM: 3.2%
 - ・RX I/Q利得補正: VGA利得補正 (利得不整合: 0.1dB) \rightarrow LO直交補正: 遅延補正 (位相不整合: 1°)
 - ・補正回路全体の増加量: 約5%
- ・0.25 μ m CMOS, RX NF: 5.1dB, RX IIP3: 0dBm, TX OP_{-1dB}: 7dBm, 送信利得可変範囲: 25dB, I/Q位相誤差: 1度, TX EVM: 3.2%, チップサイズ: 10.2mm²

Figure 5.1.1: Transceiver diagram

Figure 5.1.2: The architecture of TX detector and comparator

Figure 5.1.3: The architecture of RX detector and comparator

*TX: transmitter, RX: receiver, EVM: error vector magnitude/変調精度

5.2 “An 802.11g WLAN SoC”, Atheros Comm. And Stanford Univ., USA

- ・構成: RF+BB+MAC層, 物理層まで含めて1チップ化。
 - ・送受共にスライディングIFを用いた2段周波数変換。
 - ・ $L_{RF}=2/3f_{RF}$ (1.6GHz), $L_{IF}=1/3f_{RF}$, $VCO=2L_{RF}$ (3.2GHz)。
 - ・IFが大きいので, イメージ除去フィルタなし。2段直結ダウンコンバージョンミキサ使用。
 - ・RX BB filter・・・program.-gain 4th-order Butterworth g_m -C filter with on-chip freq. tuning
 - ・TX 11b DAC +3rd-order Butterworth g_m -C filter・・・下位2ビットを送信電力微調整に使用。
- ・RF+analogとdigitalの分離・・・deep N-well trench isolation of 150nm
 - ・RF+analog: 完全差動, ・星型電源配線, ・シンセサイザ: オンチップ・レギュレータ
- ・RF loop-back calibration・・・校正モードはRFループバック構成で, 送受信コードの差から, DCオフセット, I/Q不整合, RFキャリアリークを補正。
- ・0.18mm CMOS, RX NF: 5.5dB, 受信感度: -92dBm@6Mbps, -73dBm@54Mbps, TX EVM: -28dBc@-1dBm & 5Mbps, チップサイズ: 41mm²

Figure 5.2.2: 2.4GHz CMOS transceiver (diagram)

Figure 5.2.4: Schematic of receive dual down-conversion mixer

*MAC: media access controller

5.3 “A Fully Integrated SoC for 802.11b in 0.18 μ m CMOS”, Broadcom, USA

- ・構成: RF+BB+MAC層, 物理層まで含めて1チップ化。
 - ・送受共に直接周波数変換, バラン内蔵。
 - ・PA: AB級, 出力整合変成器内蔵, 出力制御は出力モニタにより駆動段の利得制御(0.5dB step)。
 - ・LOは, 1.6GHz VCOから生成...PAプリングの防止。
 - ・LNA: 入力変成器で整合し, 完全平衡型, 電流切り替え利得制御。
- ・radioとbasebandの分離...物理スペースの確保, ピン配置考慮, 電源分離容量付加。
 - ・感度の高い回路近傍で基板コンタクト強化。
- ・0.18 μ m CMOS, NF: 6dB, 受信感度: -88dBm@11Mbps, RX IIP3: -15dBm, PA-1dB: 18dBm, Po: 13dBm, ACPR: -31dBc@13dBm, TX EVM: 24%, チップサイズ: 5.6x5.75mm², 消費電力: 360mW@受信, 450mW@送信

Figure 5.3.1: Single-chip CMOS transceiver architecture

Figure 5.3.3: The circuit of the LNA with on-chip transformer

Figure 5.3.4: On-chip T/R switch circuit

*ACPR: adjacent channel power ratio/隣接チャネル漏洩電力

5.4 “A Compact Dual-Band Direct Conversion CMOS Transceiver for 802.11a/b/g WLAN”,
SST Comm. And Univ. of UCLA, USA

- ・構成: アンテナインターフェイス, X'talを除き無線部1チップ, 送受とも直接変換。
 - ・2.4GHz/5GHzのFEは並列構成(送受BBフィルタとシンセサイザは共用)。
 - ・LOは, 3.1~4GHz VCO $\times 1.5=4.9\sim 5.88$ GHz ... PAプリングの防止, 容量タンク切り替え型。
 - ・送信系: 共用5th-LPF + MIX + AB Pre-Amp + PA。
 - ・受信系FE: LNAとMIXは完全差動交流直結, LNA利得は2ビット制御。
- ・LO leakage calib. loop ... アップコンミキサのバイアス制御。ピン配置考慮, -29dBc。
- ・DC offset cancel. loop ... HPFのfcを1MHz, 300kHz, 100kHz, 10kHzと順次切り替え。
- ・0.18 μ m CMOS, チップサイズ: 6mm², NF: 4.9dB@2.4G, 5dB@5G, RX-IIP3-minG:
10dBm@2.4G, 14.5dBm@5G, TX-OIP3: 20dBm@2.4G, 23dBm@5G, Vdd: 1.8V, I₀-
RX: 68mA@2.4G, 64mA@5G, I₀-TX: 76mA@2.5dBm-2.4G, 101mA@1dBm-5G

Figure5.4.1: Transceiver block diagram

Figure5.4.2: LO leakage calibration circuit in the transmitter

Figure5.4.3: Receiver RF front-end schematic

Figure5.4.4: Successive switching technique in DC offset cancellation

5.5 “A Low-Power Dual-Band Triple-Mode WLAN CMOS Transceiver”,
NEC, Japan

- ・用途: 802.11a/b/g, 2.4GHz/5.2GHz
- ・構成: アンテナインターフェイス, PA, X'tal, PLL-filterを除き無線部1チップ, 送受とも直接変換。
 - ・受信, シンセサイザは1系統(2.4/5.2共用), 送信系は共用BBフィルタの後, 2.4/5.2並列構成で直接変換・増幅。
 - ・VCOは内蔵インダクタ・タップとMIM容量バンク切り替え, 切り替えはバックゲート・インピーダンス制御MOSスイッチ使用。
 - ・LNA: 完全差動, 2段。段間は幾何平均fで整合することにより1系統化。高入力時, LC共振スイッチでバイパス。
 - ・受信BBフィルタはtunable 4th Butterworth g_m -C filter /adaptive DC-current-control, triode-biased MOSFET transconductor。
- ・0.18 μ m CMOS, チップサイズ: 17.2mm², NF: 3.5dB/2.4G, 4.2dB/5.2G, RX-IIP3-minG: 7dBm/2.4G, 5dBm/5.2G, P_{o-1dB}: 3dBm/2.4G, 0dBm/5.2G, V_{dd}: 1.8V, I_o/RX: 78mA, I_o/TX: 76mA

Figure5.5.1: Block diagram of dual-band direct-conversion transceiver

Figure5.5.2: Circuit diagram of a dual-band low-noise synthesizer

Figure5.5.3: Circuit diagram of widely tunable ADTM transconductor LPF

11.2 “A SiGe BiCMOS 1ns Fast Hopping Frequency Synthesizer for UWB Radio”, Phillips, The Netherlands/USA

- Multi-Band OFDM (3.1~10.6GHz, B=528MHz/QPSK-OFDM) 用。
- 3バンド切り替え : 3432MHz, 3960MHz, 4488MHz with a period of 312.5ns。
- 二つのPLLを使用し, 両者の出力をSSBミキサで合成:
 - 7.92GHz VCO + 1/2divider → 3960MHz PLL。
 - 2.122GHz VCO + 2×1/2divider → 528MHz PLL + BPF + Selector → -528/ 0/ +528MHz。
- 切り替え時間 : <1ns (仕様 : <9.5ns)。
- 帯域内スプリアス : <-35dBc (仕様 : <-30dBc)。
- 帯域外スプリアス : <-45dBc@2.4GHz, (仕様 : <-45dBc)。
- 帯域外スプリアス : <-50dBc@5GHz, (仕様 : <-50dBc)。
- 位相雑音 : <0.5°rms (仕様 : <5°rms), -104dBc/Hz@1MHz offset
- 0.25μm SiGe BiCMOS, チップ寸法 : 970μm×1070μm, I₀=27.2mA, V_{dd}:2.7V

Figure11.2.1: Block diagram of multi-tone generator

Figure11.2.2: Schematic of first divider stage

Figure11.2.3: Principle of SSB mixer

11.3 “A 7-Band 3-8GHz Frequency Synthesizer with 1ns Band-Switching Time in 0.18 μ m CMOS Technology”, National Taiwan Univ., Taiwan

- Multi-Band OFDM (3.1~10.6GHz, B=528MHz/QPSK-OFDM) 用7バンド。
 - Group A: 3432MHz, 3960MHz, 4488MHz。
 - Group B: 6336MHz, 6864MHz, 7392MHz, 7450MHz。
- Group PLL (3432MHz/6864MHz) + セレクタ → 3432MHz/6864MHz。
- Band PLL (1056MHz/2112MHz) + セレクタ + 3モードバッファ → 1056MHz/528MHz/DC。
 - 上記の出力をバンド同調負荷を有するSSBミキサ (A,B用独立) で合成。
- Quadrature VCO...位相と振幅の不整合を低減できる。
- 3モード分周器...分周器中にDC信号出力をマージ。
- 切り替え時間: <1ns, • スプリアス: < -37dBc
- 0.18 μ m CMOS, Die-size: 1.3 \times 1.1mm², V_{DD}: 2.2V, P_{DC}: 48mW

Figure 11.3.1: Proposed frequency synthesizer (a) conceptual illustration, (b) architecture

Figure 11.3.2: (a) SSB mixer architecture, (b) realization of Group A mixer

Figure 11.3.3: (a) Conventional static divide-by-2 circuit, (b) proposed tri-mode divider

Figure 11.3.4: (a) Quadrature VCO, (b) selector

11.5 “A 3.1 to 8.2GHz Direct Conversion Receiver for MB-OFDM UWB Communications”,
Skyworks Solutions, UCLA, USA

- ・シンセサイザの構成: Figure11.5.3
 - ・16GHz-quadrature VCO, SSB mixer, 1/2dividers, Switched bufferを巧妙に用いて, 3.43,3.96,4.48,6.33,6.86,7,39,7.92GHzの7周波数を発生。
 - ・切り替え時間: <3ns
- ・LNA+Mixerの構成: Figure11.5.2。
 - ・LNAの直流帰還: トランスコンダクタンスの一定化→正確な入力整合。
 - ・LNAベースバイアスにある C_0, R_0 は大信号妨害波による低周波変調や雑音を抑制。
 - ・Mixerにも同様な直流帰還がある。梯子型フィルタの直列Lは積み重ねて面積低減。
- ・0.18 μ m SiGe BiCMOS, Die-size:2 \times 3.5mm², Vdd=2.7V, RX-I₀=22mA, Synthesizer-I₀=20mA/QVCO+46mA。

Figure11.5.2: Wideband LNA, down-conversion mixer, and channel-select filter

Figure11.5.3: Direct frequency synthesizer that creates the seven band center frequencies from 16GHz

11.6 “A 1.4V 5GHz Four-Antenna Cartesian-Combining Receiver in 90nm CMOS for Beamforming and Spatial Diversity Applications”, Intel, Univ. of Washington, USA

- ・ビームの直交座標合成: 例えば2本の各アンテナの信号実部(同相) A_{rk} , 虚部(直交) A_{jk} の大きさをVGAによって変え, アンテナの合成志向性を任意に制御。
- ・LNA: インダクティブ・ディジェネレーションを有する差動型+カスコード段。G=23dB/5GHz, NF<2dB
- ・4つのLNAの各出力をギルバート型DAC制御VGAに入力。
 - ・VGAの出力は実部, 虚部毎に加算され, それぞれ2-1-1スパイラル変成器を介してギルバート型IQミキサに入力。
 - ・IQミキサ出力の検波同相成分は引き算, 検波直交成分は加算し, IQ-IF信号を得る。
- ・性能例: 希望波より5MHz, 30° 離れた妨害波に対して, 妨害波減衰20dB,
 - ・Beamforming Peak-to-Null Ratio: 25dB
 - ・アレイ利得: 12dB, SNR改善: 6dB @4channels。
 - ・イメージ除去: 38dB
- ・90nm CMOS(7層Cu配線), チップサイズ: 1.75mm×2.35mm, V_{DD}=1.4V, P_{DC}=140mW。

Figure11.6.1: (a) Architectural evolution of phase shifter and combiner, (b) Analog combiner for two channels

Figure11.6.2: Combiner schematic on the “real” path.

11.8 “A 3.1 to 5GHz CMOS DSSS UWB Transceiver for WPAN’s”,
Sony / Japan, Mixed Signal Systems / USA

- ・8GHzVCO→4GHz I/Q LO
- ・チップ速度: 1Gcps→送信パルス変調器出力をパルス整形(位相と振幅の異なるパルスを加算)し, FCCスペクトルマスクに対応。
 - ・受信頭のフィルタで前置等化: reversed-time matched filter。
- ・PA: 差動出力 / 100Ω, $P_{o_{max}} = -9\text{dBm}$ 。
- ・LNA: 差動型, 負荷を並列共振と直列共振の並列構成にし, 2次極の間にゼロ点を置き, 広帯域化。
 - ・インダクタは中点タップ付の差動型→面積少。 ・NF: 3.9~4.2dB / 3.5~4.5GHz
- ・受信直接変換後のフィルタ: 5次楕円型+1次全通過型
- ・0.18μm CMOS, ダイサイズ: 9.3mm², 送信: 105mW, 受信: 280mW。

Figure11.8.1: DSSS UWB transceiver block diagram

Figure11.8.2: Programmable TX pulse modulator

Figure11.8.4: Half circuit diagram of wideband LNA and measured frequency response

Figure11.8.5: Circuit diagram of wideband LPF and measured frequency response

*DSSS: Direct Sequence Spread Spectrum/直接スペクトル拡散

17.5 “All-Digital PLL and GSM/EDGE Transmitter in 90nm CMOS”,
Texas Instruments, USA

- GSM/EDGE送信部をデジタル処理を駆使し、外付けフィルタなしに送信スペクトル使用を満足。
- All-digital PLL (ADPLL): Digitally-controlled oscillator (DCO) + $\Sigma\Delta$ dithering + Time-to-digital converter (TDC) + Digital loop filter + Wideband frequency modulation。
- DCO: 以下のtuning wordにより、バラクターバンクを切り替え。
 - プロセス/電圧/温度構成: 8-bit binary @ 4MHz。
 - 捕捉(チャンネル切り替え)用: 64ビット @ 200kHz, 追従用: 64ビット @ 10kHz, ディザリング?用: 4ビット @ 10kHz... thermometer weighted (線形加重?)
- $\Sigma\Delta$ dithering: 2次MASH + dynamic element matching (単位バラクターのばらつきに対応)。
- TDC: DCO出力を8相化し、基準クロックで標本化して30psの分解を達成。
- Loop filter: 4次IIRフィルタ... 基準周波数成分とTDC量子化雑音を抑圧。
- 送信増幅器: 極座標変調で、振幅成分は $\Sigma\Delta$ 変調。
- 0.18 μm digital CMOS, 5層配線, $V_{dd}=1.2\text{V}$, $I_0=42\text{mA}$, $PA_{out}=10\text{dBm}$ 。
- 帯域内位相雑音: -92dBc/Hz , 位相誤差: 0.5°rms , 遠方位相雑音: -165dBc/Hz @ 20MHz, 遠方スプリアス: $<-95\text{dBc}$, 切り替え時間: $10\mu\text{s}$

Figure 17.5.1: All-digital PLL (ADPLL) and polar transmitter

Figure 17.5.2: Digitally-controlled oscillator (DCO) core

Figure 17.5.3: z-domain model of the ADPLL loop

Figure 17.5.4: Amplitude-modulation path of the polar transmitter

17.6 “A Single-Chip Quad-Band GSM/GPRS Transceiver in 0.18 μ m Standard CMOS”,
Berkana Wireless, USA

- ・PA, アンテナスイッチ, 受信ヘッドフィルタ(4個), TCXOは外付け。
- ・受信系構成: LNAは4系統, I/Qミキサは2系統, low-IF方式。
 - ・LNA: インダクティブディジェネレーションを有する完全差動型。
 - ・IFフィルタ: 5次複素バターワースフィルタ(GSMブロッカーとイメージの除去を兼ねる)+VGA。
利得: 100dB with 2dB-step。
 - ・フィルタの校正: 26MHzクロックによるRC時定数の校正。 ・DCオフセット補正。
- ・送信系構成: オフセット周波数PLL方式。 ・HRフィルタ: 5次 g_m -C LPF。
 - ・Pre-PAと外付けPA: High-bandとLow-band切り替え方式。
- ・シンセサイザ: 3次 $\Delta\Sigma$ フラクショナルN。 ・高速切り替え: プリチャージ方式... <160 μ s。
- ・0.18 μ m CMOS, V_{dd} : 2.7~3V, RX NF: 2.7dB, RX IIP3: -15dBm, 受信感度: -109~-110dBm, TX Po: 6dBm, TX受信帯域雑音: -165~-162dBc, 送信: 108~112mA, 受信: 93~95mA。

Figure17.6.1: Quad-band transceiver block diagram

Figure17.6.2: One complex pole stage of 5th-order filter

Figure17.6.4: High and low band pre-PA drivers

Figure17.6.5: Fractional-N synthesizer with pre-charger

17.8 “A 5th-Order Continuous-Time Harmonic Rejection GmC Filter with In-Situ Calibration for Use in Transmitter Applications”, Berkana Wireless, USA

- ・17.6とペアの発表。
- ・送信系構成: オフセット周波数PLL方式。・・・正確には, ヘテロダイン型PLL
 - ・位相比較器PFDへの二つの入力信号に下記の5次LPF(高調波除去)を挿入し, PFDの非線形特性によるIM成分の発生を抑圧。
- ・Harmonic Rejectionフィルタ: 5次 g_m -C LPF・・・実極+2次クワッド+2次クワッド。
 - ・同調範囲: 60~150MHz, 精度: 5%・・・容量: 250fF+6bit/LSB25fF, 容量寸法すべて同じ。
 - ・単位Gmセル→尺度率: α ・・・scalable cellに, 3bitの帯域選択用抵抗を組み込む。
 - ・校正モード: フィルタの校正時, 二つのクワッドフィルタを発振器構成とし, 基準周波数と比較して6ビット容量を選択。
- ・0.18 μ m CMOS, V_{dd} : 1.8V, I_0 : 7mA, フィルタ帯域: 48MHzmin, 184MHzmax, IIP3: 7dBV, 3次・5次高調波減衰量: 45dB以上。

Figure17.8.1: OPLL with HR filters and the effect of problematic harmonics

Figure17.8.2: Single biquad stage and scalable Gm cells with band-selecting Rs

Figure17.8.3: Filter mode (SW1:closed, SW2:open), oscillation mode (SW1:open, SW2: closed)

17.7 “A CMOS Direct Down-Converter with +78dBm Minimum IIP2 for 3G Cell-Phones”,
Univ. of Pavia, Italy

- ・ギルバートセルの2次歪の改善: スイッチングペアー・ソースの浮遊容量 C_{par} が原因。
 - ・ f_{LO} において、浮遊容量 C_{par} と同じインピーダンスを有するインダクタンス L_{SW} を共通ソースに追加
→インダクタンス L_{SW} のQ値だけ、ベースバンドに変換される2次歪が小さくなる。
 - ・2つのスイッチングペアーのIM2電流を分流するため、 L_{SW} を大きな容量 C_{FAT} で接地。
 - ・付随効果として、雑音特性が改善。
- ・差動LNAのソース: 高周波で低Z→コモンモード2次成分低減, + 低周波で高Z→IIP3向上。
- ・CMOS, ダイサイズ: 2.2mm^2 , V_{dd} : 1.8V, I_0 : 4mA, IIP3: 9dBm, IIP2: 78dBm, 電圧利得: 16dB, 入力換算雑音: $4\text{nV}/\sqrt{\text{Hz}}$ 。

Figure17.7.2: Switching pairs equivalent model for second-order inter-modulation distortion analysis

Figure17.7.3: Double-balanced switching pairs set with LC filter

Figure17.7.4: Mixer schematic

21.3 “A SiGe:C BiCMOS WCDMA Zero-IF RF Front-End Using an Above-IC BAW Filter”,
STMicroelectronics, CEA-LETI and CSEM, France and Switzerland

- ・BiCMOSの最終工程後に、BAW工程を追加。
- ・受信系：LNA + on-chip balun + above-IC film BAW filter + I/Q direct-conv. mixer。
- ・LNA：single-ended, カスコード型, インダクティブディジェネレーション。
- ・BAW filter：4-BAW-lattice filterの2段構成。→帯域外減衰量-60dBはSAWより優れている。
 - ・挿入損失：約3dB, 3dB帯域：60MHz, 送信中心周波数減衰量：55dB。
 - ・圧電薄膜AIN単体のピエゾ効果： $k_L^2=6.3\%$, $Q\approx 900$ 。
- ・ミキサ：差動ギルバート型+L-degeneration, 出力は20MHz RC pole+emitter follower。
- ・0.25 μm SiGe:C BiCMOS, 実効チップ面積：2.44mm²(BAW filter: 0.45mm²), V_{dd} : 2.7V, I_0 : 13.3mA, G_v : 31.3dB, NF: 5.3dB, IIP3: -8dBm, IIP2: 38dBm。

Figure21.3.1: Simplified block diagram of WCDMA-ZIF transceiver

Figure21.3.2: Comparison of measured insertion loss for BAW and SAW solutions

Figure21.3.6: BiCMOS and above IC BAW filter RF front-end micrograph

21.6 “A 60GHz Direct-Conversion CMOS Receiver”, UCLA, USA

- ・CMOSで60GHzの受信系を構成。
- ・受信系: LNA + I/Q direct-conv. Mixer + Buffer + Single-Ended to Differential Converter for LO。
- ・インダクタンスの実現: 折り返し形 (folded) マイクロストリップ線路。
 - ・金属層の1層目をグランド, 8層目に線路...基板の影響少で, シミュレータによる計算可能。
 - ・折り返し形にすることにより, 磁気結合を低減。
 - ・ $Q \approx 12$ @ 60GHz for $W=6\mu\text{m}$ and $S \geq 15\mu\text{m}$ 。 $R_p=720\Omega$, $C_p=9.2\text{fF}$, $L_p=155\text{pH}$ for leg= $150\mu\text{m}$
- ・LNA: L-degeneration+cascode-type。
- ・ $G_v: 28\text{dB}$, $NF: 12.5\text{dB}$ が予測より大きく悪い原因はLOバランス不整合。
 - ・LOの差動化は, 容量とマイクロストリップLによる受動構成: Figure21.6.5。
- ・0.13 μm CMOS, 実効チップ面積: $400\mu\text{m} \times 300\mu\text{m}$, $V_{dd}: 1.2\text{V}$ 。

Figure21.6.2: Folded microstrip and its narrowband equivalent circuit

Figure21.6.3: Low-noise amplifier

Figure21.6.4: Mixer

Figure21.6.5: Single-ended to differential converter

Figure21.6.6: Receiver floor plan

29.1 “A 21 to 26GHz SiGe Bipolar PA MMIC”, Univ. of Toronto/Canada,
Delft Univ. of Tech./Netherlands, IBM/USA

- ・24GHz ISMバンドの利用を想定。
- ・SiGe HBT: 耐圧の関係でベース接地使用。
- ・入力バラン: $50\Omega \rightarrow 4 \times 7\Omega$ 負荷に変換・・・差動2パスに分岐。
- ・2パス3段差動増幅器: 約21dBm出力@21~26GHz, 小信号利得: 約20dB。
 - ・1段当たり小信号利得: 約6dB。15dB at P_{-1dB} 。
 - ・Trサイズ・・・1:3:12 (理論上は1:4:16, 入力整合がやり易いように初段を大きくする。)
 - ・Q5~Q12: 2unit-cell, Q13~Q20: 4unit-cell, Q21~Q24: 8unit-cell・・・放熱考慮。
 - ・ベースはペア接続し, 仮想グランドを形成, ベースに直列に 39Ω バラスト抵抗を挿入。
- ・段間変成器・・・2:1, 2次(エミッタ)側コイルで1次コイルをシールド: 基板損失と表皮効果対策。
- ・入・出力バランの接地点を分離・・・変成器と同様な自己シールドレイアウト。
- ・最大付加効率: 19.7%@22GHz, 13%@24GHz
- ・OIP3: 23dBm。

Figure29.1.1: Power amplifier schematic diagram

Figure29.1.6: SiGe power amplifier chip micrograph

29.2 “Direct-Digital RF Modulator IC in 0.13mm CMOS for Wide-Band Multi-Radio Applications”, Nokia, Finland

- DA変換器にミキサの機能を兼用させる・・・直接デジタルからRFへ変換する革新的方法。
 - 8ビット電流切り替え型：非線形デジタル変調に対応するため、電流源とスイッチペアTrをダブルバランスミキサ型に変更・・・下の差動対：差動LO，上の差動対ペア：差動データ。
 - 5+3セグメンテーション。
 - ガードリングと個別給電が，雑音結合を抑圧するために，必須。
 - 信号とLOの波形は対称で，正確なタイミングが必要・・・ツリー状のLO分配回路。
 - 利点：アナログDCオフセットがない，I/Q振幅整合が良い。
- 1.9GHzキャリア，1.5MHzデジタル正弦波入力，150MS/s時，Loリーク：-43dBc，イメージ除去：-47dBc。
- -23dBm平均出力，EVM=-35dB for 160MS/s OFDM WLAN signal at 2.46GHz。
- 0.13 μ m CMOS，能動部面積：0.7mm²，チップ面積：1.65x1.7mm，V_{dd}：3V，I₀=50mA，NF=5~9dB/40~900MHz，P_{-1dB}：81dB μ V。

Figure29.2.1: Modulator block diagram

Figure29.2.2: Converter architecture

Figure29.2.3: LO-leakage and image rejection performance

Figure29.2.2: ACPR for -10dBm WCDMA signal

Figure29.2.2: Output spectrum of 64-QAM OFDM signal

29.3 “Low-Power g_m -boosted LNA and VCO Circuits in 0.18 μ m CMOS”,
Univ. of Washington, USA

- ・能動デバイス, あるいは受動素子(容量, 変成器)による結合を用いて, g_{d0} を増加させずに, g_m を大きくする。 $\alpha = g_m/g_{d0}$
- ・6-metal 0.18 μ m CMOS。
- ・LNA: ソースのディジェネレーションLとゲート接地用Lを変成器構成。
 - ・効果を示すため, 変成比は1とした... S21: 9.4dBmax @5.8GHz, IIP3: 7.6dBm, NF: 2.5dB @max gain, Vdd:1.8V, I_0 : 1.9mA。
 - ・特長: 整合が容易, 線形特性良好。
- ・交差結合コルピッツQVCO... f_0 : 1.83~2.24GHz with 20% tuning range, Vdd:2V, I_0 : 4.3mA。
 - ・位相雑音: -104dBc/Hz @50kHz offset, -127dBc/Hz @1MHz offset
 - ・特長: 発振開始良好, 位相雑音良好。

Figure29.3.1: (a) Conventional CGLNA; g_m -boosted CGLNA with (b) active, and (c) transformer coupling

Figure29.3.2: Evolution of g_m -boosted Colpitts oscillation. (a) Capacitor-coupled VCO with separate gate bias, (b) self-biased VCO, and (c) self-biased QVCO

29.4 “a 0.75 to 2.2GHz Continuously-Tunable Quadrature VCO”,
Univ. of Bologna, Italy

- ・同調範囲を $\pm\alpha$ とし, $\gamma=3/2$ とすると, VCO本体の必要な同調範囲は $\alpha=20\%$ 。 $\gamma=(1+\alpha)/(1-\alpha)$
 - ・分周比2/3はデューティ比が50%にならない。
- ・VCOの構成: 周波数 f_{VCO} のQVCOと帰還信号とのSSBミキサ出力を2分周してI/Q最終出力を得, その最終出力(A)あるいはその2分周信号(C)あるいは直流信号(b)の3者の一つをSSBミキサに帰還。
 - ・I/Q出力周波数・・・モードA: $1/3 f_{VCO}$ (ミキサ出力 $2/3 f_{VCO}$), モードB: $1/2 f_{VCO}$, モードC: $2/3 f_{VCO}$ (ミキサ出力 $4/3 f_{VCO}$)。
- ・位相雑音[dBc/Hz @1MHz offset]: -127~-126/(0.747~1.093)GHz , -124~-122/(1.121~1.640)GHz, -122~-120/(1.495~2.185)GHz
- ・直流電流: 29.6mA, 32.4mA, 34mA /各モードに対して

Figure29.4.1: Concept of the extended-tuning-range VCO

Figure29.4.2: Architecture of the reconfigurable VCO

Figure29.4.3: QVCO and SCL latch schematics

29.5 “A 32GHz Quadrature LC-VCO in 0.25mm SiGe BiCMOS Technology”,
Delft Univ. of Technology and Philips ,The Netherlands

- ・70GHz- f_T で、32GHzVCOを実現するため、エミッタフォロア出力をベースに交差結合。
 - ・バラクターをエミッタ間に接続する構成より、2段縦積みTrの上位Trベースに接続する(共振器を)構成が、シミュレーションによる位相雑音が20dB@1MHz offset優れている。→負性抵抗と発振立ち上がりの最適化必要。
 - ・クロス結合構成→エミッタフォロアを除く交差結合2段縦積みTr-Q1,Q2,Q5,Q6のサイズは小→負性抵抗小 $\approx 330\Omega$ →タンク抵抗との比 $\approx 2.3 \approx 750/330$ →確実に発振。
- ・チップサイズ: 1.7x1.2mm² with I/Q mixer, 0.7x0.5mm² /VCO。
- ・ f_0 : 30.6~32.6GHz, 5Vx43mA, 位相雑音: -97dBc/Hz @1MHz offset
- ・イメージ除去比: 45dB以上。

Figure29.5.2: Proposed VCO topology

Figure29.5.4: Topology of QVCO