

ISSCC2005 報告書

(アナログ関係、とくにADC / DACの報告)

開催期間: 2005年2月6日 ~ 10日 (主セッション: 2/7 ~ 9)
開催場所: USA サンフランシスコ・マリオットホテル

まいお けんじ
報告者: ATN / 麻殖生 健二

- ・ 1968年 ~ 2004年: (株)日立製作所・中央研究所および半導体事業部においてアナログ回路とくにAD / DA変換LSI、ミクストシグナルLSIの研究・開発に従事。
- ・ 2004年 ~ : NPO法人・ATN (Analog Technology Network) に所属。
- ・ IEEEシニアメンバ。



ISSCC2005: アナログ全般

概要

- ・アナログ関係セッションは、全32セッションのうち次の12セッション。
 - RF : #5, #11, #14, #17, #21, #23, #29 の7セッション
 - ADC : #9, #15, #27 の3セッション
 - DAC : #6 の1セッション
 - PLL, VCO : #22 の1セッション(その他、 #16 にSATA用PLL2件)

- ・RF, ADC/DACは別途または次ページ以降で報告

- ・ADC/DAC, PLL, RF 以外
 - アンプやREFの単独セッションはない
 - アナログフィルタ2件(# 27)
 - 光通信用トランスインピーダンスアンプ1件(# 12)
 - REF回路1件(#15)
 - DC-DCコンバータ1件(# 15)程度であり、少ない。

ISSCC2005: ADC / DAC

1. 概要

- ・ADC/DACは全32セッション中、4セッションあり、昨年に続き活況。(従来は2~3セッション)。
- ・ADCの発表の主は、フラッシュ/パイプライン型(高速・中精度)等の古典的な方式 マルチビット変調型(高速・高精度+低電力)に完全に移行。
- ・変調ADCは2セッション。一つはSC型、他方は連続型。後者が取上げられるのは特筆もの(低ノイズ性が評価されているのか?)。
- ・DACは、次世代のダイレクトコンバージョン通信等のGsp/s応用が牽引。
- ・HDD,DVD対応のGsp/s超高速ADCの発表がなくなった。
- ・発表機関の分布(ADC/DAC全25件。筆頭者の所属機関で分類)
 - 地域別:US+Canada=15, Europe=7, Asia=3(内、富士通2、ソウル大1)
 - 機関別:企業=17(ADI=4,TI=4,Fujitsu=2,Infineon=2,--, **日本は富士通2のみ**), 大学=8(**日本の大学は無し**)

2. 技術潮流(次ページ参照)

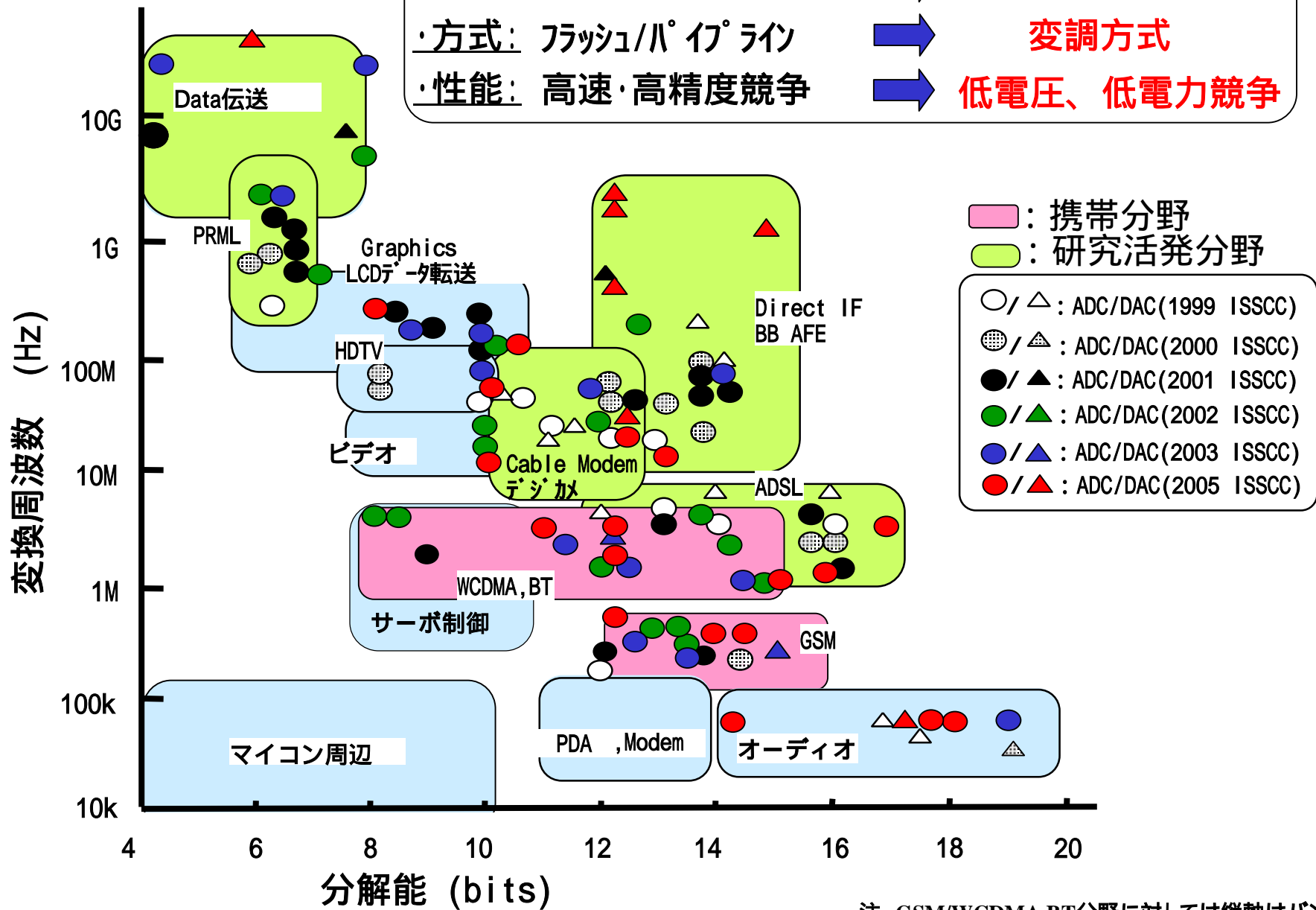
- ・ADC用途:ビデオ/オーディオ等民生用から**通信、携帯用途へ**。
- ・ADC方式:フラッシュやパイプライン方式から多次、マルチビット **方式へ**。
- ・ADC性能:高速・高精度の競争から**低電圧・低電力化へ**。
- ・DAC:通信のダイレクトコンバージョン対応と思われる超高速・高精度用途が新規に台頭

3. 日本の位置付け(ADC / DAC関係)

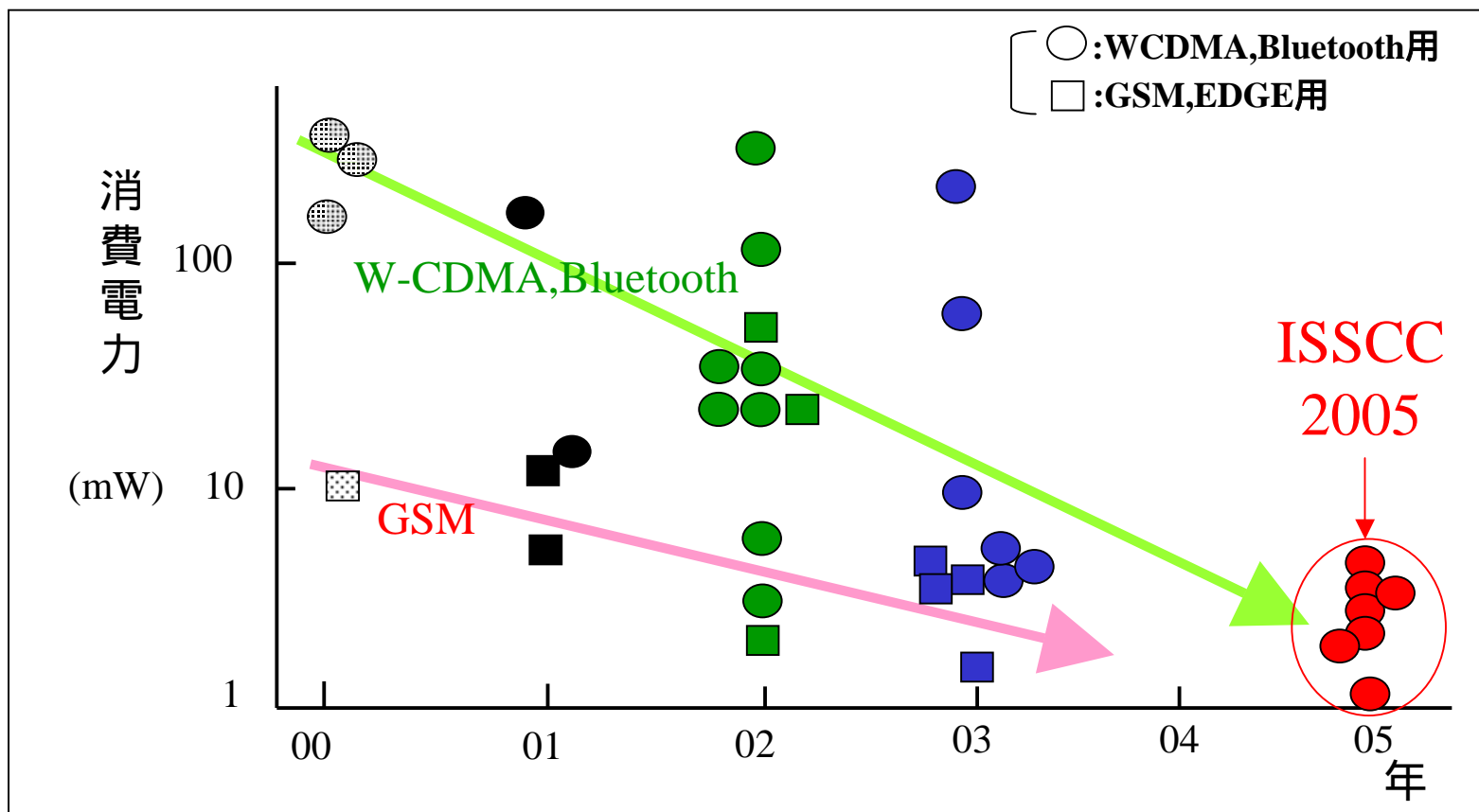
- ・欧米企業にくらべ、日本企業はここ数年、息切れ状態。技術の蓄積は最高水準のはず。かつての隆盛を期待。
- ・日本の大学は何をやっている?。(あきらめている?。やる気があるようには見えない。)(欧米の大学は単独発表も多いが、企業との連名も多い)
- ・アナログ分野での韓国、台湾の発表は未だ少ないが、来年は日本は抜かれる?

ADC / DAC の動向

- ・**応用:** 民生(ビデオ、オーディオ) → **通信**
- ・**方式:** フラッシュ/パイプライン → **変調方式**
- ・**性能:** 高速・高精度競争 → **低電圧、低電力競争**



携帯電話用ADCの消費電力の動向



4. 主要発表論文

4.1 Session 6: High-Speed and Over-sampled DACs

- ・次世代RF向けのDirect Digital Synthesizer 用超高速DAC (1.2G ~ 1.7Gsps)の発表が多い。(3件)
- アップコンバータレスの時代に突入のきざし。
- ・GHz帯はGaAsやBiCMOS。CMOSは500Msps以下。
- ・発表機関は全て欧米の老舗企業 (Philips, Rockwell, --)。大学はない。

No	論文名	発表機関	主要応用	プロセスサイズ	内容、特徴
6.1	1.2Gsps 15b DAC for Precision Signal Generation	Agilent	rader 測定器	0.35um BiCMOS 5.2x5.9	・ft=40GHzのnpn使用。DEMで高精度化、SFDR=-70dBc, DNL=2LSB ・上位6bをセグメント, 下位9bをR-2R型*
6.2	A 1.6Gsps 12b RTZ GaAs RF DAC for Multiple Nyquist Operation	Rockwell	Direct Digital Synthesizer	GaAs 1.8x1.8	・ft=80GHzのnpn使用。RTZで高DR化、SFDR=-60dB ・上位4bをセグメント, 下位8bをR-2R型*

*: 上位をセグメント型、下位をR-2R型の超高速DAC方式は、麻殖生、堀田等の下記ISSCC1985発表でも採用した。
K.Maio, S.Hayashi, M.Hotta, N.Yokozawa, T.Watanabe, S.Ueda "A 500MHz 8b DAC" ISSCC1985

IEEEの著作権の関係で図面は省略させていただきます

6.2.2: 上位4b+下位8b R-2R DAC方式

4.2 Session 9: Switched-Capacitor Delta-Sigma Modulators

・ブロードバンド通信やSoC用の広帯域、低電力ADC方式としてここ数年開発が活発。

BW=数MHz、1~2mWでDR=60~80dBを実現。

・プロセスは0.35um~90nmCMOS。90nm,1.2V動作のものが出てきた。

・オーバーサンプル比が下がり、20Msps,13~14bit相当のADCが で実現

・発表機関は偏っている。ADI:3件、TI:2件、大学が関係したもの:3件。

No	論文名	発表機関	主要応用	プロセスサイズ	内容、特徴
9.2	A Low-Power Multi-Bit Modulator in 90nm Digital CMOS without DEM	TI	SoC	90nm CMOS 0.4mm ²	・2次 4b, 1.3V, 2.1mW, fCK=40MHz,OSR=10/20/50に対し BW=2M/1MHz, DR=58/66dB ・高DRのため、DEMの代わりに帰還DACにデジタル を使用。
9.5	An 80MHz 4x Oversampled Cascaded -Pipelined ADC with 75dB DR and 87dB SFDR	ST Micro.	xDSL	0.18um CMOS 4mm ²	・2次 4b, 3.3V, 240mW, fCK=80MHz,OSR=4 に対し20Msps, DR=75dB ・高DRのため、 と9bパイプラインADCの従属構成

IEEEの著作権の関係で図面は省略させていただきます

IEEEの著作権の関係で図面は省略させていただきます

9.2.1: 帰還DACにデジタル を使ったADC

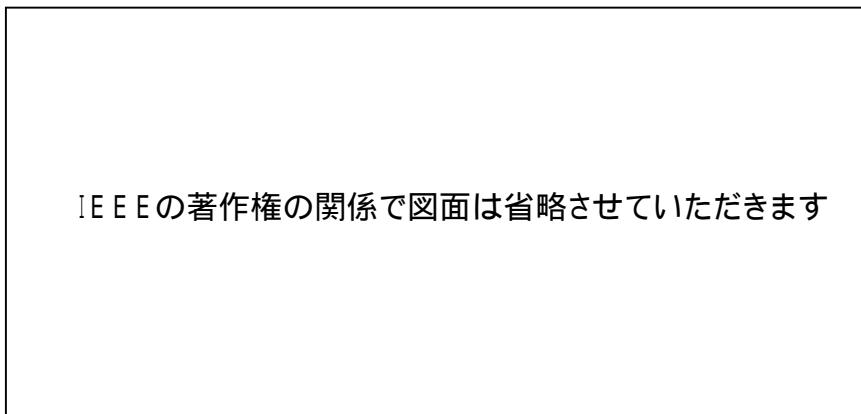
9.5.1: 2次 とパイプラインADCを組み合わせた高速・高精度ADC

4.3 Session 15: ADCs, DC References, and Converters

- ・本セッションではいまや古典的なパイプライン型や循環型 (Algorithmic型) の発表
- ・90nm CMOSによる12Msps, 3.3mW, 10b ADCが出てきた。
- ・パイプライン型では低電力化が進展
- ・発表機関はトロント大学 (カナダ) が2件、ソウル大学1件等、US以外の大学が多い。

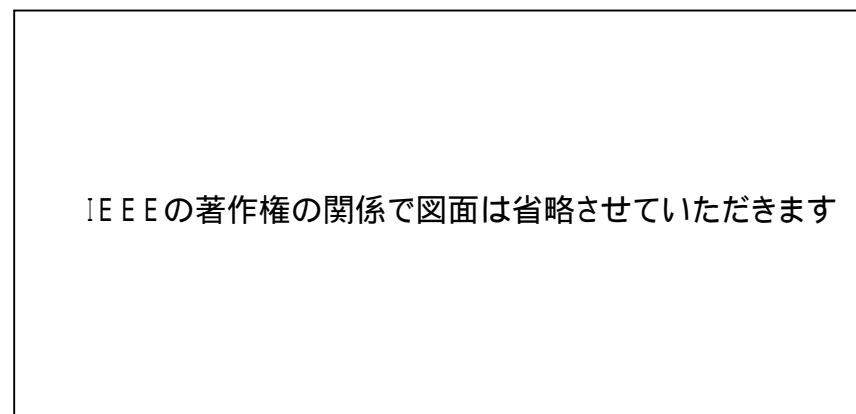
No	論文名	発表機関	主要応用	プロセスサイズ	内容、特徴
15.1	A Split-ADC Architecture for Deterministic Digital Background Calibration of a 16b 1Msps ADC	Worcester Polytech. Univ.	SoC?	0.25um CMOS 1.2x1.4	<ul style="list-style-type: none"> ・16b, 1Msps, INL=6.9LSBpp, 2.5V, 105mW ・16bit化のため、循環型ADCを2系統設置し、2つの出力コードが一致するようにデジタル的に補正
15.2	A 3.3mW 12Msps 10b Pipelined ADC in 90nm Digital CMOS	Toronto univ.	SoC?	90nm CMOS 0.3mm ²	<ul style="list-style-type: none"> ・1.5b x 8段 + 2b flash構成, DNL < ± 1LSB, INL < ± 1.3LSB, SNDR=52.6dB, 1.2V, 3.3mW ・Cはmetal-finger, Rはシリサイド

Algorithmic ADC方式は、北川、小久保、堀田、麻殖生、等の下記ISSCC1995発表でも採用した。
A.Kitagawa, M.Kokubo, M.Hotta, K.Maio et al “A 10b 3Msps CMOS Cyclic ADC” ISSCC1995



IEEEの著作権の関係で図面は省略させていただきます

15.1.2: Split-ADCの構成



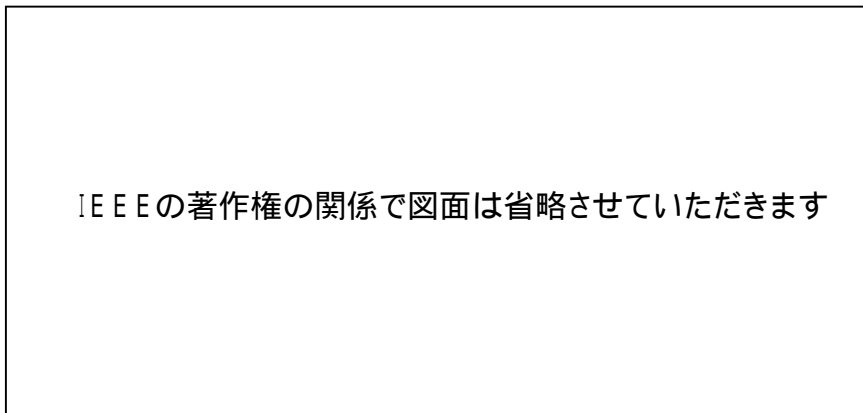
IEEEの著作権の関係で図面は省略させていただきます

15.2.1: 10b パイプライン型ADC

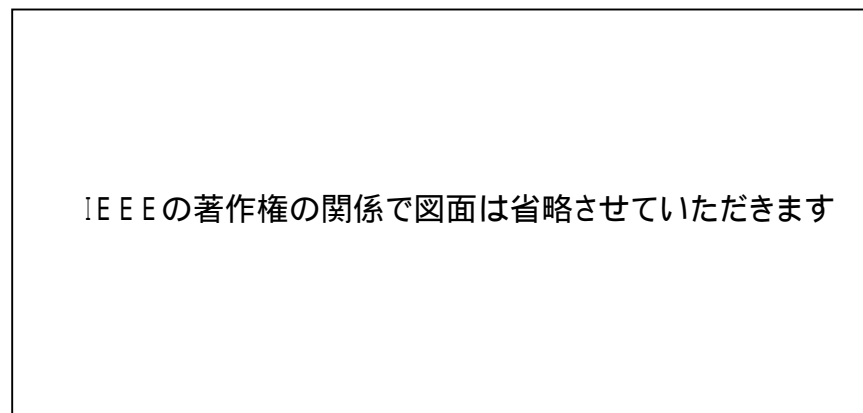
4.4 Session 27: Filters and Continuous-Time Converters

- ・連続型 ADCのセッションは始めて。低ノイズ、低EMI等が評価された？。
- ・TIが強い(2件)。大学(セブリア大、トロント大)も健闘。日本から富士通。
- ・オーバサンプル比が下がり、23 Msps, 13 ~ 14 bit 相当のADCが連続型でも実現

No	論文名	発表機関	主要応用	プロセスサイズ	内容、特徴
27.1	A 3mW 74dB SNR 2MHz CT ADC with a Tracking-ADC-Quantizer in 0.13um CMOS	Infeneon	無線通信	0.13um CMOS	<ul style="list-style-type: none"> ・変則3次、4b、1.5V, OSR=26, fCK=104MHz, BW=2MHz, SNR=74dB ・DACにはDEM適用、量子化にはトラックグ ADC を使って、回路規模節約
27.6	A 43mW CT Complex ADC with 23MHz of Signal Bandwidth and 68.8dB SNDR	Toronto univ.	WLAN	0.18um CMOS 0.95mm^2	<ul style="list-style-type: none"> ・4次 4b CT、1.8V, fCK=276MHz, OSR=12, BW=23MHz, DR=72.5dB



27.1.1: 3次 4b 構成



27.6.1: ADCの構成