

ISSCC 2012 報告書
(IEEE International Solid-State Circuits Conference)
無線通信関係：第二報

開催期間：2012年2月19～23日（主セッション：2/20～22）

開催場所：USA サンフランシスコ, マリオット・ホテル

報告者：中川准一

・ 引用：Digest of Technical Papers, 2012 IEEE ISSCC

4.1: “A Blocker-Tolerant Wideband Noise-Cancelling Receiver with 2dB Noise Figure”,

by D. Murphy, et.al., UCLA & Broadcom , USA

- 要約: 妨害波に弱い低雑音増幅器を除去し、かつ広帯域の雑音相殺方法を考案し、80~2600MHzでNF=2dBを達成。
 - 40nm CMOS、12mA @ 1.2V、チップcore= 1.2mm²
 - シングル・エンド入力、RF=80~2700MHz、利得=70dB、NF=1.9dB @ 2GHz
 - 0dBm Blocker NF=4.1dB、3rd/5th 高調波除去比=42/45dB、OB-IIP3=13.5dBm
- Hybrid frequency-translational, noise canceling (FTNC) with no voltage prior to baseband filtering: メインパスで整合を行い、その抵抗R_{in}による雑音を測定。補助パスで入力電圧V_{Rin}を測定。受動ミキサと高利得演算増幅器を用いることにより、ミキサRF入力端を理想的には仮想グランドとし、電圧振幅を最小にする。
- メインパスの演算増幅器雑音は受信機入力端ではRFにアップコンバートされるが、R_{in}とミキサ抵抗によって結果的に相殺される。補助パスで、G_Mセルのように電流駆動すると、演算増幅器雑音はほぼ無視でき、高帰還抵抗の雑音もほぼ無視できる。G_Mセルの整合は不要なため、簡単なインバータベースで良く、広帯域で高線形にできる。
- ダウン・コンバージョンにはduty 12.5%の8相LOを用い、7*LOまでの折り返し雑音と高調波周りのダウン・コンバージョンを抑圧する。シングル・エンド・ミキサを用いるので、雑音対策のために8相LO発生法に工夫: 省略。

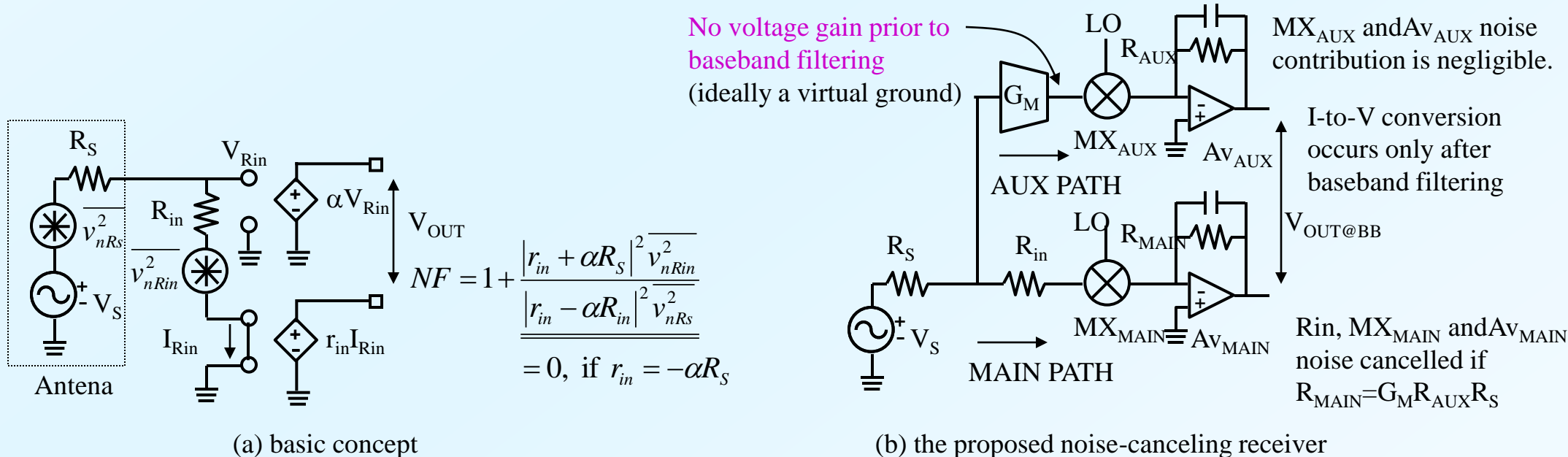


Fig.4.1.1 Noise Canceling:

4.2: “8-Path Tunable RF Notch Filters for Blocjer Suppression”

by A. Ghaffari, et al., Univ. of Twente, Netherlands

- ・ 要約: 1/NデューティのN相クロックによりダウン・アップ受動ミキサを駆動し、ミキサ間にHPFを挿入し(全体でBPF)、ミキサ出力を合成して妨害波を除去、**等価BPFのLをクロックで可変**、差動(Diff)とシングル(SE)型を試作。
 - ・ 65nm CMOS、Diff/SE Pd=3.5~30/2~16mW、Diff/SE チップcore=0.14/0.07mm² (全体で0.87mm²)。
 - ・ 同調範囲: 100MHz~1.2GHz、除去比: 18dB @BW=6MHz、Diff/SE 最大除去比=21/22dB
 - ・ Diff 利得=-1.4~-2.8dB、NF=1.6~2.5dB、P1dB=6dBm、IIP3>17dBm
- ・ 原理等価回路Fig.4.2.1において、あつぷ・コンバージョン・ミキサの出力をwired-OR加算、ミキサ直列抵抗は負荷抵抗R_Lの一部とみなす。クロックf_sに対してf/f_sの整数倍(Diif型では奇数整数倍)で減衰量が大きくなり、整数が大きくなると減衰量が小さくなる。整数付近での等価回路がFig.4.2.1の右下で、等価L_pがf_sによって変化する。等価R_p、C_pは一定なので、ノッチの帯域は一定となる。
 - ・ 8相でR_S=R_Lの時、R_L≈19(R_S+R_L)となるので、理論除去比は26dB
 - ・ (N-1)次と(N+1)次に折り返し特性が生じるので、Nは大きいほどよい。
- ・ 通過帯域では入出力ともに整合をとって、低挿入損失とする。
- ・ SE型でNMOS W/L=100μm/65nm(Ron=6Ω)、C=7pF、Diff型の時、入出力にバランを使用し、C=14pF

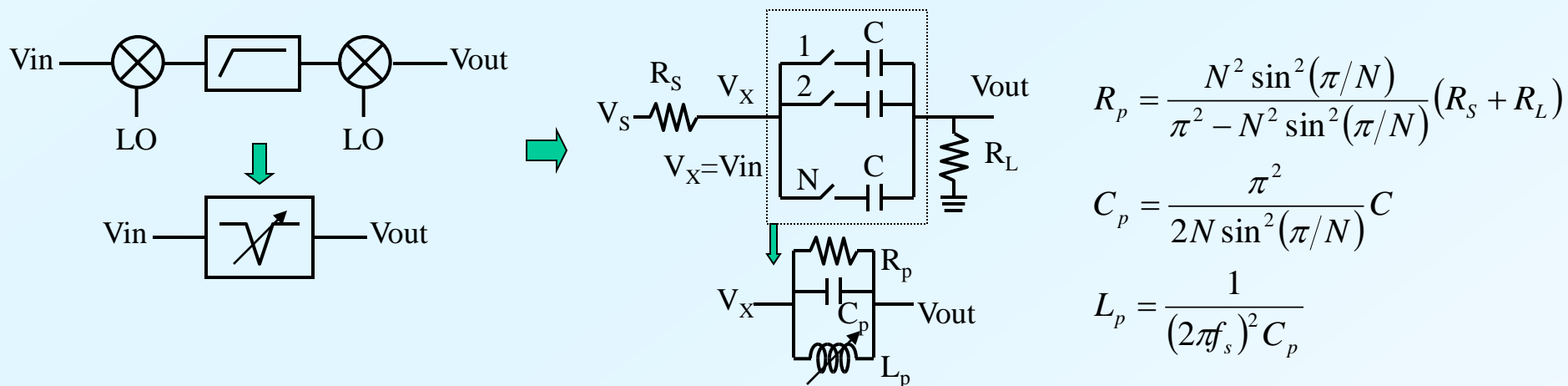


Fig.4.2.1 N-path notch filter modeled as an RLC resonator

9.2: “A Multiband Multimode Transmitter without Driver Amplifier”,

by O. Oliaei, et al., Fujitsu Semiconductor Wireless, USA

- 要約: 2G/3G/4G(LTE)+4bands対応でDACからPA前段までを1チップ化。LTE時にサブキャリア群:RBのLOからのオフセット周波数 f_s の奇数倍高調波が送信機非線形性により発生するcounter intermodulation(CIM)が課題になる。CIMとSAWフィルタなしでRX帯域雑音に対処できる回路方式を採用。
 - 90nm CMOS、チップ $=5.06\text{mm}^2$, $I_{0\text{max}}=52\text{mA}/2.7\text{V}$ & $32.8\text{mA}/1.55\text{V}$
 - $P_o=4\text{dBm}$ max for 3G/4G, $\text{ACLR}<-40.3$, $\text{EVM}<1.54\%$ $P_o=0\text{dBm}$ for 3G, $\text{Image}<-44\text{dBc}$, $\text{S22}<-15\text{dB}$
- CIMに起因する不要波が他の帯域に落ちることもあるので、発生要因の一つである駆動アンプ:DAを削除し、かつ受信帯域雑音を各種システム仕様に満足させる。...2G/PCS、3G & 4G(LTE3,LTE10, LTE20)/Band-I,VII,XIII
- Fig.9.2.1において、DACは12ビット電流型で、BPF/V-Iパスは2G/3G用で高線形優先で設計、2G用のI-Iパスは雑音優先で設計。アップコンバータ段は4帯域別で1帯域のみ動作させる。アップミキサはCIMを低減するために電流モード型を選択。VGAは受動型で、同調バランを用いて外付けPAに供給。

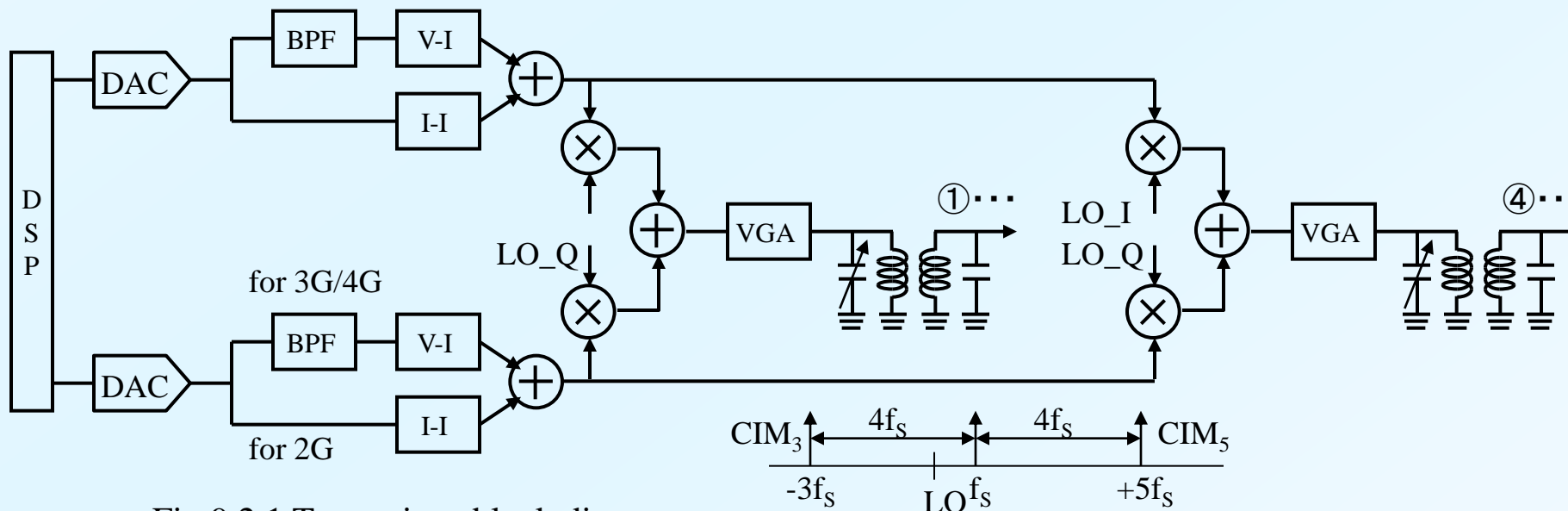


Fig.9.2.1 Transmitter block diagram

9.5: “A 60GHz Outphasing Transmitter in 40nm CMOS with 15.6dBm Output Power”,

by D. Zhao, et.al., K.U. Leuven, Belgium

- ・要約: LO分配器+(バッファ+2段ポリフェーズフィルタ: PPF+ミキサ+駆動アンプ+PA)x2+出力トランス。駆動アンプをゲート接地にすることによりLO-RX結合によるLOリークを低減。出力トランスの2個の1次コイルを直交配置し、1次コイル間の結合を低減。
- ・ 40nm CMOS、Pd=220mW @1V、チップ²=0.96mm²
- ・ Plin,max=15.6dBm、PAE @Plin,max=25%、Psat=15.6dBm、PAE @Psat=25%、IRR>20dB、Plin,max/Pd=16.5%
- ・ Fig.9.5.1において、変調信号の瞬時振幅をa(t)、瞬時位相をθ(t)、a(t)最大値の1/2をAとすると、outphasing angleはφ(t)=cos⁻¹[a(t)/2A]となる。2個のPAを定振幅で飽和状態で動作させることができる。
- ・ 駆動アンプをベース接地型とし、アップ・ミキサの負荷を低インピーダンスにして、LOの漏れを低減する。
 - ・ 差動構成PAのドレインとゲート間に中和用キャパシタを接続し、安定性と逆アイソレーションを改善。
- ・ 位相の異なる2個のPA出力を合成するトランスの1次コイルをFig.9.5.4のように直交配置し、電磁結合を減少。合成器の挿入損失は1.2dBで、1dB帯域は20GHzと広くて正確なoutphasing動作が可能。

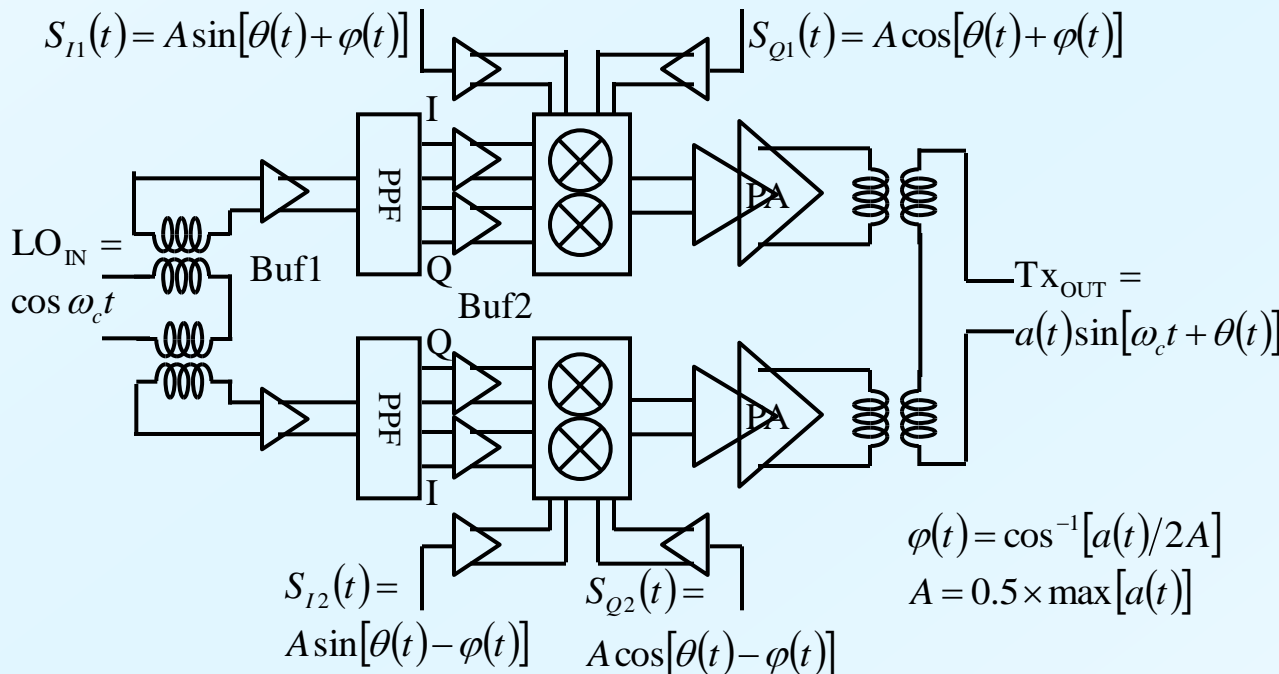


Fig.9.5.1 System diagram of the outphasing transmitter

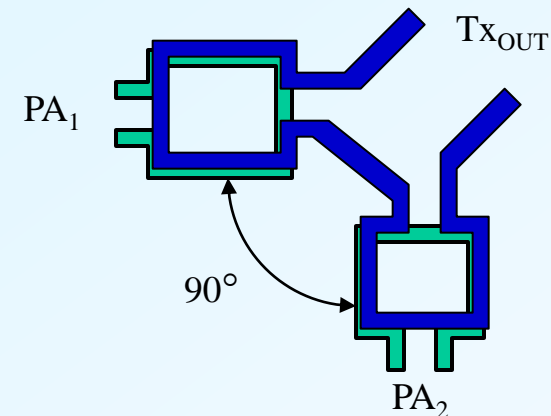
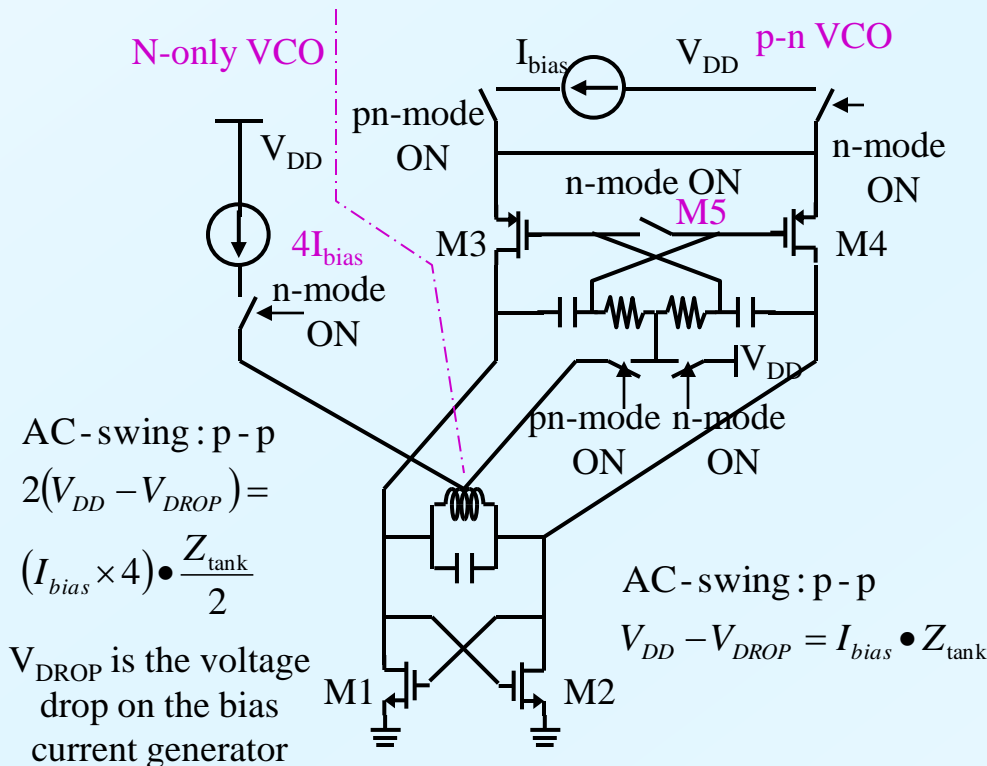


Fig.9.5.4 出力合成トランス概念図 (実際にはPAバイアス配線を一体化)

20.4 “A 36mW/9mW Power-Scalable DCO in 55nm CMOS for GSM/WCDMA Frequency Synthesizers”,

by A. Liscidini, et al., Univ. of Pavia / Italy & Lund Univ./ Sweden

- 要約: 性能指数:FOMをほぼ一定のままでモードに応じてVCO構成を変えて低消費電力化。(WCDMA対応)pn縦積み交差結合発振器に対して、p-Trをオフにして(GSM対応)n型交差結合発振器の発振振幅を2倍にする回路を考案。
 - 55nm CMOS、1.5V、p-n/ n: $I_0=6/24\text{mA}$ 、チップcore = $0.7\times 0.7\text{mm}^2$
 - PN @ 2MHz=-129.3 / -134.7dBc/Hz, FOM=185.6 / 185 dBc/Hz,
 - 疎調範囲/分解能=2.5GHz/1.4MHz, p-n/n: 微調分解能=1.2~4kHz/2~5kHz
- 性能指数:FOM \propto 位相雑音/消費電力...タンク回路と電源電圧が決まれば、最適FOMを得る電流が決定する条件への挑戦。低雑音が必要なGSM用はn-VCOとして動作させ、3G用VCOはp-n型VCOとして低消費電力化。
- Fig.20.4.1の構成において、n-only VCOとして動作時、p-Tr-M3,M4を大きな発振振幅でも完全にオフする必要があり、その時の概略構成がp-Tr交差結合部に示されている。

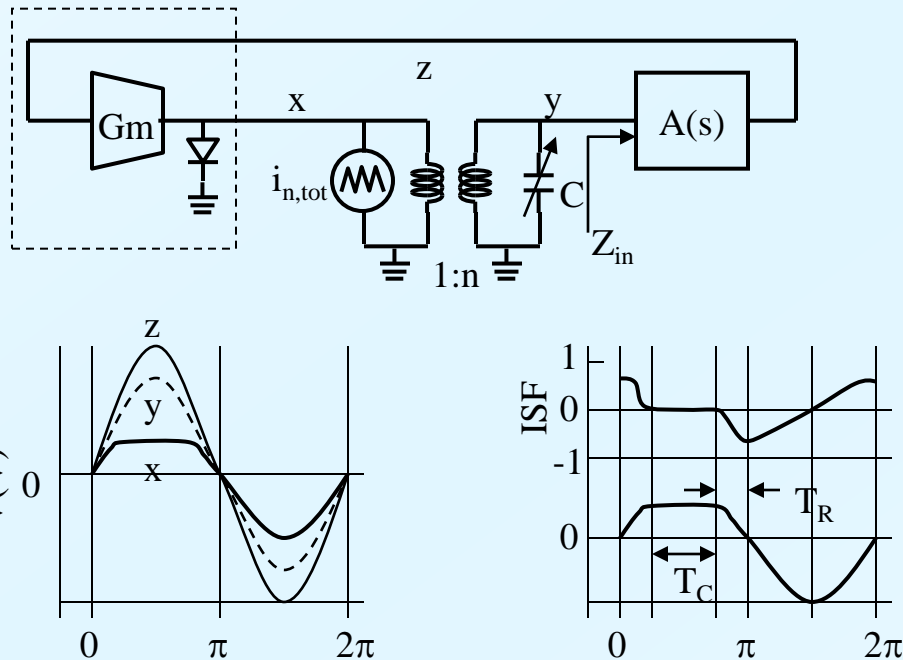


- 交差結合PFETのドレインとゲートをAC結合:
 - ゲート電圧を独立に設定可能
 - ゲートを発振器出力に対して接続・非接続可能
- n-only mode時、PFETのゲートに V_{DD} を印加し、M5を短絡してそのオン抵抗 R_{on} とすると、AC結合回路は遮断周波数 $2/(CR_{on})$ のHPFとして働く。オン抵抗 R_{on} を十分小さくすることによってAC振幅を低減。
 - PFETのドレイン・バルクダイオードがONさせない配慮が必要で、電流源の電圧降下 V_{DROP} を利用。

Fig.20.4.1: Power-scalable VCO with constant FOM

20.5: “A Clip-and-Restore Technique for Phase Desensitization in a 1.2V 65nm CMOS Oscillator for Cellular Mobile and Base Stations”, by R.B.Staszewski, Delft Univ. of Technology, Netherlands

- 要約: 発振振幅の平坦部における位相雑音感度を示すインパルス感度関数 (ISF) が0になることに注目。帰還信号の半サイクルの頭をクリップし、変成器を含むタンク回路で基本波を復元。
 - 65nm CMOS、1.2V、 $P_d=264\text{mW}$ 、チップcore=0.19mm²
 - $f_0=3.9\text{GHz}$, PN=-141.71 @3MHz & -157.20dBc/Hz @20MHz, FOM=189dBc/Hz @3MHz
- 発振振幅波形がsinesoidalと仮定すると、ISFの波形は微分したcosinesoidalに比例する。…すなわち、発振波形の微分係数が0になるようになる時間を一周期中で増すことにより、位相雑音を低減する。
- Fig.20.5.1において、Gm段出力電圧V_xの正サイクル頭を期間T_Cにわたってクリップすると、その期間のISFは理想的には0となる。この期間、各種雑音による発振波形の擾乱は0となって一周期平均の位相雑音が低減される。
 - クリップ波形をステップアップ変成器を通して正弦波V_yに戻し、増幅してGm段をオーバードライブする。
 - バイアス電流を増やして発振振幅を大きくするほど、位相雑音が減ってFOMはより大きくなる。



- 発振器用FETは同じgmで1/fコーナーが15%小さいPMOSを使用する。
 - 差動PMOS-FETのドレイン・ゲート間の正帰還で発振させ、振幅が大きくなると飽和領域から三極管領域に振り込まれ、ドレイン振幅がクリップする。

Fig.20.5.1: Conceptual block diagram and waveforms