

ISSCC 2012 報告書
(IEEE International Solid-State Circuits Conference)
無線通信関係：第一報(修正版)

開催期間:2012年2月19～23日(主セッション:2/20～22)

開催場所:USA サンフランシスコ, マリOTT・ホテル

			2012	2011	2010	2009	2008	2007
全体発表件数			202	211	209	203	237	234
発表割合	地域	北アメリカ	68: 34%	80: 38%	40%	38%	43%	39%
		アジア	73: 36%	69: 33%	32%	36%	28%	31%
		欧州	61: 30%	62: 29%	28%	26%	29%	30%
	機関	大学関係	58%	58%	48%	53%	47%	51%
		企業	42%	42%	52%	47%	53%	49%
セッション数			27+1	27+1	26+1	28+1	31+1	31+1

- ・ **アジアからの発表比率がトップに!**・・・韓国:29件、日本:26件、台湾:10件、中国:3件
- ・ 参加者は約3000名

・ ATNからの参加者・・・麻殖生健二:ADC/DAC、 中川准一:無線通信

- ・ 第一報では、**無線通信関連発表のほとんど全て**を概説する。・・・報告者:中川
- ・ 引用:Digest of Technical Papers, 2012 IEEE ISSCC

今年のテーマ、および無線通信全体の動向と印象

- ・ ISSCC全体の今年のテーマは、“**Silicon Systems for Sustainability** (持続可能性)”
 - 1.1 “Flash Memory - The Great Disruptor (破壊者)”, by E. Harari of SanDisk
 - ・ フラッシュ・メモリの今までの進歩と今後の発展・・・HDDとDRAMの領域を大きく侵略
 - 1.2 “The Role of Semiconductors in the Energy Landscape”, by C. Papa of STMicroelectronics
 - ・ 電力削減における半導体全体(特にパワー)の果たす役割・・・SiCとGaNの役割が増大
 - 1.3 “Take the Expressway to Go Greener”, by Y. Yano of Renesas Electronics
 - ・ 省エネにおけるMCU(組み込みMPU)の役割がますます増大し、MCUの大幅な省電力化も進む
 - 1.4 “Sustainability in Silicon and Systems Development”, by D. Perimutter of Intel
 - ・ CPUシステムの発展(性能、メモリ容量、省電力)は今後も続く
- ・ 無線通信全体の動向と印象
 - ・ 10GHz以下はマルチバンド+マルチスタンダード、低コスト化、低省電力化を目指す地道な開発に完全に移行
 - ・ 先端無線回路技術者の目は完全にミリ波以上からサブテラヘルツへ・・・応用が課題
 - ・ 送信出力/効率の向上、ミリ波ではRFのみからシステムインテグレーションの方向へ
 - ・ 個人的には、興味ある発表が非常に少ない

・ 以下の表は、論文名を読んだことを前提にした内容・特徴の記述になっています。

・ 発表番号を黄色網掛けしたものは別途詳細報告する予定です(変更の可能性あり)。

Session 4: RF Techniques : 2/20 PM

- 4.1, 4.2, 4.4: Receiver、
- 4.3: Attenuator、
- 4.5~4.7: CMOS Power Amp. For WCDMA、
- 4.8: mm-PA

No.	論文名	発表機関	プロセス他	内容、特徴
4.1	A Blocker-Tolerant Wideband Noise-Cancelling Receiver with a 2dB Noise Figure	UCLA & Broadcom (USA)	40nm	妨害波に弱い低雑音増幅器を除去し、かつ広帯域の雑音相殺方法を考案。80~2700MHzで2.4dB以下(大部分で2dB以下)、WCDMA想定で0dBm妨害波まで耐力(0dBm-Blocker NF @2GHz =4.1dB) Gain=70dB, OB-IIP3=13.5dBm, 3rd/5th 高調波除去率=4245dB
			1.3V, 12mA 1.2mm ²	
4.2	8-Path Tunable RF Notch Filters for Blocker Suppression	Univ. of Twente (Netherlands)	65nm	1/NデューティのN相クロックによりダウン・アップ受動ミキサを駆動し、ミキサ間にHPFを挿入し(全体でBPF)、ミキサ出力を合成して妨害波を除去、等価BPFのLをクロックで可変、差動とシングル型を試作。差動型性能:最大除去=21dB、利得=-1.4~-2.8dB, NF=1.6~2.5dB, IIP3>17dBm
			30mWmax act:0.14mm ²	
4.3	A Wideband IM3 Cancellation Technique for CMOS Attenuators	Univ. of Twente (Netherlands)	0.16μm	CMOSFETによるπ型減衰器で、負荷に直列なFETとシャントなFETの歪み電流が逆方向に流れることを利用して相殺。 帯域=DC~5GHz, IIP3=30dBm@0.1~1.2GHz & 26dBm@0.1~5GHz, P _{1dB} =10dBm, 最大減衰量=24dB, 反射損失>14dB
			1.8V, act:0.005mm ²	
4.4	A 1-to-2.5GHz Phased-Array IC Based on gm-RC All-Pass Time-Delay Cells	Univ. of Twente (Netherlands)	140nm	(LNA+微調遅延+疎調遅延)×4パス+加算+MIX。gm-RC遅延セルの構成を工夫してf特性を改善。最大遅延=550ps, 遅延分解能=14ps, 遅延平坦<10ps、1パス電流=50mA、利得=15dB、NF=8~10dB、IIP3=-13dBm
			1.8V, 250mA 1mm ²	
4.5	A Fully Integrated Dual-Mode CMOS Power Amplifier for WCDMA Applications	Samsung Electro-Mechanics (Korea)	0.18μm	高出力と低出力で増幅パスを別にして出力トランスを部分共用。また、線形性と効率改善のため、バイアス電圧を信号包絡線で変化。低出力時の効率を大幅に改善。WCDMA評価時の付加効率は、LPM: 27.4% @P=16.4dBm, HPM: 36.4% @28dBm
			3.4V, mm ²	
4.6	A 28.3mW PA-Closed Loop for Linearity and Efficiency Improvement Integrated in a +27.1dBm WCDMA CMOS Power Amplifier	Toshiba (Japan)	0.13μm	出力増幅段の入力間で自律的に極座標帰還をかけて線形性と効率を改善し、負荷変動耐力も向上。帰還用位相比較器をリミッター+ミキサで実現。WCDMA評価で所定ACPLを得る出力が1dB向上し、付加効率も24%から28%に向上。但し、低出力時のACPLは帰還により劣化。
			1.5/1.8/3V 2.2mm ²	
4.7	A Fully Integrated Triple-Band CMOS Power Amplifier for WCDMA Mobile Handsets	Fujitsu (Japan)	90nm	三帯域PA+入出力整合回路(トランス)+制御IFを3.5x4x.0.7mmフリップ・チップ・パッケージに内蔵。熱抵抗を小さくするため、Tr近辺に多数のグラント・ハンパを設ける。各PAは2段構成で段間整合回路あり。
			1.2V, 308mW act: 0.44mm ²	
4.8	A 45nm SOI CMOS Class-D mm-Wave PA with >10Vpp Differential Swing	Univ. of Toronto (Canada)	45nm	低QのLを用いず、かつ高振幅を得るためにSOI基板を採用。出力段FETはthin-oxideでp、n型をそれぞれ3段カスコードして縦積み。入力段はTIA: 帰還インバータで整合。f=4~50GHz, Psat/効率 =22.5dBm/24.2% @15GHz & 16.2dBm/6.2% @45GHz, Pdc at Psat=665mW @45GHz
			1.1V/6.6V, act.0.28mm ²	

Session 9: Wireless Transceiver Techniques : 2/21 AM

- 9.1: TV tuner、
- 9.2: TX、
- 9.3: RX、
- 9.4~9.5: Outphasing TX、
- 9.6: co-existence、
- 9.7: beamforming

No.	論文名	発表機関	プロセス他	内容、特徴
9.1	A 40MHz-to-1GHz Fully Integrated Multistandard Silicon Tuner in 80nm CMOS	Mrvell (USA,Italy), Univ. of Pavia (Italy)	80nm <440mW 2x2.8mm ²	DVB-T+DVB-C+ATSC-A/74+cable TV+analog TVのチューナを1チップ化。FEはLNA+RF tunable filter+HR mixer構成。tunable filterは伝達コンダクターによる4次でCバンクによる帯域同調:40~1000MHz、NF=3dB@Gmax, 3rd HR.65dB, IIP2=20dBmmin/66dBmmax
9.2	An Multiband Multimode Transmitter without Driver Amplifier	Fujitsu Semiconductor Wireless (USA)	90nm 5.06mm ²	2G/3G/4G(LTE)+4bands対応でDACからPA前段までを1チップ化。LTEの可変帯域に対応時にcounter intermodulation(CIM)が課題になる。CIMとRX帯域雑音に対処できる回路方式を採用。Po=4dBm max, ACLR<-40.3, Image<-44dBc, S22<-15dB
9.3	Active Feedback Receiver with Integrated Tunable RF Channel Selectivity, Distortion Cancelling, 48dB Stopband Rejection and >+12dBm Wideband IIP3, Occupying <0.006mm ² in 65nm CMOS	Univ. of Twente (Netherlands)	65nm 1.2V,62mW act: 0.06mm ²	メインパス(インバータベースLNA+受動ミキサ+バッファ)+帰還パス(バッファ+HPF+受動ミキサ)により、妨害波に対するLNA出力インピーダンスを小さくして除去。メイン受動ミキサのオン抵抗に除去比が依存しない構成。f=1~2.5Gz, G=30dB, CH-BW=5MHz, NF=7.25~8.9dB, IIP3=12dBm@250MHz-off
9.4	A 20dBm 2.4GHz Digital Outphasing Transmitter for WLAN Application in 32nm CMOS	Intel (USA)	32nm 1.8V, 82mW 2.6mm ²	Outphasing PAの位相変調 $\phi \pm \theta$ を1つの変調器で実現:3b-MSBで8相クロックを選択し、5b-LSBで2進バラクタx3段を駆動し、設計分解能1.6psを目指す。(PAはインバータベースD級@2.05V+1V, Po/効率=20dBm/22% @-25dB-EVM), OFDM時総合効率=18.6%
9.5	A 60GHz Outphasing Transmitter in 40nm CMOS with 15.6dBm Output Power	KU Leuven (Belguim)	40nm 1V, 220mW 0.96mm ²	LO分配器+(バッファ+ポリフェーズフィルタ+ミキサ+PA)x2+出力トランス。駆動段をゲート接地にすることによりLO-RX結合によるLOリークを低減。出力トランスの1次コイルを直交配置し、1次コイル間の結合を低減。付加効率=25% @Po=15.6dBm, Pavg=11dBm@8PSK w/EVM=-35dB
9.6	A 4-in-1 (WiFi/BT/FM/GPS) Connectivity SoC with Enhanced Co-Existence Performance in 65nm CMOS	MediaTek (Taiwan, USA)	65nm 30.6mm ²	WiFi(802.11a/b/g/n)+BT(2.1/4.0)+FM+GPS+[MPU+SMPS+XtalOsc+I/O。5GHz-PAは外付け。同時使用のため、ISMポートは3個設け、回路構成とチップレイアウトを工夫。BT動作時、アクセスポイントから比較的近いWiFiのスループットは単独使用時の90%。
9.7	A 1.5-to-5.0GHz Input-Matched +2dBm P1dB All-Passive Switched-Capacitor Beamforming Receiver Front-End in 65nm CMOS	Univ. of Twente, TNO Science and Industry (Netherlands)	65nm 1.2V, 168mW 0.18mm ²	スイッチド・キャパシタ・ベクトル変調器を工夫して入力50Ω整合を実現。4パス合成。位相ステップ=11.25°, 位相誤差=2°, 振幅誤差=2dB, ベクトル変調器EVM=4%, G=-6dB, NF=18dB, IIP3=13dBm, IIP2=69dBm

Session 15: mm-Wave & THz Techniques : 2/21 PM

No.	論文名	発表機関	プロセス他	内容、特徴
15.1	A 1kPixel CMOS Camera Chip for 25fps Real-Time Terahertz Image Applications	STMicroelectronics, et. al		省略
15.2	280GHz and 860GHz Image Sensors Using Schottky-Barrier Diodes in 0.13μm Digital CMOS	Univ. of Florida Univ. of Texas	0.13μm	省略
15.3	A 0.28THz 4x4 Power-Generation and Beam-Steering Array	California Inst. of Tech. (USA)	45nm 1.1/0.8V, 2.7x2.7μm ²	外部47GHz+注入同期VCO+分配器+1/2分周器+4x4(移相器+3通倍器+放射器)の構成で放射器より2倍高調波を放射。移相器はI/Qアナログ合成。最大EIRP=9.4dBm、総放射電力=190μW
15.4	A 283-to-296GHz VCO with 0.76mW Peak Output Power in 65nm CMOS	Cornell Univ. (USA)	65nm 325mW 0.36mm ²	290GHzと320GHzのVCOを試作。可変移相器4個をリング配置し、各接続ノードに配置した注入同期VCOの4次高調波を合成。移相量を電圧制御して周波数を可変。290GHz出力=-1.2dBm、位相雑音=-78dBc/Hz@1MHz-off、同調幅=4.5%
15.5	A 1V 19.3dBm 79GHz Power Amplifier in 65nm CMOS	Nation. Taiwan Univ. (Taiwan)	65nm 1V, 0.855mm ²	ミリ波では変成器の寸法が課題。計8個のPA出力を、2組の入力と1組の出力を持つ差動変成器(設計損失=0.8dB)2個の差動出力を差動伝送線路結合器(設計損失=0.25dB)で合成。Psat=19.3dBm、最大PAE=19.2%、Gain=24.2dB、P1dB=16.4dBm
15.6	A 9% Power Efficiency 121-to137GHz Phase-Controlled Push-Push Frequency Quadrupler in 0.13μm SiGe BiCMOS	Nanyang Tech. Univ., ets (Singapore)	0.13μm SiGe 22mA/DAR 0.8x0.8mm ²	AB級とC級をカコード接続し、正弦波正サイクルでC級のドレインに2通倍波が現れるようにバイアス。負サイクルで同様に動作する回路を併設して4通倍を実現。Pout=-2.4dBm、Gain=0.6dB
15.7	A 144GHz 0.76cm-Resolution Sub-Carrier SAR Phase Radar for 3D Imaging in 65nm CMOS	UCLA, ets (USA)	65nm 457mW/pixel 4.38mm ²	IF周波数189MHz/378MHzを用いて2段階の逐次近似(SA)により分解能を確保し、FMCW方式の課題を回避。3.3cm ² @1m、深度分解能=0.76cm
15.8	A 2Gb/s-Throughput CMOS Transceiver Chipset with In-Package Antenna for 60GHz Short-Range Wireless Communication	Toshiba (Japan)	act.2.2mm x1.3mm	RF-IC(TRX)+BB-IC(PHY+MAC)構成で、5cm以下の通信、RX: 電圧利得=35dB、NF=14dB、TX: 電力利得=15dB、P1dB=2.6dBm、Psat=6dBm、MACスループット=2.07Gb/s @4cm、パッケージ: 9mmx9mm
15.9	A Low-Power 57-to-66GHz Transceiver in 40nm LP CMOS with -17dB EVM at 7Gb/s	Imec, ets. (Belgium)	40nm 1.1V 0.7mm ²	20GHz注入同期60GHz-QVCO、PA: 3段変成器結合、LNA: 2段変成器結合、TX: PAE=5.7% @p1dB=10.2dBm、RX: NF=5.5dB
15.10	A 4-Path 42.8-to-49.5GHz LO Generation with Automatic Phase Tuning for 60GHz Phased-Array Receivers	Hong Kong Univ. (China)	65nm 1V, 1.4x2mm ²	4x(バラン+移相器+3通倍+バッファ+ミキサ)、移相器による振幅変化を注入同期通倍器によって吸収。位相分解能=22.5°、位相誤差=0.93°、振幅不整合=±0.4dB

Session 20: RF Frequency Generation : 2/22 AM

- 20.1: PLL modulator
- 20.2~3: Fractional-N PLL
- 20.4~5,-7: VCO
- 20.6: Divider

No.	論文名	発表機関	プロセス他	内容、特徴
20.1	A 20Mb/s Phase Modulator Based on a 3.6GHz Digital PLL with -36dB EVM at 5mW Power	Politecnico di Milano (Italy)	65nm	D flip-flopを位相比較器とするデジタルPLLのDCO前後にPM信号を微分したFM信号を注入することにより広帯域FMを掛ける。DCO線形補正とパス利得不整合を自動補正することにより高EVMを達成。f=2.9~4GHz,
			1.2V, 5mW act. 0.5mm ²	
20.2	A 14.2mW 2.55-to-3GHz Cascaded PLL with Reference Injection, 800MHz Delta-Sigma Modulator and 255fs _{rms} Integrated Jitter in 0.13μm CMOS	KAIST (Korea)	0.13μm	16逓倍デジタルPLL(800MHz)と約3.5逓倍PLLの縦続接続、および二重パルスリング発振器を用いて同期時には基準パルスを発振器に注入することにより低ジッタを達成。ジッター=314fs/avg、積分位相雑音=-48.2dBc/avg、フラクショナル・スプリアス=-68.7dBc/avg
			14.2mW act. 0.5mm ²	
20.3	A 40nm CMOS All-Digital Fractional-N Synthesizer without Requiring Calibration	Audax-Tech. (Belgium)	40nm	11~18GHz数値制御LC発振器(NCO)の出力をTDCの役割をするリング発振器に注入して同期させる。NCOの離散位相情報に対して基準位相情報も量子化して量子化雑音を相殺+1/2LSBオフセット。帯域内雑音=-95.35dBc/Hz
20.4	A 36mW/9mW Power-Scalable DCO in 55nm CMOS for GSM/WCDMA Frequency Synthesizers	Lund Univ. (Sweden)	55nm	性能指数:FOMをほぼ一定のままモードに応じてVCO構成を変えて低消費電力化。(WCDMA対応)pn縦積み交差結合発振器に対して、p-Trをオフにして(GSM対応)n型交差結合発振器の発振振幅を2倍にする回路を考案。p-n/ n: I ₀ =6/24mA, PN @ 2MHz=-129.3 / -134.7dBc/Hz, FOM=185.6/185 dBc/Hz
			9mW / 36mW 1.5V	
20.5	A Clip-and-Restore Technique for Phase Desensitization in a 1.2V 65nm CMOS Oscillator for Cellular Mobile and Base Stations	Delft Univ. of Tech. (Netherlands)	65nm	発振振幅の平坦部における位相雑音感度を示すインパルス感度関数が0になることに注目。帰還信号の半サイクルの頭をクリップし、変成器を含むタンク回路で基本波を復元。PN=-141.71 @3MHz & -157.20dBc/Hz @20MHz, FOM=189dBc/Hz @3MHz
			1.2V, 25.8mW act. 0.19mm ²	
20.6	A 32nm CMOS All-Digital Reconfigurable Fractional Frequency Divider for LO Generation in Multistandard SoC Radios with On-the-Fly Interference Management	Intel (USA)	40nm	ジョンソン・カウンタを用いた整数カウンタを4パス用いて0.75,1.25,1.75分周を実現。パス間の遅延不整合を調節するため、立上りと立下りを独立調整できるデジタル遅延線を使用。実使用時に干渉が発生すると分周数を変えて対処可能。デジタル校正によりフラクショナル・スプリアスは-48dBc @5.5GHz
			13~44mA 1.4x0.7mm ²	
20.7	A 6.7-to-9.2GHz 55nm CMOS Hybrid Class-B/Class-C Cellular TX VCO	Lund Univ. (Sweden)	55nm	1個のタンク回路に対して発振効率の良いC級交差結合回路と発振立上り用のB級交差結合回路を併設。B級側の電流は20%。f ₀ =6.7~9.1GHz, PN=-137dBc/Hz @2MHz & f ₀ /2, FOM=188~189dBc/Hz
			1.5V, 18mA 0.49mm ²	

Session 26: Short-Range Wireless Transceivers : 2/22 PM

No.	論文名	発表機関	プロセス他	内容、特徴
26.1	A 1V 357Mb/s-Throughput TransferJET™ SoC with Embedded Transceiver and Digital Baseband in 90nm CMOS	Sony (Japan)	90nm	RF+BB(PHY+MAC)+LDO:1チップ化。RX-ADCの入力範囲に応じたAGC。フラクショナルN分周器ではチャージポンプDACによるスプリアス補正。RX-Pd=222mW, TX-Pd=109mW, 待受けRX-Pd=299μW。受信時0.43nJ/bit
			1/1.8/3.3V, 16.2mm ²	
26.2	A 2Gb/s 150mW UWB Direct-Conversion Coherent Transceiver with IQ-Switching Carrier-Recovery Scheme	Keio Univ. (Japan)	90nm	トレーニング時に受信復調信号の位相反転を90/22.5°分解能で行い、同期時間を短縮。f=8GHz, ネルギー効率=75pJ/bit, BPSK, 受信感度=-61dBm
			TX:0.44mm ² , RX:0.81mm ²	
26.3	3-to-5GHz 4-Channel UWB Beamforming Transmitter with 1° Phase Resolution Through Calibrated Vernier Delay Line in 0.13μm CMOS	Nation. Univ. of Singapore (Singapore)	0.13μm	インパルスUWBで4パス空間合成を行う。4パスの遅延校正を逐次比較法で行い、1°の分解能を達成。データ速度=10~80Mbps, 最大遅延=700ps, 遅延ステップ=10ps, 位相範囲=-45~+90°
			1.2V,	
26.4	An Interference-Aware 5.8GHz Wake-Up Radio for ETCS	KAIST, PHYCHIPS (Korea)	0.13μm	遅延素子を基本としてBPFを構成し、狭帯域・高減衰量特性を実現。Wake-up受信時間感度=-45dBm, 消費電流=15μA,
			3~3.6V,	
26.5	A 2.7nJ/b Multi-Standard 2.3/2.4GHz Polar Transmitter for Wireless Sensor Networks	imec, (Netherlands), Panasonic (Japan)	90nm	IEEE 802.15.4(Zigbee)/15.4g(SUN)/15.6(BAN)/BT(BLE)の省電力規格対応。ΔΣフラクショナルN-PLLを用いた極座標変調+8b FM-DAC+4b ΔΣ AM for PA。AB級PAの効率は低包絡線変調時25%と線形変調時7.8%。エネルギー効率=2.7nJ/b @2Mcps
			1.2V, 5.4mW mm ²	
26.6	A Meter-Range UWB Transceiver Chipset for Around-the-Head Audio Streaming	imec, NXP Semicon. (Netherlands)	90nm	IR-UWB.注入同期電力VCOを使用し、PAを省略。通信距離は5m。RF帯域6~9GHz、データ速度=0.85Mbps
26.7	A 90nm CMOS 5Mb/s Crystal-Less RF Transceiver for RF-Powered WSN Nodes	Univ. of Catania, STMicroelectr. (Italy)	90nm	915MHZ-FSK信号を受けて充電→.45GHz-OOK信号の送信。受信動作電流=480μA、最大送信電力=-12.5dBm
			1.4x1.1mm ²	
26.8	A 915MHz 120μW-RX/900μW-TX Envelope-Detection Transceiver with 20dB In-Band Interference Tolerance	Delft Univ., Eindhoven Univ. of Tech. (Netherlands)	90nm	BB信号をLOより±Δf/2の信号に変換→受信側で2乗包絡線検波を行い、Δf信号成分のみを取り出す。帯域内CIR許容度=-19dB
			1V 0.71+1.27mm ²	