

ISSCC 2011 報告書  
(IEEE International Solid-State Circuits Conference)  
無線通信関係：第三報(最終)

開催期間：2011年2月20～24日(主セッション：2/21～23)

開催場所：USA サンフランシスコ, マリオット・ホテル

報告者：中川准一

・引用：Digest of Technical Papers, 2011 IEEE ISSCC

16.3: “A 6.5mW Inductorless CMOS Frequency Divider-by-4 Operating up to 70GHz”

by A. Ghilioni, et al. of Univ. of Pavia, et al. (Italy)

- ・ 要約: 動的CMLラッチとして動作するクロック駆動差動増幅器を提案し、インダクターを用いない4分周器を実現。負荷PMOSのバイアスにより20~70GHzでプログラマブル。動作範囲=10~17%。
  - ・ PMOSバイアス $V_{tune}$ を8b-DACで駆動。20~70GHzを9バンドでカバーでき、各帯域における動作範囲は0dBm入力時に10~17%で、消費電力は動作周波数に依存して $P_0=1.5\sim 6.5\text{mW}$ 。
  - ・ 65nm CMOS、チップcore= $15\times 30\mu\text{m}^2$ ,  $V_{DD}=1\text{V}$
- ・ Fig.16.3.1の動的CMLラッチにおいて、En端子に入力されるクロックがハイの時、出力寄生容量が入力データにより充放電される。
  - ・ En端子がローの時、寄生容量による保持電荷は三極管バイアスのPMOS( $R_L$ )により放電される。最大保持時間により動作最低周波数が決まる。
  - ・ Fig.16.3.2は60GHz矩形波クロック時のシミュレーション波形。 $T_1, T_3$ : 充電期間、 $T_2, T_4$ : 放電期間
  - ・ 放電期間中に信号最小電圧 $V_{min}$ がトランジスタ $M_1, M_2$ のオーバードライブ電圧 $V_{OV}$ より下がらなければ、論理レベルは保持される。

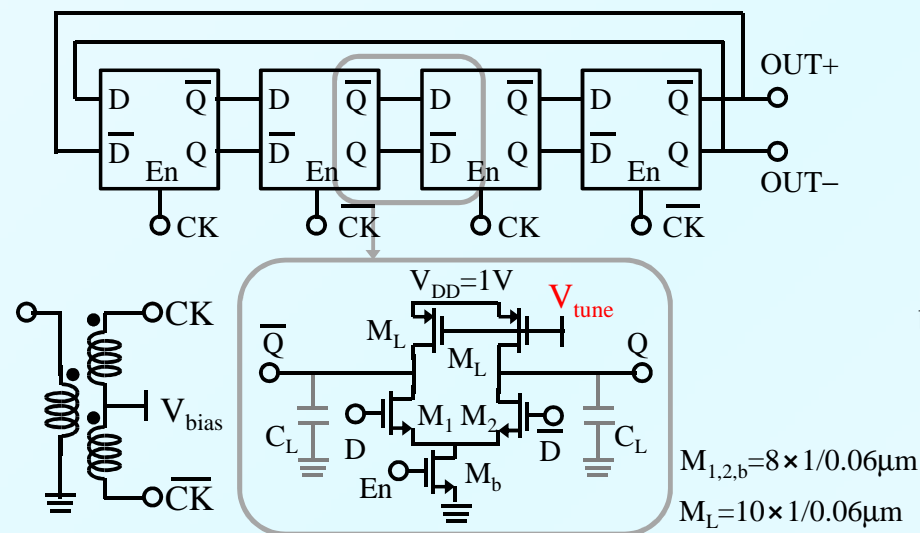


Fig.16.3.1: Block diagram of the divider-by-4 and schematic of the dynamic CML latch.

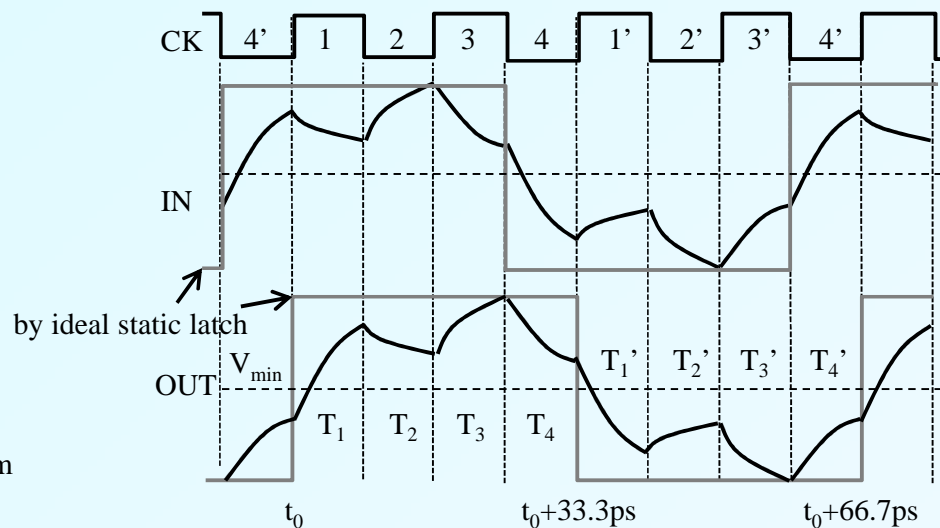


Fig.16.3.2: Simulated input and output waveforms for one divider's latch.

16.5: “A 220-to-275GHz Traveling-Wave Frequency Doubler with -6.6dBm Power at 244GHz in 65nm CMOS”

by O.Momeni and E.Afshari of Cornell Univ. (USA)

- 要約: 正方形四辺の伝送線路の一辺中央点(左右対称点)の1点から駆動し、対向辺対称点で折り返す定在波を励起し、入射波と反射波が正合成される四角に配置したFETにより2次高調波を発生させて正方形中心から出力。
  - 244GHzで出力:-6.6dBm、変換損失:11.4dB
  - シミュレーション結果:  $P_{max} = -2\text{dBm}$ ,  $CG = 7\text{dB}$ ,  $P_{others} = -13\text{dBc} / @270\text{GHz}$ , and  $P_0 = > -8\text{dBm} / @250\sim 290\text{GHz}$
  - 65nm CMOS, coreA=0.2x0.25mm<sup>2</sup>,  $P_0 = 40\text{mW}$ ,  $V_{DD} = 1.2\text{V}$ , MIM容量を使用
- Fig.16.5.1において、正方形マイクロストリップ線路の下辺中央から信号を入力して左右に伝搬させ、上辺中央の同相モードノードAで反射させる。
  - 対角線中央からバイアスTを介してFETにバイアスを与える。
  - 正方形頂点に配したFETの出力を対角線伝送線路で中心点から出力を取り出す。FETの出力を $C_d, L_d$ を用いて $2f_0$ で $R_L$ に整合させる。入力側は $f_0$ で $C_{in}, L_{in}, C_g, L_g$ により $50\Omega$ に整合させる。
- Fig.16.5.2のように、例えば左半分の回路で頂点にある2個のFETの出力のうち、2次高調波は同相となり、基本波と3次高調波は同相とならずに部分的に相殺される。
  - 動作帯域は、入出力のインピーダンス整合に依存する。

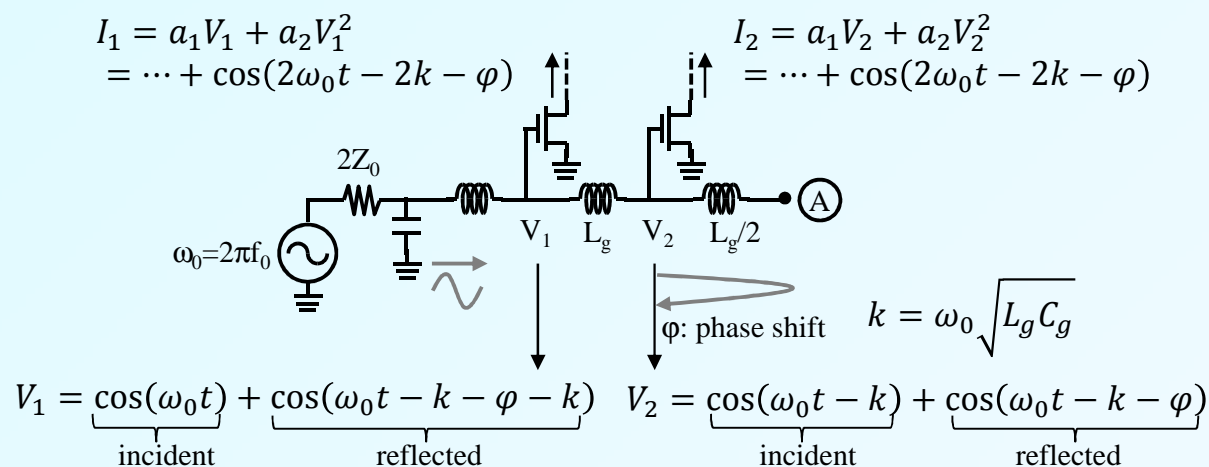
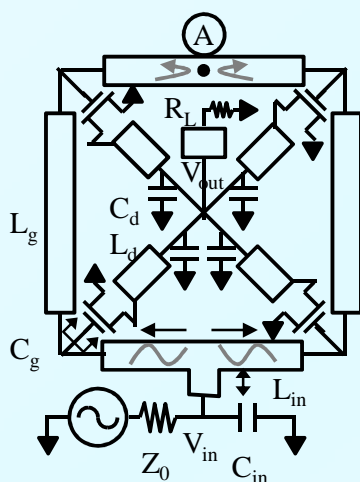


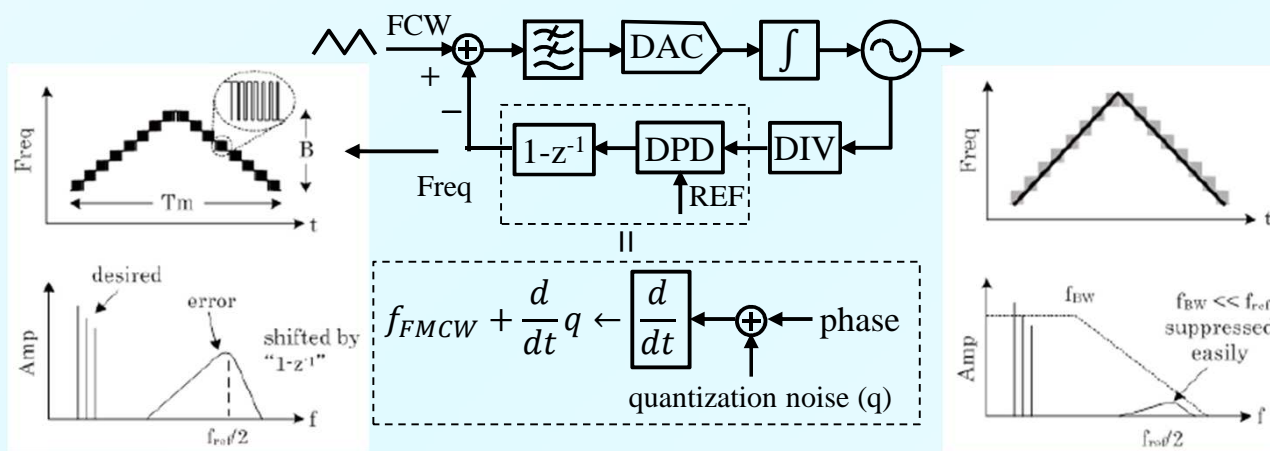
Fig.16.5.1: The proposed travelling-wave frequency doubler.

Fig.16.5.2: Half circuit of the input network of the frequency doubler.

16.8: “A 1.5GHz-Modulation-Range 10ms-Modulation-Period 180kHz<sub>rms</sub>-Frequency-Error 26MHz-Reference Mixed-Mode FMCW Synthesizer for mm-Wave Radar Application”

by H.Sakurai, et al. of Toshiba (Japan)

- ・要約: 短距離測定時の広帯域と高速・遠距離測定時の高分解能を両立させるため、**デジタル位相比較器出力を時間微分後に変調信号と加算し、積分するアナログ/デジタル・ハイブリッドPLL構成**。26MHz基準周波数。
  - ・周波数帯域=500~1500MHz、変調周期=1~10ms with 500MHz-BW、周波数誤差=180kHz rms以下、
  - ・ $f_0 \approx 83\text{GHz}$ 、位相雑音=-84dBc/Hz @ 1MHz offset
  - ・65nm CMOS, A=1x1.7mm<sup>2</sup>, P<sub>d</sub>=152mW/1.2V
- ・三角形連続FM信号の距離分解能は変調帯域幅BWの逆数(BW=1.5GHz←Δd=10cm)、相対速度分解能は変調周期T<sub>m</sub>と中心周波数の逆数(T<sub>m</sub>=10ms←Δv=1.4km/hに比例する。) **高線形周波数チャープ信号の発生**が必要。
  - ・VCOの出力を分周した信号位相を基準信号REFとデジタル位相比較(DPD)した検出位相を時間微分して周波数に変換する: Freq. DPDにおける量子化誤差qは時間微分の結果、周波数領域で $f_{\text{REF}}/2$ の周りに移動する。
  - ・ $f_{\text{REF}}/2 \gg \text{loop bandwidth}$ :  $f_{\text{BW}} \approx 100\text{kHz} \gg \text{変調周波数}: 1/T_m$
  - ・周波数Freqを三角波周波数命令語: FCWと比較し、**誤差信号を**、従来のようにデジタル積分するのではなく、**LPFとDACに通した後にアナログ積分してVCOを駆動する**。
    - ・この構成により、**DACは変調帯域に応じた速度は必要でなく、かつ5ビットでよい**。



- ・最大傾斜: 1.5GHz/1ms、最小傾斜: 500MHz/10ms、最大比: 30
- ・FCW長: 32bits、DPDにおけるTDC分解能: 20ps

Fig.16.8.1: Modulation scheme of proposed FMCW synthesizer

21.1: “A SAW-less GSM/GPRS/EDGE Receiver Embedded in 65nm CMOS SoC”,

by I.S-C. Lu, et al. of MediaTek (USA & Taiwan)

- ・ 要約: 4帯域受信機を組み込んでSAWフィルタなしでETSI規格を満足。AB級LNA+受動ミキサ+電流モードLPF構成。  
BB-LPFを受動ミキサを通してLNA出力で見るとBPFになり、帯域外ブロッカーを抑圧可能。
  - ・ 受信感度<-110dBm、NF≈2.7~2.9dB、帯域外 $P_{1dB}>+1dBm$ 、IIP2>44dBm、IIP3>0dBm
  - ・ 65nm CMOS, Area of transceiver-core=1.9×2.6mm<sup>2</sup>, V=2.8V, RX I<sub>0</sub>=58.9mA, TX I<sub>0</sub>=39.6mA
- ・ LNA前段のSAW-BPFをなくすると、20MHz/80MHz離れた帯域外ブロッカーにより、感度抑圧、誘発雑音、LO位相雑音とのレシプロカルミキシングが生じる。
- ・ 対策: 受動ミキサ(オン抵抗 $R_{SW}$ )を用い、その後段にブロッカーを阻止するベースバンドLPF( $R_{lpf}/C_{lpf}$ )を配置する。
  - ・ 4相LO駆動・差動受動ミキサの入力側からBB側を見たインピーダンス $Z_{RF}$ は、LPFの $Z_{BB}$ がLOの周りに周波数変換され、希望信号に対して $R_{SW}+4R_{lpf}/\pi^2$ 、ブロッカーに対して $R_{SW}$ に見えるので、LNA出力に誘起されるブロッカー振幅を減衰することができ、上記課題に対処できる。BB-LPF-fc=2MHz
  - ・ LNAの電源電圧2.5V+AB級適応バイアス(weak inversion region)+Blocker detection circuit(LNAのバイアスによりミキサのサイズ1:2とLO駆動力を変更)によって高線形化、高 $g_m$ 化、省電力化

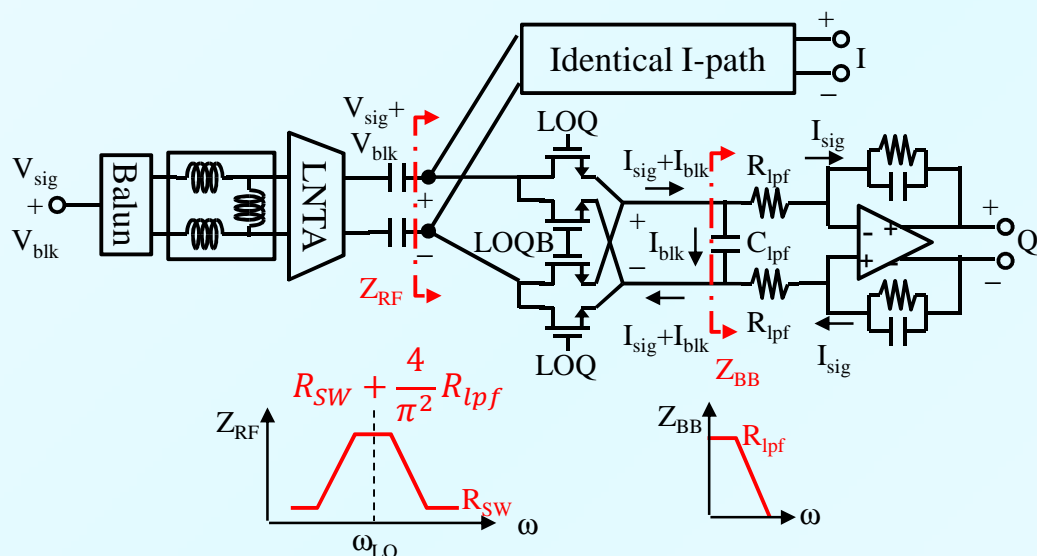


Fig.21.1.3: RX front-end circuit diagram



21.5: “A Compact SAW-less Multiband WCDMA /GPS Receiver Front-End with Translational Loop for Input Matching”,  
by X. He and H. Kundur of NXP Semicon. (Netherlands)

- ・ 要約: [増幅器+受動ミキサ+TIA]の構成によるIF出力を受動ミキサでアップコンして増幅器入力に電流帰還をかけて入力インピーダンスを一定に保持。大入力時は帰還をオフ。
  - ・ NF=2.2/2.7dB, 帯域外IIP3=-3.5/1.5dBm, 帯域外IIP2>40/60dBm @900MHz/2.1GHz and  $G_V=37$ dB
  - ・ 45nm CMOS,  $A_{active}<0.2\text{mm}^2$ ,  $V_{dd}=1.3\text{V}$ ,  $I_0=7.3\text{mA}$
- ・ 目的: LNA後段のBPFの削除+整合部品削減+低消費電力(電流)
- ・ 対策: 周波数変換帰還ループによる入力整合→インダクタ不要+帯域外ブロッカー耐性向上+定電流時の低NF
  - ・ TIAにおける局部帰還による主poleが一つだけであり、周波数変換帰還ループは安定
  - ・ RF入力 $S_{11}$ の帯域は、IF帯域幅で制御できる。 $Z_{in} \approx R_f/G$  ( $G$ : 一巡ループ電圧利得)。  $G$ 大の時、 $R_f$ 雑音無視できる
  - ・ 帰還によるNF劣化は原理上なし→入力整合における線形性とNFを切り離す→入力信号レベルによるLNA-TCAの電流切り替え(インバータベースのパス増減)
  - ・ 大入力時は利得を小さくするので、帰還をSW1でオフし、SW2をオンにして $R_L$ で入力整合→NF3dB劣化
- ・ 帯域外IIP2>≈40dBm @900MHzは仕様未達で、校正が必要

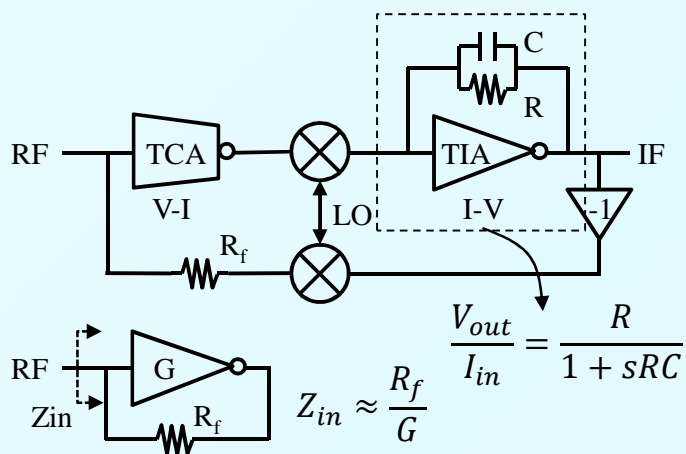


Fig.21.5.1: Concept of receiver input matching with a translational loop

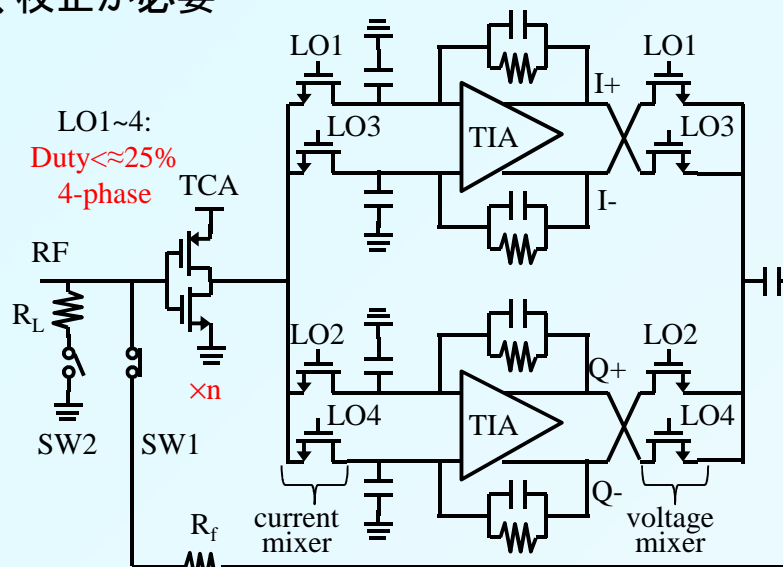


Fig.21.5.2: Receiver implementation

24.3: “A Switched-Capacitor Power Amplifier for EER/Polar Transmitters”,

by S-M. Yoo, et al. of Univ. of Washington (USA)

- 要約: 並列接続した多数の容量アレイを設け、出力レベルに応じた個数の容量の片端をGND-VDD間でRFクロックでオン・オフする。Vo=ΣCon/(ΣCon+ΣCoff)。出力容量一定
  - 2.4GHz-64QAM-OFDM時にP<sub>peak</sub>=25.2dBm, η<sub>peak</sub>=45%, P<sub>av</sub>=17.7dBm w. PAE=32.1%, η<sub>av</sub>=45%, EVM=2.95%。
  - 90nm CMOS, Acore=0.73×1.43mm<sup>2</sup>, 1.5/3V, P<sub>0</sub>=43~55mA,
- 目的: envelope elimination & restoration(EER=polar modulation)における面積が大きくて効率が課題の電源変調器をなくし、かつ振幅変調パスと位相変調パスの遅延不整合の課題を解決する。
- Fig.24.3.1上回路で単位容量Cを2個直列接続した一端を0VとV<sub>DD</sub>で切り替えると、入力エネルギーと蓄積エネルギーは理想状態では等しくて損失がない。
  - Fig.24.3.1下回路で整合回路から容量アレイを見た総容量は一定で、出力レベルに関係なく周波数特性は一定
- Fig.24.3.3: 6b包絡線情報でオンする容量アレイを選択し、位相情報から生成した重ならない2相クロックで選択容量アレイを充放電する。振幅変調パスと位相変調パスの遅延不整合は処理回路で容易に整合できる。

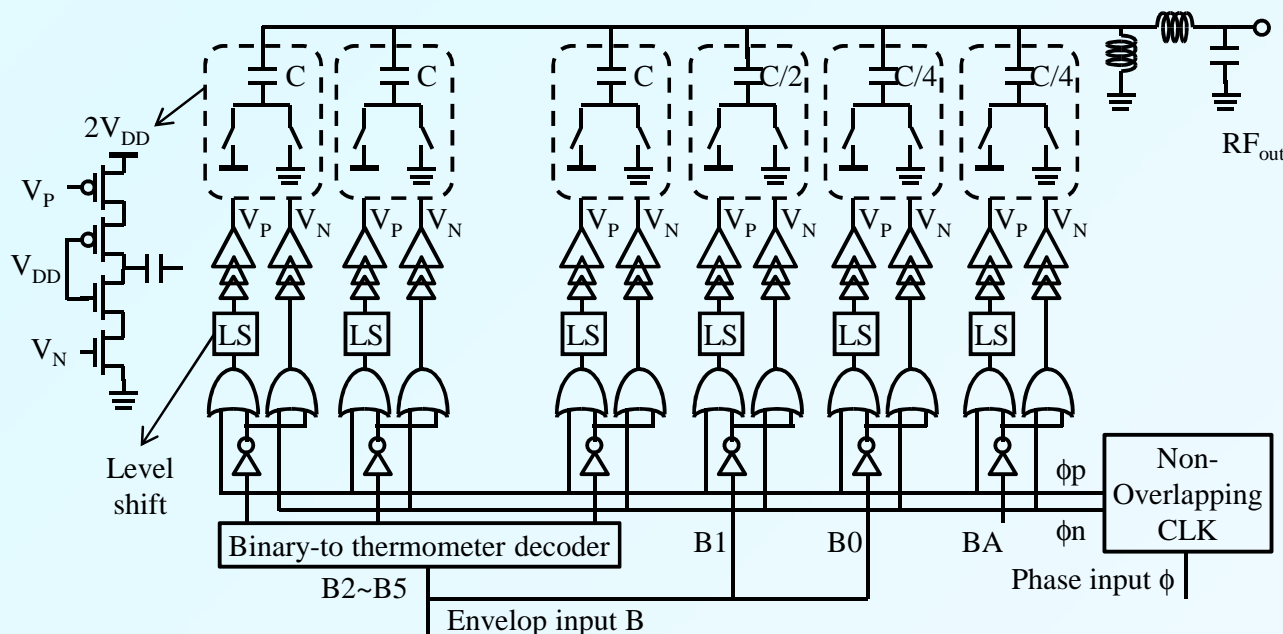
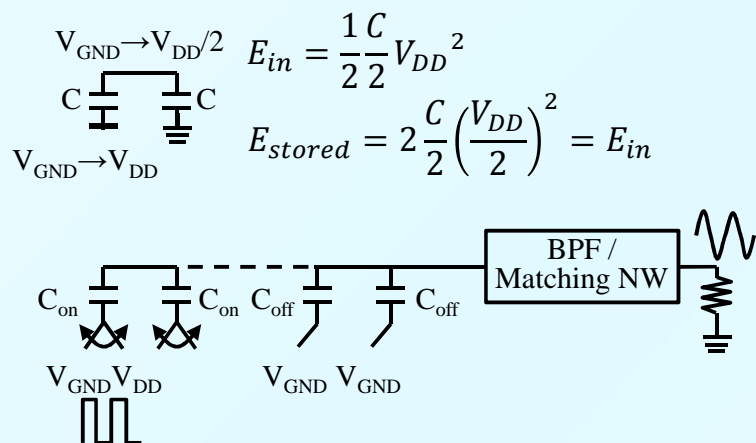


Fig.24.3.1: Switched-capacitor circuit for voltage modulation

Fig.24.3.3: Single-ended 6b SCPA; actual implementation is differential