

ISSCC 2011 報告書
(IEEE International Solid-State Circuits Conference)
無線通信関係：第二報

開催期間：2011年2月20～24日（主セッション：2/21～23）

開催場所：USA サンフランシスコ, マリオット・ホテル

報告者：中川准一

・ 引用：Digest of Technical Papers, 2011 IEEE ISSCC

3.5: “A Low-Power Process-Scalable Superheterodyne Receiver with Integrated High-Q Filters”

by A. Mizaei, et.al. of Broadcom & UCLA(USA)

- 要約: **クロック制御集積化高Qフィルタ**を合計3段+1段のBPFに通した信号をIF: 110MHzでBP-ADCすることにより下記の性能を得る。等価的にRFフィルタ+IFフィルタ2段でブロッカーとイメージを除去。インバータ、スイッチ、MOS容量を**プロセス微細化に応じてスケール**でき、クロックにより再構築できて**校正が不要**である。
 - $f_{RF}=1.8\sim 2\text{GHz}$ とsliding IF $\approx 110\text{MHz}$ を想定、今回: $LO=3.6\text{GHz}$, $f_{LO}=1.8\text{GHz}$, $f_{IF}=f_{LO}/16$
 - イメージ除去比=平均51dB, $G=55\text{dB}$, $NF=2.8\text{dB}$, $IIP3=-8.5\text{dBm}$
 - 65nm CMOS、チップcore= 0.76mm^2 , $I_{RF}=13.5\text{mA}$ & $I_{LO}=15/7.5\text{mA}$ with RF filter ON/OFF
- 受信信号を balan で平衡化し、balan 出力に並列にFig.3.5.3の**周波数移動BPF**によりイメージ信号をある程度減衰。
 - 前段2組の差動スイッチを**4相-duty25%-LO**で駆動し、後段の2組の差動スイッチを**16相- f_{IF}** で駆動して**複素ベースバンドフィルタ**を実現し、前段で $f_{LO}+f_{IF}$ に周波数移動することによって高Qフィルタを実現。
 - イメージを10dB以上減衰できるが、スイッチオン抵抗で制限される。 $f_{LO}+17\times f_{IF}$, $f_{LO}-15\times f_{IF}$ などでブロッカー折り返し発生。**LOのアンテナ・リークが課題**になるが、具体値？
- IF段の複素フィルタの構成はFig.3.5.3の後段と同じで8相-duty12.5%- f_{IF} で駆動、複素処理によりBPFを実現。2段。

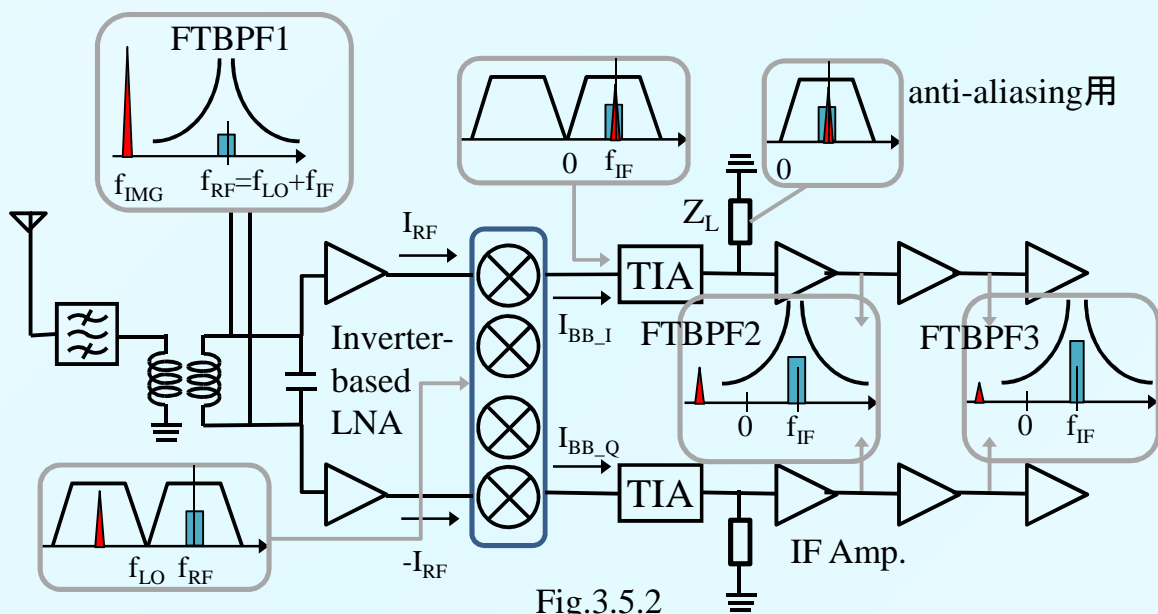


Fig.3.5.2

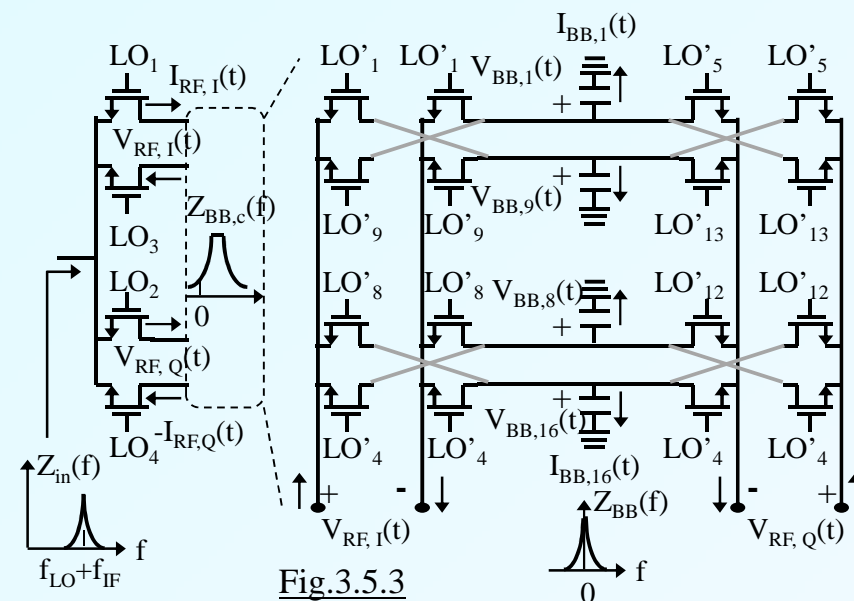


Fig.3.5.3

3.6: “A 40nm CMOS Highly Linear 0.4-to-6GHz Receiver Resilient to 0dBm Out-of-Band Blockers”

by J.Borrenmans, et.al of imec (Belgium) & Renesas EI (Japan)

- 要約: SAWフィルタなしでインピーダンス変換型RFブロッカーフィルタ採用。ミキサバイアス校正により高IIP2達成。直接変換RX chain=2.5V-LNA+ mixer+blocker filter + CH filter + VGA。低利得時はLNAバイパスミキサ
 - $G_c=70/60\text{dB}$ & $NF=3/6.5\text{dB}$ in LNA/mixer-first mode, $IB/OB\text{-IIP3}=+6/+10\text{dBm}$, $IIP2\text{calib}\geq 70\text{dBm}$, $EVM=3\%$
 - 0dBmブロッカー@20MHz-off時の $NF=15\text{dB}$ 以下、20MHz-offブロッカーによる1dB抑圧点 $>-8\text{dBm}$
 - 40nm CMOS, $A=2\text{mm}^2$, $P_{RX}=30\sim 55\text{mW}$, $P_{SYN}=30\sim 40\text{mW}$,
- 電圧標本化I/Qミキサ出力に付加した差動標本化容量 C_{BB} はLPFとして働くが、ミキサ入力から見ると、 f_{LO1} だけ周波数移動してBPFとして働き、ブロッカーを抑圧できる。 $f_{LPF-c}=2\text{MHz}$ 時に、20MH-offブロッカーを約15dB減衰。また、帯域内は高インピーダンスに見えてNFを劣化させず、帯域外の低インピーダンスは線形性向上に寄与。
- 帯域内ブロッカーに対処するため、LNAを2.5Vで動作。三重ウェルの耐圧を満足するようにスタート回路を付加。
 - $NF=2.5\text{dB}$, $IIP3\approx +10\text{dBm}$, $G\approx 15\text{dB}$, $B\approx 0.7\sim 3\text{GHz}$
- 大希望波入力時、LNAをバイパスするスイッチとミキサを兼用し、 $NF=6.5\text{dB}$, LOリーク $<-65\text{dBm}$
- ミキサのIIP2向上のため、ゲートバイアスをTXループ折り返しでI/Q-DACにより独立校正設定。

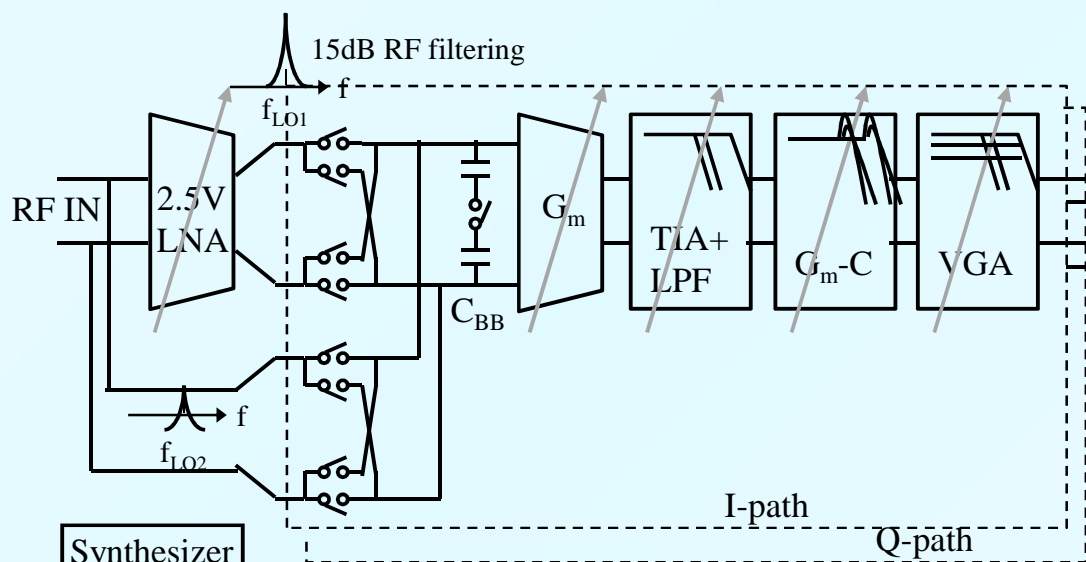


Fig.3.6.1

- ベースバンド: G_m 段以降で6次フィルタを構成(+mixer/ C_{BB} による1次)

- $BW=0.4\sim 30\text{MHz}$, $G:<0\sim 55\text{dB}$

3.7: “A 1.0-to-4.0GHz 65nm CMOS Four-Element Beamforming Receiver Using a Switched- Capacitor Vector Modulator with Approximate Sine Weighting via Charge Redistribution”

by M.C.M.Soer, et al. of Univ. of Twente (Netherlands), and TNO Science & Industry

- 要約: 4素子フェーズドアレイ受信機。離散時間スイッチドキャパシタ・ベクトル変調器をIQミキサに従属接続。正弦/余弦波荷重を有理関数で近似する電荷再配分により、制御と有効移相量が一対一対応となり、一象限当り3bのキャパシタバンクで計32位相
 - RMSベクトル誤差: 位相誤差=1.4°, 利得誤差=0.4dB, G=16dB, NF=10dB DSB, P_{-1dB}=-14dBm @2.5GHz-RF
 - 65nm CMOS, A=0.9×1.2mm², P₀=308mW @1.2V
- 1パスの受信機構成は、CG-LNA+Fig.3.7.3による直接変換。今回の試作は4パス・アレイ+LO用1/2分周器
- Fig.3.7.3のスイッチド・キャパシタ移相器の加重値αを線形に変化すると、位相が比較的線形に変化。
 - 可変容量αCを3ビットアレイで構成してI/Q共用。1象限当たり8相で計32位相(5b)。VTf耐性高い。
 - ミキサLOと同じ周波数でスイッチ。Fig.3.7.3では、I/Qの極性選択用静的スイッチを省略。

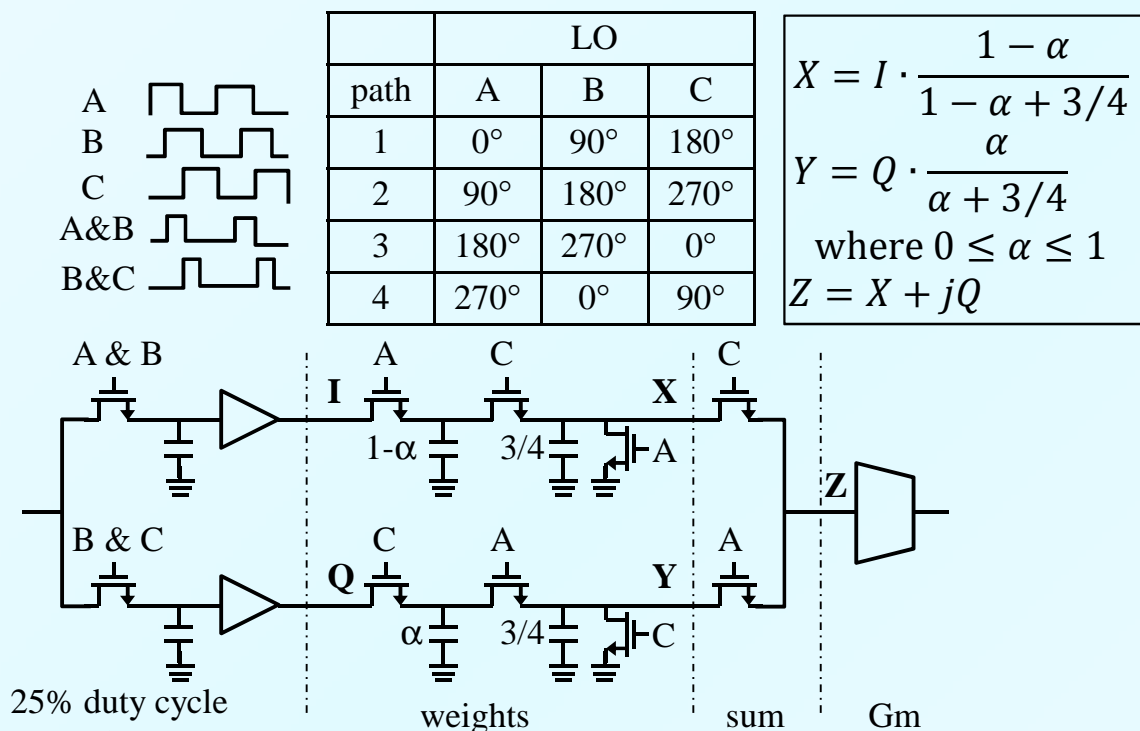


Fig.3.7.3

- node-Zの浮遊容量によるI/Qパスの結合が位相誤差を減らし、振幅誤差を増加させる。
- BW_{3dB}=65MHz,
- アレイ性能:
 - 4パスで最大6dBのSNR改善が見込めるので、等価NFは4~5dBとなるはず。
 - パス間位相不整合=0.2° rms
 - パス間振幅不整合=0.04dB rms
 - Peak/null>25dB

5.1: “A 2.9-to-4.0GHz Fractional-N Digital PLL with Bang-Bang Phase Detector and $560\text{fs}_{\text{rms}}$ Integrated Jitter at 4.5mW Power”

by D.Tasca, et al. of Politecnico di Milan (Italy)

- ・要約: デジタル補正の駆使により時間分解能 340fs の遅延回路を実現。1ビットTDC(バンバン位相比較器)+整数分周後の10ビット制御可能遅延挿入により $2.92\sim 4.05\text{GHz}$ で $3\text{kHz}\sim 30\text{MHz}$ 積分rmsジッタが $560\text{fs}_{\text{rms}}$ 以下。
 - ・周波数分解能= 70Hz 、スプリアス= -42dBc @ 100kHz 、 40MHz 基準スプリアスが -72dBc 以下、ジッター-FOM= -238.3dB 。・・・14b-DCOを4段階で疎調、5b-DACでMOSバラクタを駆動して微調
 - ・65nm CMOS, $A_{\text{core}}=0.22\text{mm}^2$, $P_0=4.5\text{mW}$ (出力ドライバーと水晶発振器を除く)
- ・10ビット制御可能遅延によるランダム化により、TDCであるPDの平均出力はタイミング誤差に対して線形化される。
 - ・これにより、雑音折り返しと帯域内スペクトル・リグロースを防ぐ。
 - ・PD利得の入カジッタ依存性を抑制するため、自動帯域安定化を行う。

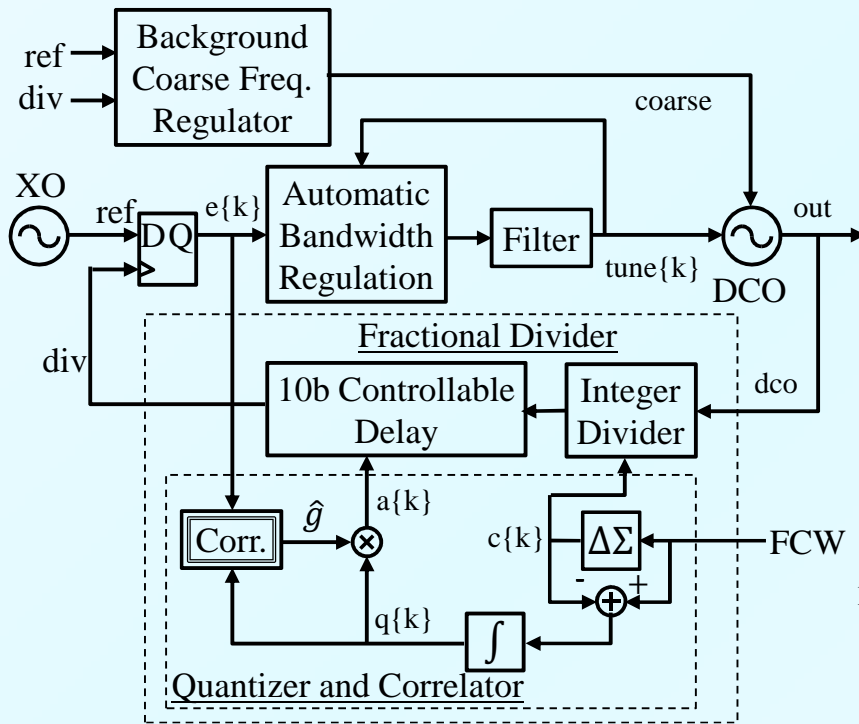


Fig.5.1.1

・ Fig.5.1.2で $\text{FCW} = N + 2^{-nf}$ として、 $\Delta\Sigma$ 量子化誤差 $q\{k\}$ は10ビット制御遅延により時間遅延に変換され、避けられないアナログ時間誤差を t_g として、最終的にピーク時間量子化誤差が T_{DCO} から $2^{-10}t_g$ に小さくなる。

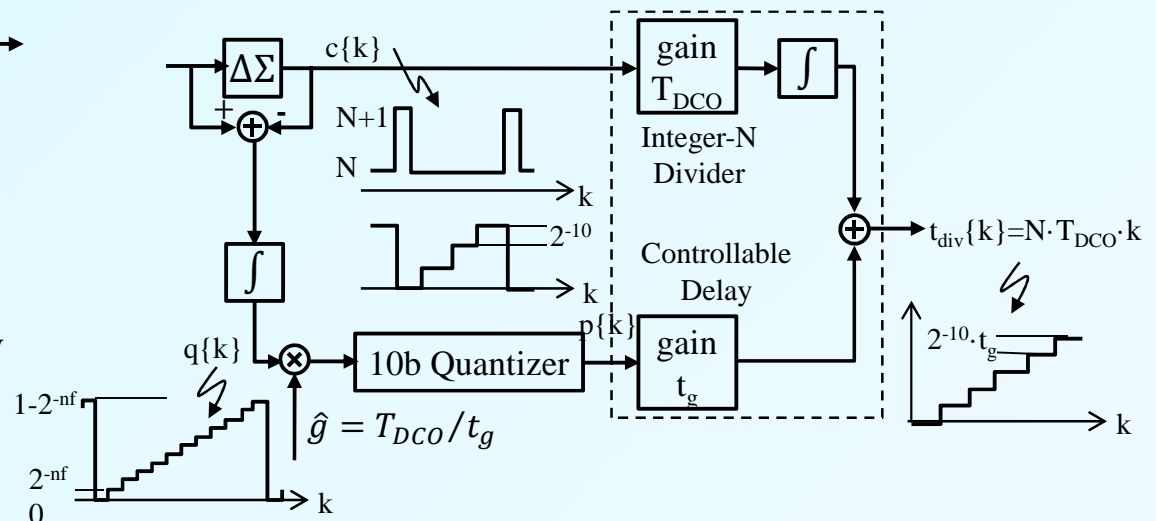


Fig.5.1.2: Fractional divider: equivalent time model and principle of operation

5.2: “An Injection-Locked Ring PLL with Self-Aligned Injection Window”,

by C-F.Liang and K-J.Hsiao of MediaTek (Taiwan)

- 要約: PLLと注入同期を併用、基準信号注入タイミング最適化のため、**リングVCOにPDを兼ねる標本化回路を付加**。これにより注入窓を自動調整。27MHz水晶を用いた注入により5MHz帯域位相雑音を激減。ATV/DTV用
 - 1kHz~40MHz積分rmsジッター=2.4ps、100kHzオフ時の位相雑音を約10dB改善、基準スプリアス=-70.7dBc
 - 55nm CMOS, 3mA/1.2V, A=195×153μm²
- リング発振器を用いたPLLの位相雑音を低減するために、Fig.5.2.3のスイッチM0に基準信号を注入する。注入時のVCO位相をスイッチM1,M2と容量C1,C2で標本化保持し、位相差を表す保持電圧をV-I変換してループフィルタに供給する。
 - 本質的に離散時間システムなので、基準信号クロックによりループ帯域が制限され、今回27MHzで $BW_{loop}=2\text{MHz}$
 - 周波数切り替え時の初期同期は従来型の補助ループを使用する。

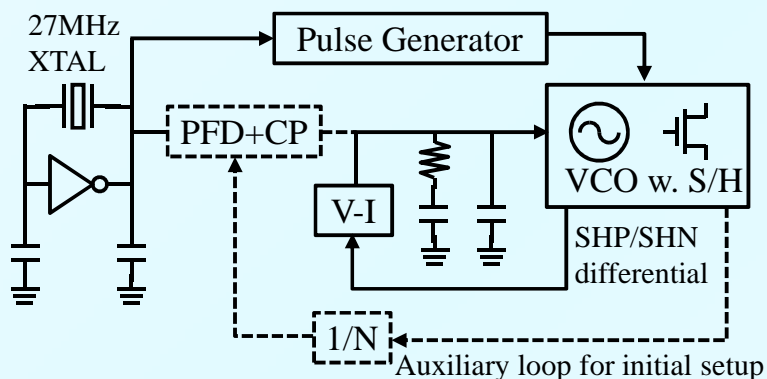


Fig.5.2.1: Injection-Locked Ring PLL

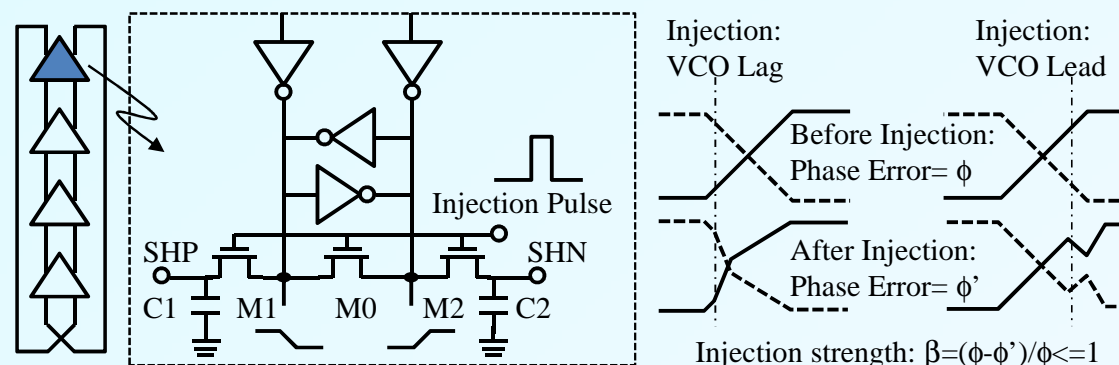


Fig.5.2.3+.2: ILVCO cell with embedded sample-and-hold phase detector

5.6: “A 570fsrms Integrated-Jitter Ring-VCO-Based 1.21GHz PLL with Hybrid Loop”,

by A. Sai, et al. of Toshiba (Japan)

- 要約: リングVCOの帯域内位相雑音を抑圧するため、II型ADPLL+I型APLLの二重PLLで、ADPLLによる周波数同期後に狭帯域APLLが位相同期するとADPLLを停止。APLLは分周器なしの3入力(Ref, CKV, CKV- $\pi/2$) PFDによりループ帯域内位相雑音を抑圧。APLL-PFD+LPF出力に差動オペアンプを挿入して基準スプリアスを抑圧。
 - 同期範囲: 1.045~1.485GHz, 位相雑音=-119.6dBc/Hz@1MHzoff & Jitter-rms=570fs & $f_{REF-spur}=-42.2$ dBc in 1.21GHz
 - 65nm CMOS, $A_{core}=0.4 \times 10.3$ mm²,
- Fig.5.6.1において、ADPLLがリング発振器出力CKV+k $\pi/32$ (k=-32,-31,...,0,...,30,31)を用いて基準信号REFの整数倍に疎調同期させると、TDCの量子化誤差が残り、この誤差をAPLLで吸収。
- Fig.5.6.2の3入力PFDにおいて、REFとCKVの立ち上がり差でUP信号を、CKVとCKV- $\pi/2$ の立ち上がり差信号を窓DNwに通してDN信号を発生する。位相同期時にUP信号とDN信号のパルス幅が等しくなる。同期範囲: 55MHz
 - ループフィルタ出力を差動利得約20dBの無帰還演算増幅器に通し、PLL安定領域を $f_{REF}/10$ に、フィルタ遮断周波数を f_{REF} にでき(容量値小)、40dBCMRRにより基準スプリアスを60dB抑圧できる。

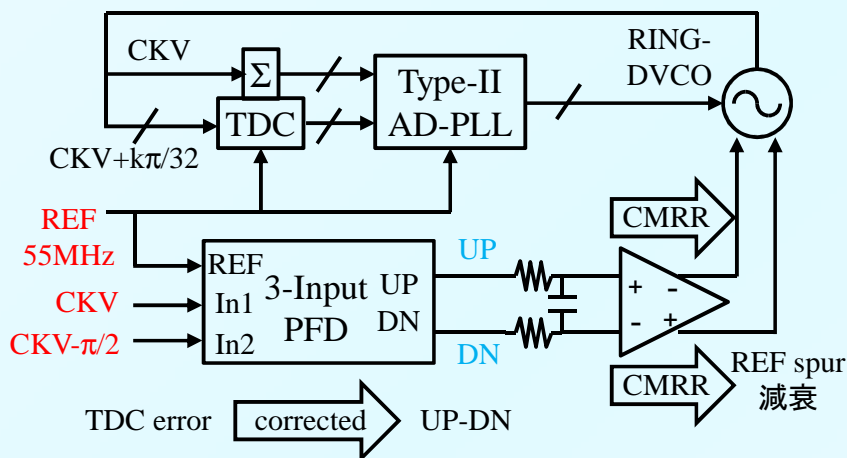


Fig.5.6.1: PLL with hybrid loop

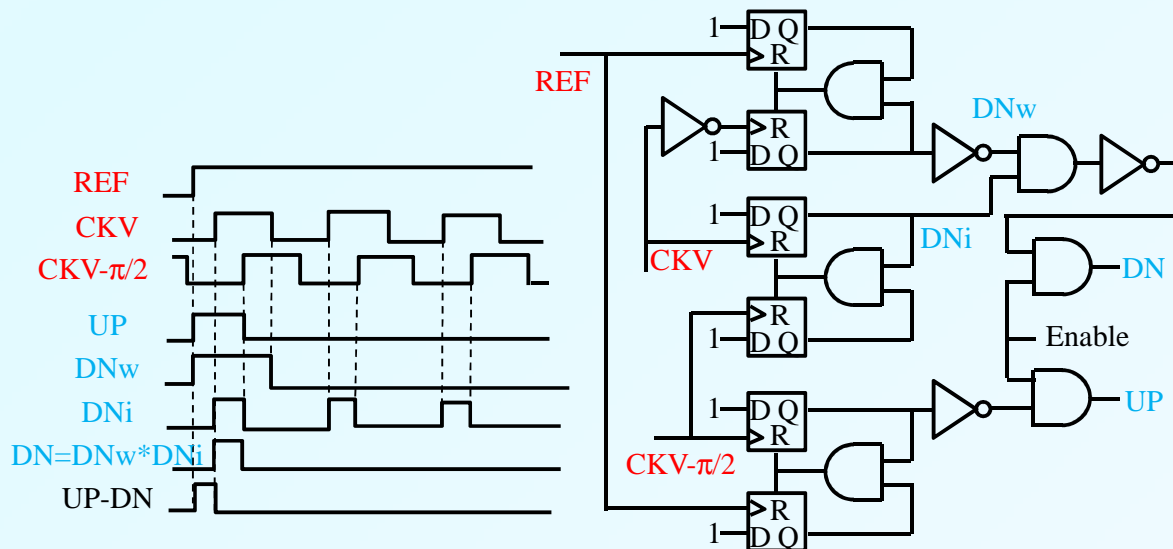


Fig.5.6.2: 3-input PFD in analog PLL

9.7: "A 0.46mm² 4dB-NF Unified Receiver Front-End for Full-Band Mobile TV in 65nm CMOS",
by P-I.Mak & R.Martins of Univ. of Macau (China)

- 要約: Mobile TV用で174~248MHz & 470~862MHz & 1.4~1.7GHzをカバー。(1)によるIIP2と広帯域出力平衡を改善。(2)による省電力化および線形性と雑音の改善。(3)直接注入同期4-/8-相LOによる発振周波数低減と分周器不要
 - IIP2=+32dBm, IIP3=-3.4dBm, Gmax=35dB, 2.5V-LNA: G=25.6dB & NF=2.5dB & IIP2/IIP3=44.8/5.6dBm
 - 65nm CMOS, Acore=0.46mm², 1.2/2.5V, P₀=43~55mA,
- (1) Fig.9.7.2: **利得ブースト電流平衡バラン型LNA**は通常のバラン型LNAと異なり、差動変換両パスの電流は同じで、交流結合したブーストアンプg_{mx}によりNFとR_{in}を低下させる。バイアスが容易で、出力バッファが不要となる。
 - 利得1の差動電流平衡器(DCB)によるループ利得1+A倍化と、M1-M2ドレイン振幅の減少:歪改善。
- (2) Fig.9.7.3: **高調波除去直交ミキサとジャイレータ-C電流型バイクアッド3次フィルタの電流共用:**

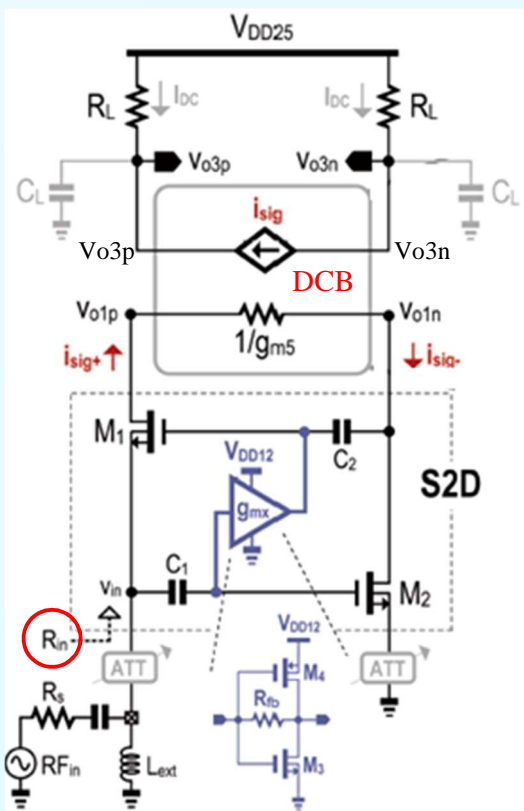


Fig.9.7.2: Balun-LNA

Fig.9.7.3において、B_{3dB}=12.9MHz,
G_C=10.5dB, DSB NF=15.2dB,
IIP3_{out}=15.7dBm, C_{input}=43fF,

CGA (M1)
 $i_{sig+} = g_{m1}(1+A)v_{in}, A \approx \left| \frac{V_{o1n}}{V_{in}} \right|$
CSA (M2) with g_{m2} = g_{m1}
 $i_{sig-} = -(g_{m1} + g_{mx})v_{in}, g_{mx} \approx g_{m3} + g_{m4}$
DCB forces $i_{sig+} = -i_{sig-} = i_{sig}$
 → Loop Gain: $1+A = 1 + \frac{g_{mx}}{g_{m1}}$
Wideband Balanced Diff. Output
 $V_{o3p} = -V_{o3n} = i_{sig} \cdot R_L // (1/sC_L)$
R_{in} after Gain-Boosting
 $R_{in} \approx 1/[g_{m1}(1+A)]$

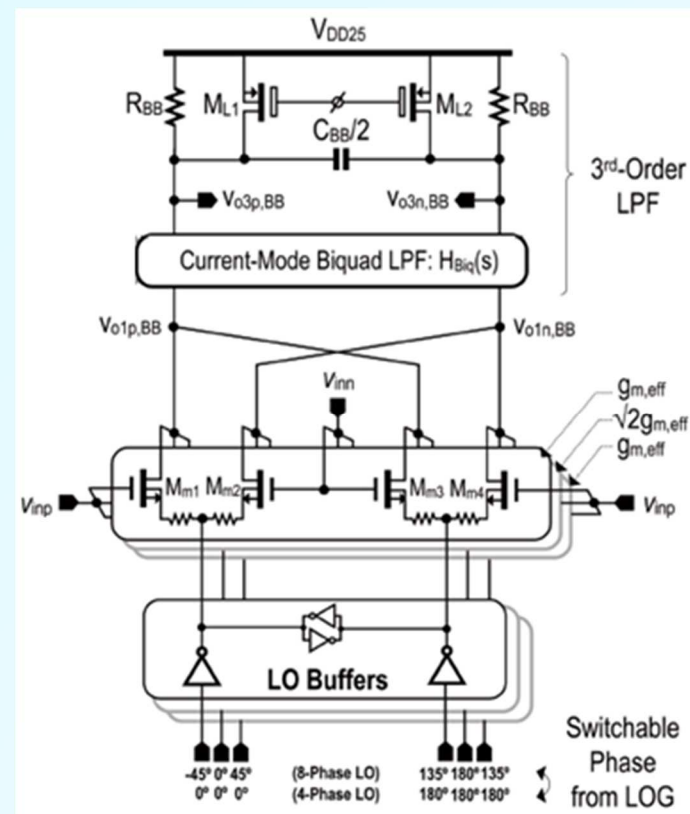


Fig.9.7.3: Mixer-LPF (I channel)

9.9: “A Digital-Intensive Receiver Front-End Using VCO-Based ADC with an Embedded 2nd-order Anti-Aliasing Sinc Filter in 90nm”, by J.Kim, et al. of KAIST & ETRI (Korea)

- ・要約: 多モード多帯域用0.2~1.8GHzのデジタル主体受信フロントエンド。1.4Gs/sのVCO-ADCの帯域外耐性改善のため、2次アンチエイリアシングSincフィルタを内蔵。
 - ・エイリアシング信号除去: 50dB@BW=10MHz、受信感度=-94dBm@1MHz-BW, IIP3: -6.78dBm, IIP2=31.2dBm
 - ・90nm CMOS, Acore=0.4mm²/I/Q diff-ADC=0.19mm², I_V/I_{ADC}=31.1~36/20.3~27.4mA, 1.35V
- ・Fig.9.9.1上図のように、信号と三角波形の時間畳み込みにより2次Sincフィルタを実現、標本化周期: T_s。VCOは入力信号電圧を周波数に変えて積分機能により位相信号に変換し、それを標本化時間微分する(リセットカウンタ)。
 - ・三角波形周期が2T_sになるので、2方向時間インターリーブ構成とする。
 - ・実際は、三角波形に変えて3階段波を用いて簡素化、除去比の理論劣化量: 3dB
- ・Fig.9.9.2: 16相部分帰還差動VCO。Sinc標本化後のTr-McによりVCO周波数を制御。標本化fによりSNR変化。

- ・スイッチM₁オン抵抗とVCO入力容量により形成される1次LPFが雑音整形に寄与。

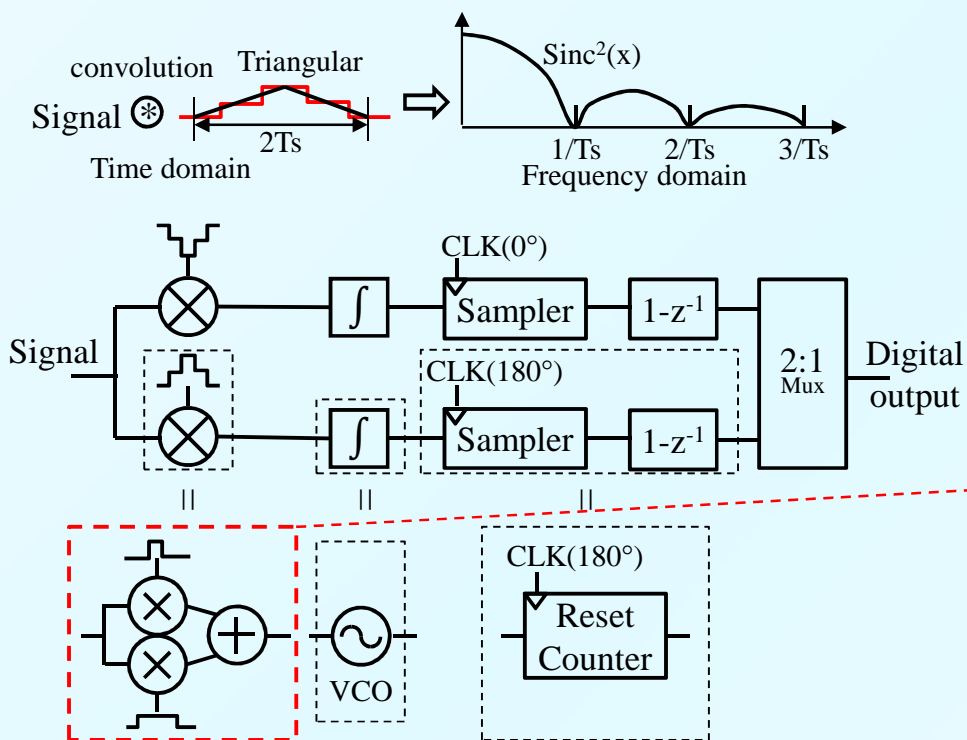


Fig.9.9.1: Operation principle of the Sinc² filter

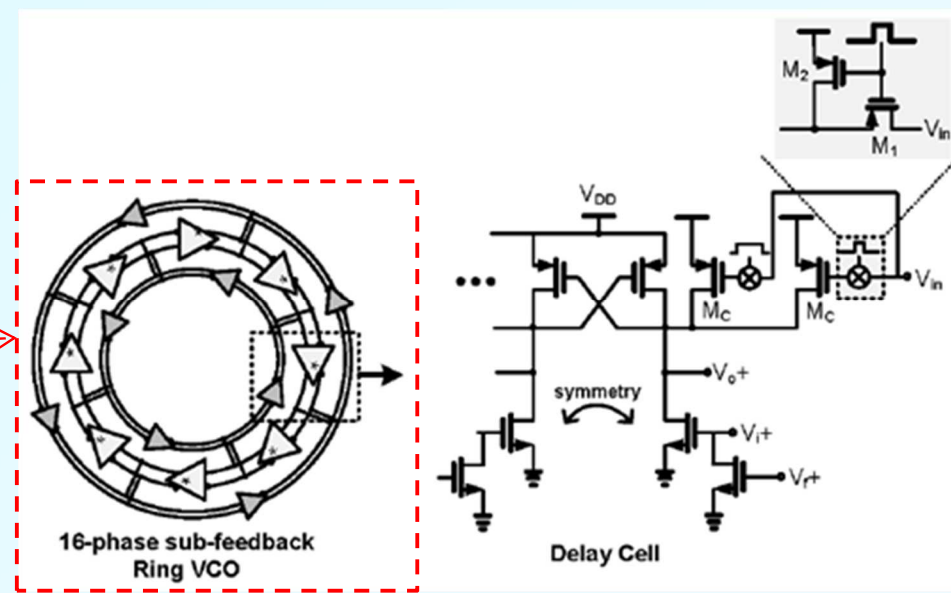


Fig.9.9.2: Sinc² filter-embedded VCO-base ADC