

ISSCC 2011 報告書
(IEEE International Solid-State Circuits Conference)
無線通信関係：第一報

開催期間：2011年2月20～24日（主セッション：2/21～23）

開催場所：USA サンフランシスコ, マリOTT・ホテル

			2011	2010	2009	2008	2007
全体発表件数			211	209	203	237	234
発表 割合	地域	北アメリカ	38%	40%	38%	43%	39%
		アジア	33%	32%	36%	28%	31%
		欧州	29%	28%	26%	29%	30%
	機関	大学関係	58%	48%	53%	47%	51%
		企業	42%	52%	47%	53%	49%
セッション数			27+1	26+1	28+1	31+1	31+1

- ・ 日本の発表は、2010年の32件から、24件と大幅減少
- ・ 韓国：22件、台湾：14件、中国：3件、インド：3件

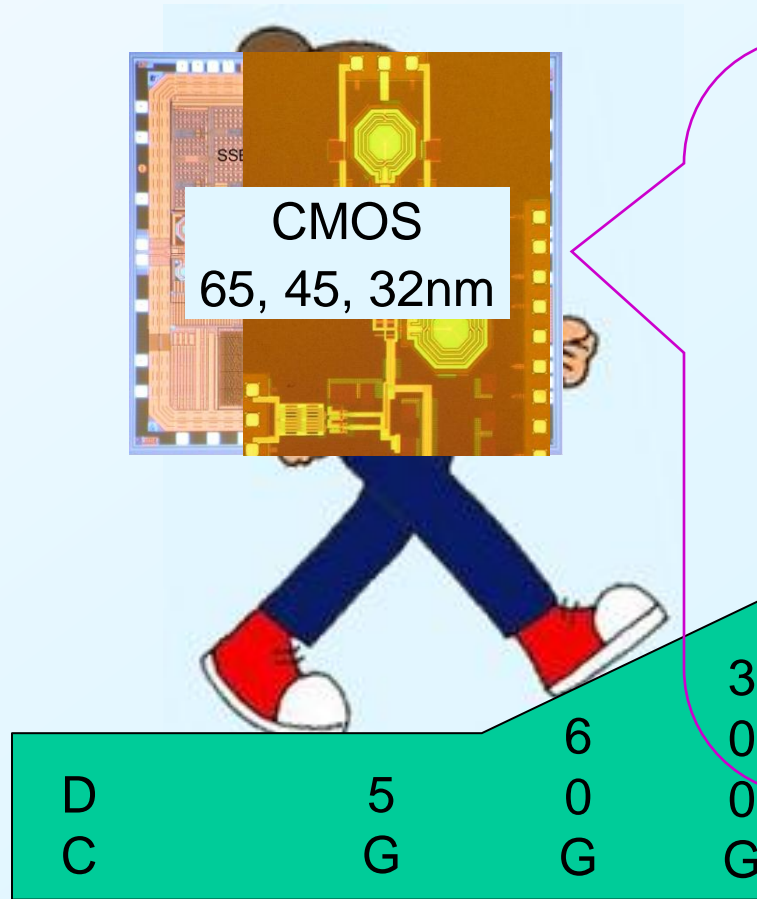
・ ATNからの参加者・・・麻殖生健二：ADC/DAC、 中川准一：無線通信

- ・ 第一報では、無線通信関連発表のほとんど全てを概説する。・・・報告者：中川
- ・ 引用：Digest of Technical Papers, 2011 IEEE ISSCC

今年のテーマ

- ・ 参加者は約3000名で、リーマンショック以前に戻りつつある。
- ・ ISSCC全体の今年のテーマは、“**Electronics for Healthy Living**”
 - 1.1 “New Interfaces to the Body Through Implantable System Integration”, by S. Oesterie of Medtronic
 - ・ 半導体の微細化が健康管理に革命を起こしているが、システムアプローチが必要である。
 - ・ 埋め込み機器には、インターフェイス、情報の流れと処理、エネルギー管理の三点が重要である。
 - ・ 心臓ペースメーカーを中心にこれまでと将来の進歩を語る。
 - 1.2 “Game-Changing Opportunities for Wireless Personal Healthcare and Lifestyle”, by J.D. Boeck of IMEC/Hoist Center
 - ・ 健康管理の個人化、予測化、予防化、一般化には、膨大な測定とデータ管理・処理が必要である。
 - ・ Body-Area-Network、遠隔診断用のゲーム品質3D画像などをサポートするインフラ整備が必要である。
 - ・ 現状の病院内の医療データ収集システムを紹介する。
 - 1.3 “Eco-Friendly Semiconductor Technologies for Healthy Living”, by O-H. Kwon of Samsung Electronics
 - ・ 工業の発達は便利さの一方で地球的環境破壊を進めており、Eco-Friendly工業に変身すべきである。
 - ・ 一般機器の省電力化に役立つ微細化も必要だが、製造プロセスにおける省電力化が重要である。
 - ・ 微細化による省電力化と、プロセス技術による消費電力の差を紹介する。
 - 1.4 “Beyond the Horizon: The Next 10x Reduction in Power - Challenges and Solutions”, by J. Rabaey of USB as a moderator, and Domain Experts & Panelists
 - ・ 擬似パネルディスカッション形式で、分野別に消費電力を1/10にする見通しについて議論された。
 - ・ 6名のパネリスト・・・デジタル、メモリ、アナログ、RF

無線通信全体の動向と印象



- 先端プロセスの無線への適用が早くなり、先頭は300GHzより先を行っているわ！
- **ミリ波領域の多機能化**が進んだわね！
 - セルラの2000年頃の状況かしら。
 - 実用化も間近に見えるけど、ユーザーが本当に望むアプリケーションは何かしら！
- **6GHz以下のSoC化と、多帯域化に対応するインダクターレス化と外付けフィルタレス化**進む。

- 発表論分数に対して無線関連は、RF: 12% + Wireless Comm.: 11%、PLL: %
- RF=RF + WirelessとRF関連のPLLのセッション数の推移・・・今年はRFが増加、PLLが減少
 - 2011: **6+0.5**/RF, 0.5/PLL、 2010: 5/RF, 1.5/PLL、 2009: 8/RF, 2/PLL、 2008: 8.5/RF, 1/PLL
- ミリ波領域のセッションが2となり、**多機能集積化**が進んでいる。

▪ 以下の表は、論文名を読んだことを前提にした内容・特徴の記述になっています。

▪ 発表番号を黄色網掛けしたものは別途詳細報告する予定です(変更の可能性あり)。

Session 3: RF Techniques : 2/21 PM

No.	論文名	発表機関	プロセス他	内容、特徴
3.1	Spur-Free All-Digital PLL in 65nm for Mobile Phones	Delft Univ. (Netherlands) & TI (USA)	65nm 1.2V, 32mA 0.35mm ²	注入同期によるスプリアスとTDCの量子化雑音をクロック差動対に意図的に付加した不整合の動的調整とディザリングにより低減する。低電力化のため、speculative clock retimingと非同期カウンターを用いる。 PN=-167dBc/Hz@20MHz-off at 900MHz & -71dBc@400kHz
3.2	A 5.3GHz Digital-to-Time-Converter-Based Fractional-N All-Digital PLL	NXP (Netherlands)	65nm 1.1V, 20mA act:1.3mm ²	微調遅延線によるDTCを位相検波器量子化雑音低減のために使用。 DTC step=4.7ps、帯域外PN=-124dBc/Hz@1MHz、帯域内雑音フロア:-96dBc/Hz、帯域内スプリアス:-45dBc
3.3	A 2.5GHz 32nm 0.35mm ² 3.5dB NF -5dBm P _{1dB} Fully Differential CMOS Push-Pull LNA with Integrated 34dBm T/R Switch and ESD Protection	Intel (USA)	32nm 1.8V, 11mA 0.35mm ²	ソースデジエネレーションのあるカスコードアンプをP型とN型縦積み差動化。LNAを構成する6個のLを入れ子レイアウトで省面積化。 NF=3.5dB, G=11dB, P _{1dB} =-5dBm at 2.5GHz。挿入損失1.1dBのT/Rスイッチで34dBmを扱う。CDM ESD 耐圧: +300/-200V
3.4	A 65nm CMOS Pulse-Width-Controlled Driver with 8V _{pp} Output Voltage for Switch-Mode RF PAs up to 3.6GHz	Delft Univ. & NXP (Netherlands)	65nm 9V/1.2V act: 0.16mm ²	9V給電時に0.9~3.6GHzで50Ω負荷に8.04V _{pp} 駆動。ドライバーのオン抵抗:4.6Ω。2.4GHzで線形デューティ制御範囲:30.7~71.5%。高耐圧用に薄い酸化膜の拡張ドレインデバイス:EDMOSを使用。
3.5	A Low-Power Process-Scalable Superheterodyne Receiver with Integrated High-Q Filters	Broadcom & UCLA (USA)	65nm 13.5+15mA, 0.76mm ²	クロック制御集積化高Qフィルタを通した信号をIF:110MHzでBP-ADCすることにより、G=55dB, NF=2.8dB, IIP3=-8.5dBmを得る。等価的にRFフィルタ+IFフィルタ2段でブロッカーとイメージを除去。インバータ、スイッチ、MOS容量をクロックにより再構築でき、微細化スケールリングできる。
3.6	A 40nm CMOS Highly Linear 0.4-to-6GHz Receiver Resilient to 0dBm Out-of-Band Blockers	imec (Belgium) Renesas EI (Japan)	40nm 30~55mA wo/ 60~100 w/syn 2mm ²	SAWフィルタなしでインピーダンス変換型RFブロッカーフィルタ採用。ミキサバイアス校正により高IIP2達成。RX chain=2.5V-LNA+mix+blocker fil+CH fil+VGA、NF: 3dB、帯域外IIP3: +10dBm、IIP2: 70dBm、0dBm ブロッカー@20MHz-off時のNF=15dB以下。低利得時はLNAバイパスミキサ
3.7	A 1.0-to-4.0GHz 65nm CMOS Four-Element Beamforming Receiver Using a Switched-Capacitor Vector Modulator with Approximate Sine Weighting via Charge Redistribution	Univ. Twente & TNO S&I (Netherlands)	65nm 1.2V, 308mW act: 0.44mm ²	4素子フェーズドアレイ受信機。離散時間スイッチドキャパシタベクトル変調器:IQミキサに従属接続。正弦波を有理関数で近似する電荷再配分により、制御と有効移相量が一対一対応となり、RMSで位相誤差1.4°。利得誤差0.4dBを達成。一象限当り3bのキャパシタバンクで計32位相
3.8	A Harmonic Rejection Mixer Robust to RF Device Mismatches	Silicon Lab. (USA)	0.11μm 1.3V/2.7V, mm ²	N倍LOで動作するミキサの出力をN相IFとして正弦波あるいは余弦波加重した後に加算。加重は反転オペアンプの入力抵抗で行う。3次-5次-7次高調波歪み率:52dB以下。フリッカー雑音も除去されて直交整合が改善され、IIP2: 75dBmを達成

Session 5: PLLs : 2/21 PM

- ・ 5.1, 5.4, 5.5, 5.6, 5.7: 無線用、 ・ 5.2: DTV用、 ・ 5.3: 有線用?、 ・

No.	論文名	発表機関	プロセス他	内容、特徴
5.1	A 2.9-to-4.0GHz Fractional-N Digital PLL with Bang-Bang Phase Detector and 560fs_{rms} Integrated Jitter at 4.5mW Power	Politec. Di Milano (Italy)	65nm 4.5mW act: 0.22mm ²	デジタル補正の駆使による時間分解能340fsの遅延回路を実現。1ビットTDC+制御可能10ビット帰還遅延(DTC)により2.92~4.05GHzで3kHz~30MHz積分rmsジッタが560fs _{rms} 以下。40MHz基準スプリアスが-72dBc以下。周波数分解能=70Hz、スプリアス=-42dBc @100kHz
5.2	An Injection-Locked Ring PLL with Self-Aligned Injection Window	Media Tek (Taiwan)	55nm 1.2V, 6.9mW act: 0.33mm ²	PLLと注入同期を併用、注入タイミング最適化のため、 リングVCOにPDを兼ねる標本化回路を付加 。これにより注入窓を自動調整。27MHz水晶を用いて5MHz帯域位相雑音を激減。1kHz~40MHz積分rmsジッターが2.4ps、基準スプリアス=-71dBc。ATV/DTV用
5.3	A 0.4-to-3GHz Digital PLL with Supply-Noise Cancellation Using Deterministic Background Calibration	Oregon State Univ. (USA)	0.13μm 1V, 2.65mW act: 0.08mm ²	1.5GHzリング発振器DPLL、0.4~3GHz範囲とPVT変化に対して電源雑音を正確に相殺。決定論的背景校正による相殺で30mV _{pp} 電源雑音を330psから50psに低減
5.4	A 0.1-f _{ref} BW 1GHz Fractional-N PLL with FIR-Embedded Phase-Interpolator-Based Noise Filtering	Pohang Univ. (Korea)	0.13μm 16.8mW act: 0.31mm ²	VCOと整数分周器間に挿入した位相内挿器に FIRフィルタを組み込んで 位相雑音を34dB低減。位相雑音:-106dBc/Hz@100kHz, -107.5dBc/Hz@6MHz、基準スプリアス=-66dBc
5.5	A Scalable sub-1.2mW 300MHz-to-1.5GHz Host-Clock PLL for System-on-Chip in 32 nm CMOS	Intel (USA)	32nm 1V, 1.15mA 0.046mm ²	実抵抗なし(等価抵抗:T _{ref} /C _p)ループフィルタでプロセス縮小可能。 ループ帯域は基準周波数に自動追従し、無条件安定 。
5.6	A 570fsrms Integrated-Jitter Ring-VCO-Based 1.21GHz PLL with Hybrid Loop	Toshiba (Japan)	65nm 1.2V, 43mA 0.12mm ²	II型ADPLL+I型APLLの二重PLLで後者が同期すると前者を停止。APLLは 分周器なしの3入力(Ref, CKV, CKV-π/2)PFDによりループ帯域内位相雑音を抑圧 。APLL-PFD+LPF出力に差動オペアンプを挿入して基準スプリアスを抑圧。位相雑音=-120dBc/Hz@1MHzoff
5.7	A Rotary-Traveling-Wave-Oscillator(RTWO) -Based All-Digital PLL with a 32-Phase Embedded Phase -to-Digital Converter in 65nm CMOS	Panasonic (USA)	65nm 1.5/1.2V, 45mW 0.6mm ²	RTWO構造は高精度の 位相-デジタル変換機能を本質的に持ち、周期正規化が不要 。32タップで位相分解能5.6° (3.9ps@4GHz)を分数位相として取り出す。1MHzループ帯域で帯域内雑音-108dBc/Hzを達成。DCO位相雑音=-148dBc/Hz@20MHzoff at 4GHz

Session 7: Multimedia & Mobile : 2/22 AM

- 7.6, 7.7: WiMAX、
- 7.8: DDS

No.	論文名	発表機関	プロセス他	内容、特徴
7.1	A 216fps 4096x2160p 3DTV Set-Top Box SoC for Free-Viewpoint 3DTV Applications			省略
7.2	A Highly Parallel and Scalable CABAC for Next-Generation Video coding			省略
7.3	A 275mW Heterogeneous Multimedia Processor for IC-Stacking on Si-Interposer			省略
7.4	A 57mW Embedded Mixed-Mode Neuro-Fuzzy Accelerator for Intelligent Multi-core Processor			省略
7.5	A 28nm 0.6V Low-Power DSP for Mobile Applications			省略
7.6	A MIMO WiMAX SoC in 90nm CMOS for 300km/h Mobility	ITRI & National Taiwan Univ. (Taiwan)	90nm TX:2.1W, RX: 1.5W, 49mm ²	IEEE802.16e-Rev2準拠(TDD-OFDMA)で 2x2MIMO を装備+物理層、802.16m/LTEに拡張可能なMAC構造を採用。低速移動時に30Mb/s、300km/h時に5Mb/s
7.7	A 70Mb/s-100.5dBm Sensitivity 65nm LP MIMO Chipset for WiMAX Portable Router	Media Tek (Taiwan)	65nm , 25mm ²	2帯域- 2x2MIMO 送受信機チップ: 7dB感度余裕。Pd=364mW WiMAXモデム/ルーターチップ: Pd=632.7mW、A=24.99mm ²
7.8	A Direct Digital Frequency Synthesizer with Minimized Tuning Latency of 12ns	Inst. of Microelectronics (Singapore)	0.18μm 1.8V, 16.5mW 0.16mm ²	(a)位相累積器とパイプラインを用いない、(b)PA丸めによるSN比向上、(c)キャリッパルのない1の補数条件否定による2の補数条件否定の採用?。キャリッパル遅延を抑えて高速化。微位相回転を3x3bの従属接続とし、260MHzで平均0.0635mW/MHz。113dB-SFDRと98dB-SNRを達成

- 次セッションのミリ波は、集積化進展しているが、回路技術的な面白みが少ない。

Session 9: Wireless & mm-Wave Connectivity : 2/22 AM

No.	論文名	発表機関	プロセス他	内容、特徴
9.1	A 60GHz 16QAM/8PSK/QPSK/BPSK Direct-Conversion Transceiver for IEEE802.15.3c	Tokyo Inst, of Tech. (Japan)	65nm	60GHz注入同期直交発振器。パッケージ内アンテナ。誤り率 10^{-3} で8Gb/s in QPSK, 11Gb/s in 16QAM。一部伝送線路に沿ってMIM容量を配置して特性インピーダンスを低下。4段PAの最終段は $2\mu\text{m}\times 40$ で $P_{1dB} = 9.5\text{dBm}$ 、送信変換利得=18.3dB、受信変換利得=17.3dB, NF=6.8dB
			358mW 17.6? mm ²	
9.2	A 65nm CMOS Fully Integrated Transceiver Module for 60GHz Wireless HD Applications	CEA-LETI-MINATEC & STMicro. (France)	65nm	送受信機チップは無線HD標準の4チャンネル対応。HTCC基板上に送受信チップ+PA+高開口率 アンテナ。1mを超えて16QAM OFDMで通信できる。 $F_{LO1} = F_{LO2}/2 = F_{RF}/3$ によるsliding IF。受信変換利得=33~41dB、送信変換利得=16dB, Psat=13dBm
			RX:454mW, 9.3mm ²	
9.3	A 60GHz CMOS Phased-Array Transceiver Pair for Multi-Gb/s Wireless Communications	SiBEAM (USA)	65nm RX:1.25W 2.8x3.3mm ²	無線HD+IEEE802.11ad 準拠。32TX/4RXと32RX/8TXの2チップを試作。受信系はLNAと移相器通過後に合成。-19.2dB-EVMで16QAM-OFDMで3.8Gb/sの10m見通し外伝送時にスペクトルマスクを満足
9.4	A 65nm CMOS 4-Element Sub-34mW / Element 60GHz Phased-Array Transceiver	UCB (USA)	65nm	ベースバンド位相シフトと全体的なインピーダンス最適化により、LO発生と分配を含めて1エレメント当り34mW以下の消費電力。送信移相器とアップコンミキサの一体化による電流リユース。位相分解能:5° /TX, 11° /RX
			34mW/Elem 2.5x3.5mm ²	
9.5	An 87GHz QPSK Transceiver with Costas-Loop Carrier Recovery in 65nm CMOS	Nation. Taiwan Univ. (Taiwan)	65nm	周波数同期検出付コスタスループを用いて低電力化。87GHz、誤り率 $1e-11$ 以下で3.5Gb/sの伝送。消費電力TX: $0.57\times 0.95\text{mm}^2 = 212\text{mW}$, RX: $0.75\times 1\text{mm}^2 = 166\text{mW}$ 。LO位相雑音=-85.8dBc/Hz@1MHz
			1.2V	
9.6	A 65nm Dual-Band 3-Stream 802.11n MIMO WLAN SoC	Atheros Comm. (USA)	65nm	3x3MIMOで3送受信機を集積。送受折り返しIQミスマッチ校正のためにRF移相器を内蔵。2逓倍基準クロック使用、シンセ基準信号を2逓倍後にデューティ自動調整。変調精度フロア:-39dB@2.4G, -36dB@5GHz
			22mm ²	
9.7	A 0.46mm ² 4dB-NF Unified Receiver Front-End for Full-Band Mobile TV in 65nm CMOS	Univ. Macau (China) Inst. Superior Tecnico (Portugal)	65nm	利得ブースト電流平衡バラン型LNAがIIP2と広帯域出力平衡を改善。高調波除去直交ミキサと3次フィルタの電流共用。直接注入同期4-/8-相LOによる発振周波数低減。IIP2=+32dBm, IIP3=-3.4dBm
			1.2V 0.46mm ²	
9.8	An All-Digital 8-DPSK Polar Transmitter with Second-Order Approximation Scheme and Phase Rotation-Constant Digital PA for Bluetooth EDR in 65nm CMOS	Toshiba Semiconductor (Japan)	65nm	DCOの変調感度を2次近似。 $\Delta\Sigma$ を含む振幅成分により位相回転一定デジタル差動PA (DAC)を駆動。PAを4パス差動構成にしてオン・トランジスタ数を一定にして出力Zを一定化。0dBm出力時に変調精度6.1%
			1.2V, 35mA act:0.56mm ²	
9.9	A Digital-Intensive Receiver Front-End Using VCO-Based ADC with an Embedded 2nd-order Anti-Aliasing Sinc Filter in 90nm	KAIST, & ETRI (Korea)	90nm	0.2~1.8GHzのデジタル主体フロントエンド。1.4Gs/sのVCO-ADCの帯域外耐性改善のため、2次アンチエイリアシングSincフィルタを内蔵。-94dBm@1MHz-BW, IIP3: -6.8dBm, エリアシング信号 除去: 50dB
			act:0.4mm ²	

Session 16: mm-Wave Design Techniques : 2/20 PM

No.	論文名	発表機関	プロセス他	内容、特徴
16.1	A 21.7-to-27.8GHz 2.6-Degrees-rms 40mW Frequency Synthesizer in 45nm CMOS for mm-Wave Communication Applications	NXP Semicon. (Netherlands, USA)	45nm	1/2分周器後にCML-2/3分周器を採用して広帯域動作。60GHz-IEEE802.15.3c対応では2逡倍器+2分周器でスライドIFを構想。同調範囲: 21.7~27.8GHz=4.8%、残留位相雑音: 2.57°rms、位相雑音=-121dBc/Hz@10MHz
			40mW 0.48x0.29mm ²	
16.2	A mm-Wave Quadrature VCO Based on Magnetically Coupled Resonators	Univ. of Pavia, etc. (Italy)	65nm	磁気結合共振器+インバータで磁気結合最適化により直交発振器を実現。リングにより同調範囲: 56~60.3GHz。発振が能動素子に依存しないので低雑音。最良位相雑音FOM: -179dBc/Hz、最大位相誤差: 1.5°
			22mW mm ²	
16.3	A 6.5mW Inductorless CMOS Frequency Divider-by-4 Operating up to 70GHz	Univ. of Pavia, etc. (Italy)	65nm 1V, 6.5mW 15x30μm ²	動的CMLラッチとして動作するクロック駆動差動増幅器を提案し、インダクターを用いない4分周器を実現。負荷PMOSのバイアスにより20~70GHzでプログラマブル。動作範囲=10~17%
16.4	A 60GHz Antenna-Referenced Frequency-Locked Loop in 0.13μm CMOS for Wireless Sensor Networks	Univ. Michigan (USA)	0.13μm	オンチップ・パッチ・アンテナを放射器および周波数基準として用いるFLLを構成。アンテナ2点間の定在波振幅から周波数を推定。FLLのLPF遮断周波数100kHz。アンテナの最大効率点に送信周波数を同期させたとき、平均周波数: 59.34GHz、標準偏差: 195MHz
			29.6mW 2.85mm ²	
16.5	A 220-to-275GHz Traveling-Wave Frequency Doubler with -6.6dBm Power at 244GHz in 65nm CMOS	Cornel Univ. (USA)	65nm 1.2V, 40mW 0.2x0.25mm ²	正方形四辺の伝送線路の左右対称点の1点から駆動し、他対称点で折り返す定在波を励起し、入射波と反射波が正合成される四角に配置したFETにより2次高調波を発生させて正方形中心から出力。244GHzで出力: -6.6dBm、変換損失: 11.4dB
16.6	Distributed Active Radiation for THz Signal Generation	California Inst. Technology (USA)	45nm 22mA/DAR 0.8x0.8mm ²	分布能動放射構造(基本波に対してコプレーナ。2次高調波に対して放射器)が信号発生、乗算、フィルタリング、放射を兼ねる。円偏波を効率よく放射。2x2DARアレイで300GHzで放射電力80μW, EIRP: -1dBm
16.7	A 120GHz 10Gb/s Phase-Modulating Transmitter in 65nm LP CMOS	KU Leuven (Belgoum)	65nm 1V, 200mW	差動入力差動ブランチライン結合器により4相信号を発生し、それらを多重器で選択するQPSK/8QAM変調器を内蔵する差動送信機で10Gb/s超えの伝送達成。遅波線路を用いて結合器を小型化、1875x940μm ²
16.8	A 1.5GHz-Modulation-Range 10ms-Modulation-Period 180kHz _{rms} -Frequency-Error 26MHz-Reference Mixed-Mode FMCW Synthesizer for mm-Wave Radar Application	Toshiba (Japan)	65nm 1.2V, 152mW act: 1.7mm ²	短距離測定時の広帯域と高速・遠距離測定時の高分解能を両立させるため、デジタル位相比較器出力を時間微分後に変調信号と加算し、積分するアナログ/デジタル・ハイブリッドPLL構成。26MHz基準周波数
16.9	A Short-Range UWB Impulse-Radio CMOS Sensor for Human Feature Detection	Univ. SC (USA)	0.13μm 3.6x3.6mm ²	直接標本化UWBインパルス方式レーダー、
16.10	183GHz 13.5mW/Pixel CMOS Regenerative Receiver for mm-Wave Imaging Applications	UCLA (USA)	65nm	Time-encoded regenerative receiver、13.5mW & 1.3x104μm ² /pixel、

Session 21: Cellular : 2/23 AM

- ・マルチモード受信機におけるSAWフィルタ削除: 21.1~21.5
- ・マルチモード送信機におけるSAWフィルタ削除: 21.6~21.8
- ・WCDMA送信機の直接変調からポーラ変調への動き: 21.7, 21.8

No.	論文名	発表機関	プロセス他	内容、特徴eDGE
21.1	A SAW-less GSM/GPRS/EDGE Receiver Embedded in 65nm CMOS SoC	Media Tek (USA & Taiwan)	65nm 2.8V, 58.9mA 4.94mm ²	4帯域受信機を組み込んでSAWフィルタなしでETSI規格を満足。AB級LNA+受動ミキサ+電流モードLPF構成。BB-LPFを受動ミキサを通してLNA出力で見るとBPFになり、帯域外ブロッカーを抑圧可能。受信感度<-110dBm、帯域外P1dB>+1dBm、IIP2>44dBm、IIP3>0dBm
21.2	A 9-Band WCDMA/EDGE Transceiver Supporting HSPA Evolution	ST-Ericsson (Sweden)	90nm RF 1.2/1.8V 3.8x3.8mm ²	フルRXダイバシティ、段間SAWレス受信機。2G RX/TX+LO: 129mW/126mW, 3G TX+RX+LO: 269mW。2G/3G RX-NF: 2.3~2.5dB & IIP2: 58dBm & IIP3: -6dBm、2G TX-EVM: <1.5%, 3G TX-EVM: <4%、RX-EVM: <3%
21.3	A 65nm CMOS SoC with Embedded HSDPA/EDGE Transceiver, Digital Baseband and Multimedia Processor	Qualcomm (USA)	65nm Radio: 13.4mm ²	4-band GSM/EDGE & 3-band UMTS。RX-段間SAWなしで受信感度:-111dBm。LB-GSM送信機の最大バッテリー電流: 53mA。LNA出力に含まれるTX成分とBB出力に含まれるTX成分の相関をLO波形で最小化
21.4	A Receiver for WCDMA/EDGE Mobile Phones with Inductorless Front-End in 65nm CMOS	Media Tek (UK & Singapore)	65nm 29~39mA 0.11mm ²	8-band RX for WCDMA/TD-SCDMA/EDGE。RX/TX段間SAWフィルタなし、インダクターなし受信FEで帯域外IIP3: -3dBm、IIP2>50dBm、NF:<2.5dB @2.2GHz
21.5	A Compact SAW-less Multiband WCDMA /GPS Receiver Front-End with Translational Loop for Input Matching	NXP Semicon. (Netherlands)	45nm 1.3V, 7.3mA	[増幅器+受動ミキサ+TIA]の構成によるIF出力を受動ミキサでアップコンして増幅器入力に電流帰還をかけて入力インピーダンスを一定に保持。大入力時は帰還をオフ。帯域外IIP3=-3.5/1.5dBm、IIP2>40/60dBm
21.6	A Multiband LTE SAW-less Modulator with -160dBc/Hz RX-Band Noise in 40nm LP CMOS	IMEC (Belgium), Renesas Tech. (Japan)	40nm 13~44mA 1.4x0.7mm ²	プログラム可能3次伝達インピーダンスLPF+受動LPF+受動ミキサ+前置PA+バラン構成。RX帯域雑音=-162dBc/Hz、P _{-1dB} =11dBm、前置PAの出力幅=60dB、チャネル帯域40MHzで5.5GHzまで可能。EVM<3%、LO-FT<-40dBc
21.7	A Fully Digital Multimode Polar Transmitter Employing 17b RF DAC in 3G Mode	Infineon (Austria)	65nm 1.2/2.5V 2.2mm ²	全デジタル・ポーラ送信機のAMパスとPMパスにおいて、インターポレータ以降のRF領域でクロックとして変調されたDCOクロックを4分周したものを使用して遅延整合を取る。RX帯域を含む遠方雑音は最大19bRF-DACを用いて-160dBc/Hzを達成。GSM/EDGE/WCDMA/HSPA+対応
21.8	A Low-Power Wideband Polar Transmitter for 3G Applications	Broadcomm, UCLA (USA)	65nm 40mA 0.7mm ²	フラクショナルN-PLL-2点注入法による広帯域変調を実現するためにVCO変調感度の線形化ループをPLLに組み込む。AM-PMパスの遅延差は校正により吸収。±200mVの同調電圧に対する変調感度変化は1%、ACPR1=-42dBc、RX-noise=-159dBc/Hz@45MHz、EVM=2.9%@0dBm

Session 24: Transmitter Blocks : 2/23 PM

No.	論文名	発表機関	プロセス	内容、特徴
24.1	A 40nm Wideband Direct-Conversion Transmitter with Sub-Sampling-Based Output Power, LO Feedthrough and I/Q Imbalance Calibration	Broadcom (Netherlands)	40nm	OFDM-TX。RX ADCによりTX出力をサブ標準化し、TXイメージ、LO漏れ、出力を校正。BB-200MHzまでACPR>55dBc, IM3<-64dBcを達成。デジタル補助校正によって1.6GHz-LOまでIR>55dBc, LO-FT>40dBc, 出力精度<±0.6dB。サブ標準化前に可変帯域バッファを追加
24.2	A Flip-Chip-Packaged 1.8V 28dBm Class-AB Power Amplifier with Shielded Concentric Transformers in 32nm SoC CMOS	Intel (USA)	32nm	PAE=31.9% @ Psat=28dBm, P1dB=26.5dBm。OFDM-64QAMで P=21dBm/PAE=16%時にEVM=-25dBをデジタルプリ歪みなしで達成。パッケージ基板に 入力・中間・出力変成器を巧妙に同心配置 。
24.3	A Switched-Capacitor Power Amplifier for EER/Polar Transmitters (6bで試作)	Univ Washington (USA)	90nm 0.73x1.43mm ²	2.4GHz-64QAM-OFDM 時にPp=25.2dBm/PAE=55.2%, Pav=17.7dBm/PAE=32.1%, EVM=2.95。並列接続した多数の容量アレイを設け、出力レベルに応じた個数の容量の片端をGND-VDD間でRFクロックでオン・オフする。Vo=ΣCon/(ΣCon+ΣCoff)。出力容量一定。
24.4	An EDGE/GSM Quad-Band CMOS Power Amplifier	Samsung EM. (USA)	0.18μm	パワークラス-2用。パッケージ: 5x5mm ² QFNに受動素子チップを含めて3チップ搭載。EDGEモード時にPav=28.5dBm/PAE= 22%, ACPR=-57dBc, EVM=1.6%、GSMモード時にPAE=55% @ Po=34.5dBm
			3-4.2V PK:5x5mm ²	
24.5	A Compact 1V 18.6dBm 60GHz Power Amplifier in 65nm CMOS	UCB (USA)	65nm	IEEE802.15.3c-OFDM用。効率的に合成できる4入力端子変成器を考案。Psat=18.6dBm, P _{-1dB} =15dBm, PAE=15.1%、58~64GHzで Psat=>17.8dBm, PAE>=12.6%
			1V, mA 0.28mm ²	

Session 26: Low-Power Wireless : 2/23 PM

No.	論文名	発表機関	プロセス他	内容、特徴
26.1	A 7.9 μ W Remotely Powered Addressed Sensor Node Using EPC HF and UHF RFID Technology with -10.3dBm Sensitivity	Graz Univ. Tech., Infineon (Austria)	0.13 μ m	EPC-HF & EPC-Gen2-UHF規格対応。動作範囲=13.56MHz~2.45GHz、RF感度=-10.3dBm、チップ温度検出+信号モニタ+オフチップ・センサー制御を搭載。HF=13.56MHz, UHF=860MHz~2.45GHz
			7.9 μ W, act: 0.95mm ²	
26.2	An Isolator-less CMOS RF Front-End for UHF Mobile RFID Reader	KAIST, PHYCHIPS (Korea)	0.13 μ m	送受同時動作時の送信リークによる雑音除去のため、自己相関RXによりLOとTXリークの位相を揃える。TXはpolar ASK+包絡線帰還線形化により高効率化。
			3.3V, 198mA	
26.3	A 2.4GHz ULP OOK Single-Chip Transceiver for Healthcare Applications	Holst Centre / imec (Netherlands)	90nm	wireless body-area networks(WBAN)対応。2.4GHz-medical BAN & ISMで動作、TXはデジタルパルス整形OOK、50%-OOK時に2.53mW、RX FEは-75dBm受信感度で5Mb/s、RX全体では3MHzオーバーサンプルで1Mb/s時に715 μ W
26.4	A 120 μ W MICS/ISM-Band FSK Receiver with a 44 μ W Low-Power Mode Based on Injection-Locking and 9x Frequency Multiplication	Univ. Washington (USA)	0.13 μ m	peer-to-peer wireless symmetry link目標。120 μ W-200kb/s-BER<0.1%時に受信感度:-90dBm、44 μ W低電力モード時受信感度:-70dBm。9通倍でLO:44.5MHzを発生。注入同期LO整定時間:<100ns。Low-IF方式。受信FEのNF:13dB、OIP3:7.6dBm
			120 μ W	
26.5	A GPS/Galileo SoC with Adaptive in-Band Blocker Cancellation in 65nm CMOS	Media Tek (Taiwan)	65nm	LNA(w/reg-L+Lload)+passive mixer+RCfilter+2次複素フィルタ+2ジポリフェーズフィルタ+BPF構成+BB帯域内ブロッカー相殺。NF=2dB、チップ同期追従感度=-165dBm、帯域外IIP3=-5dBm、LNA内蔵と段間SAWなしで帯域外ブロッカー耐力=+16dBm
			1.2V, 18mW 6.6mm ²	
26.6	A 0.05-to-10GHz 19-to-22GHz and 38-to-44GHz SDR Frequency Synthesizer in 0.13 μ m CMOS	HKUST (China)	0.13 μ m	14-band MB-OFDM UWBを含む47MHz~10GHz+57~66GHz/802.15.3cをカバー可能。VCOは3~4.5GHz/8.4~12GHzの二帯域。47MHz~6GHzは2分周器列で対応。位相雑音=-139.6dBc/Hz@3MHzoff/1.7GHz
			33~83mW 3mm ²	
26.7	A 4.6GHz MDLL with -46dBc Reference Spur and Aperture Position Tuning (MDLL: Multiplying Delay-Locked Loop)	UCLA (USA)	90nm	基準クロックのエッジでVCOに注入。校正ループが位相内挿器をスライドさせ、ジッターとスプリアスが最小になるように窓を設定。静的・動的不整合のあるチャージポンプを位相誤差が最小になるように設計。基準スプリアス=-46dBc@4.6GHz
			6.8mW 0.025mm ²	