

ISSCC 2010 報告書
(IEEE International Solid-State Circuits Conference)
無線通信関係 - 詳報

開催期間: 2010年2月7 ~ 11日 (主セッション: 2/8 ~ 10)

開催場所: USA サンフランシスコ, マリオット・ホテル

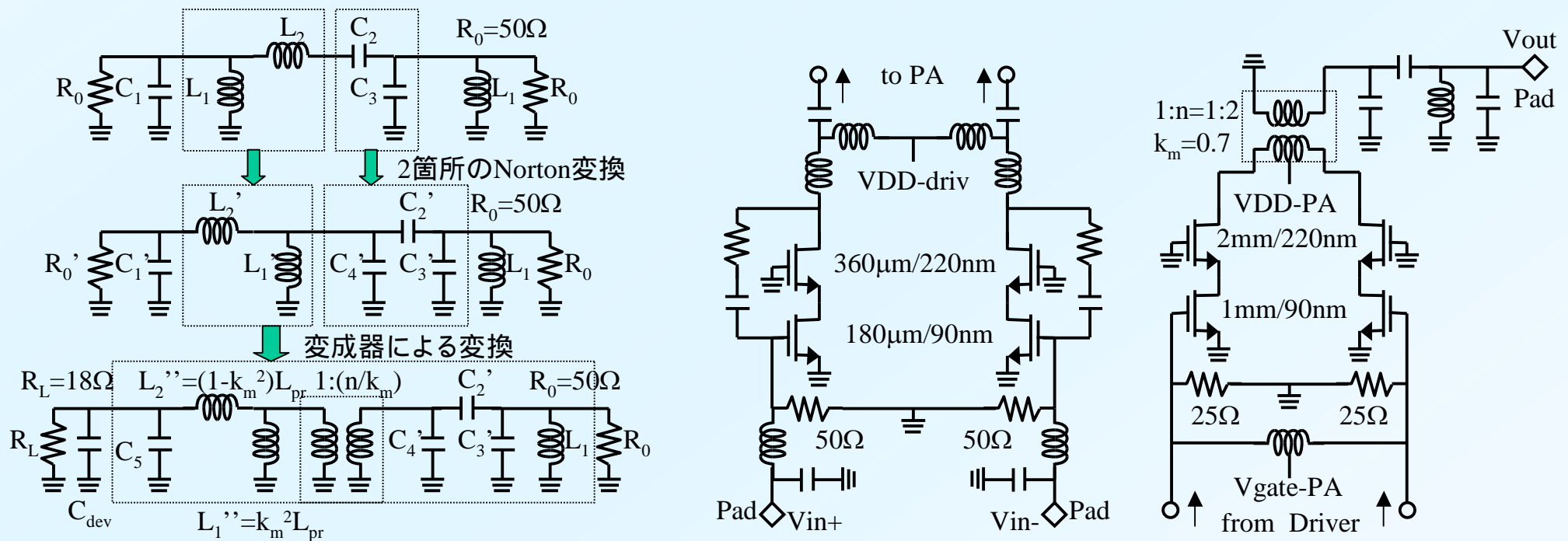
報告者: 中川准一

・ 引用: Digest of Technical Papers, 2010 IEEE ISSCC

2.4: "A 5.2-to-13GHz Class-AB CMOS Power Amplifier with a 25.2dBm Peak Output Power at 21.6% PAE"

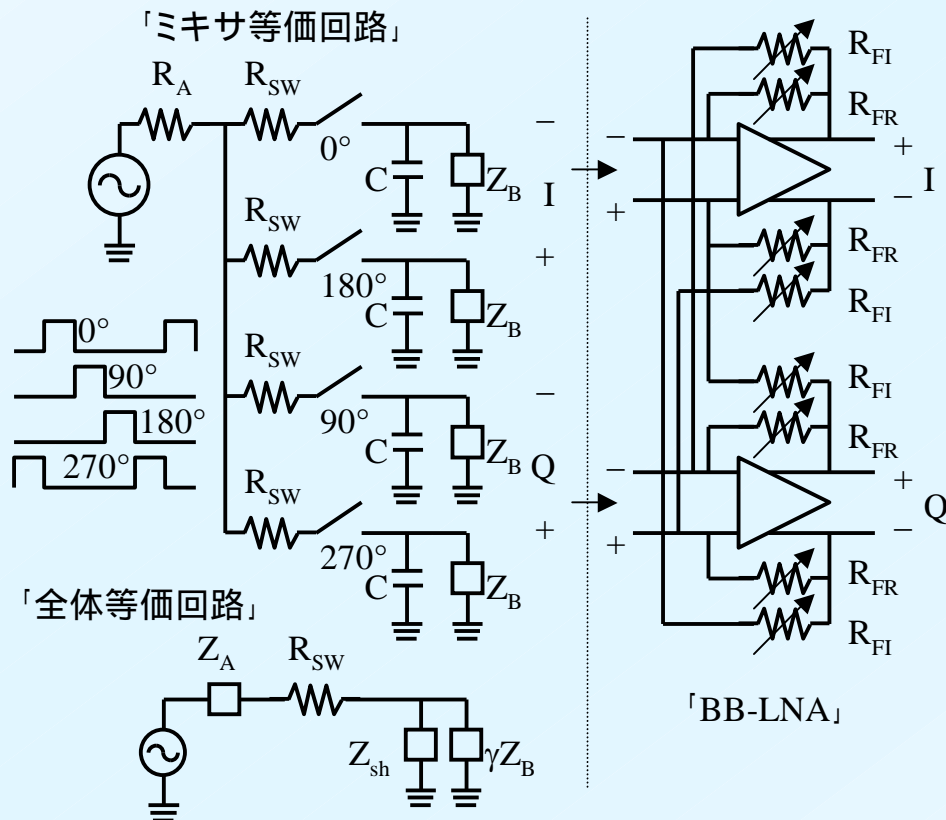
by H. Wang, et.al., California Institute of Technology, USA

- 要約: 駆動段と出力段ともに差動カスコード構成、シミュレーション・ロードプルによる最適出力インピーダンスに対する3次整合回路をNorton変換とトランスフォーマー変換によって広帯域化 小信号-3dB帯域=5.2~13GHz。
 - 90nm CMOS、チップ²core=0.45x1.55mm²
 - 最大出力=25.2dBm & 電力付加効率(PAE)=21.6% @8GHz、PAE=12.9% @5.5GHz & PAE=11.5% @13GHz
 - QPSK(4.5MS/s) EVM<2.9% & 16QAM(5MS/s)EVM<6.8% @P-1dB & B=5.5~13GHz
- 最適出力インピーダンスは、デバイスの降伏電圧と出力電流の比に比例する抵抗 R_L とデバイス大信号出力容量 C_{dev} 相殺するインダクタンス L_p を用いて、近似的に $Z_{out}=R_L/(j\omega L_p)=R_L/(-1/j\omega C_{dev})$ と表される。…周波数軌跡はスミスチャート上で定コンダクタンス: $1/R_L$ 円上を移動 広帯域整合には、同様に周波数変化する誘導性アドミタンスが必要
- 下図のように、3次BPF整合回路に2箇所のNorton変換を行った後に変成器変換を適用する。変成器の変成比 n は2で結合係数 k_m は0.7である。差動 18Ω をシングルエンド 50Ω に変換。整合回路の最大電力効率は58.6%。



2.5: “A Passive-Mixer-First Receiver with Baseband-Controlled RF Impedance Matching, <6dB NF, and >27dBm Wideband IIP3” by C.Andrews & A.C.Molnar, Cornell Univ., USA

- ・要約: SDR応用目的、アンテナからの受信波をデューティπ/4-4相差動高調波除去受動ミキサでダイレクト変換し、ベースバンドLNAの複素帰還抵抗を可変してミキサ入力インピーダンスを任意周波数でアンテナに整合する。
 - ・ 65nm CMOS、1.2V & BB:2.5V、Pd=60mW、チップ²=2mm²。
 - ・ 動作周波数: 50MHz~2.4GHz、インピーダンス可変範囲: 16~265Ω
 - ・ NF<6dB、Gv>70dB、S11<-12dB、IIP3>27dBm @B3dB=20MHz、
- ・ 原理等価回路(π/2-4相LO受動ミキサ)において、利得AのBB-LNAにおける複素帰還をI/Q自身への実部帰還: R_{FR}とI/Q交差による虚部帰還: R_{FI}により実現し、ミキサスイッチが閉じられている時に(1)式のZ_Bがアンテナに接続され、「全体等価回路」のようになり、複素帰還量をBBから制御して所定周波数におけるアンテナに整合する。



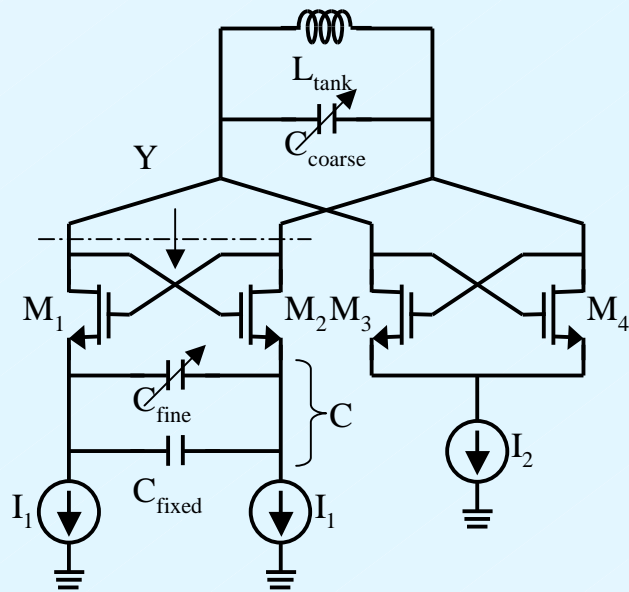
- ・ 当然、インピーダンス整合により、利得とNFは変化する。実験した範囲では利得は10dB弱、NFはR_{FR}が大きい領域で6から10dBに劣化する。
- ・ ミキサ出力に並列に入る容量がBBだけでなくRFでも帯域外妨害派を減衰させるので、広帯域に線形性が良い。

$$\frac{1}{Z_B} = \frac{1+A}{R_{FR}} + \frac{1+jA}{R_{FI}} \quad (1), \quad \gamma = \frac{\pi^2}{2} \quad (2)$$

2.6: “3.3GHz DCO with a Frequency Resolution of 150Hz for All-Digital PLL

by L.Fanori, et.al., Univ. of Pavia, Italy

- ・ 要約: ADPLLにおける帯域外位相雑音を小さくするにはLC-DCOの周波数微調分解能を小さくする(例: 1kHz以下) 必要があり、容量バンクの容量値を小さすぎない適切な値にするために、微調容量バンクを疎調LCタンクから分離して交差結合FETのソース間に挿入+別工夫、
 - ・ 65nm CMOS、1.8V、 $I_0=16\text{mA}$ 、チップ core= $700\times 450\mu\text{m}^2$ 、
 - ・ 微調容量: NMOSバラクタ単位容量(4f~12fF)の16x16アレイ、微調周波数範囲: 2~12MHz(I_1 による)
 - ・ 動作範囲: 2.62~3.3GHz、疎調範囲: 780MHz、位相雑音: -127.5dBc/Hz@1MHz、FoM: 183dBc/Hz。
- ・ 下図の左側交差結合FETのソースに微調総容量Cを接続すると、両FETのドレインを見たアドミタンスYは、小信号時変解析によると、(1)式で表される(g_m は一周期の平均値で、高調波は無視、かつ $g_m \ll 2\omega_0 C$)。
 - ・ (1)式の第二項の分数部分が容量Cの縮小係数で、例えば $g_m=10\text{mS}$ 、 $C=5\text{pF}$ 、 $f_0=3.6\text{GHz}$ の時に縮小係数は500で、タンクに並列に10aF挿入することに相当する。・・・試作ICの縮小係数は150?
 - ・ M1-M2のソースに大きな差動容量を接続しても発振器の位相雑音に大きな影響はない。・・・理由?
 - ・ 必要な縮小係数から g_m を決めると、発振に必要な不正抵抗が不足するので、並列に交差結合FETを追加。

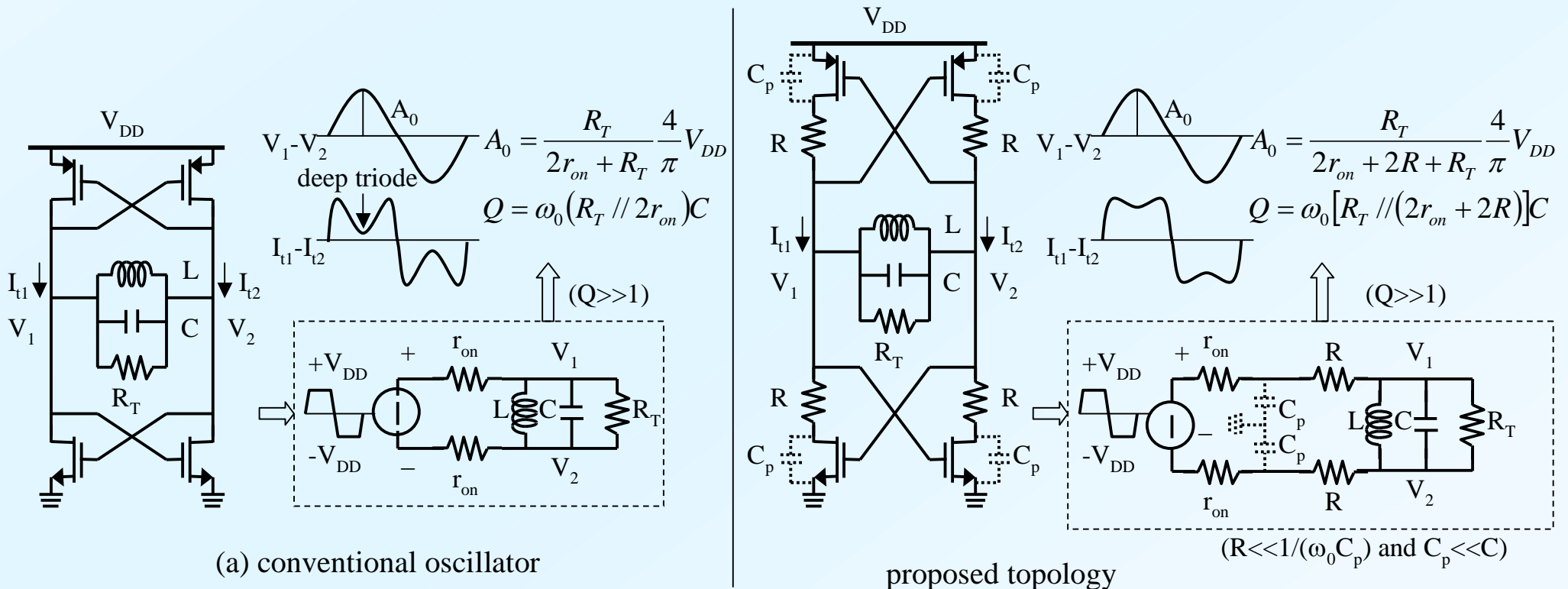


$$Y = -\frac{g_m}{2} - j\omega_0 C \frac{g_m^2}{(\omega_0 C)^2} \quad (1)$$

2.7: "Suppression of Flicker Noise Upconversion in 65nm CMOS VCO in the 3.0-to3.6GHz Band"

by S.Levantino, et al., Politecnico di Milano, Italy

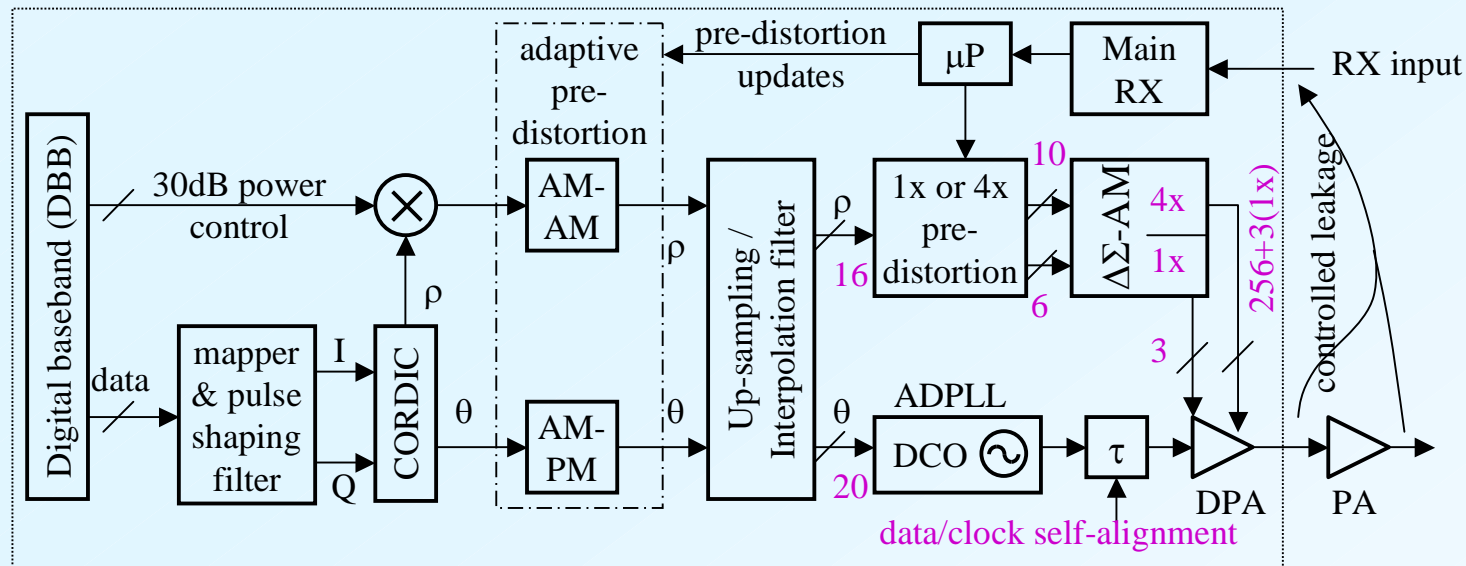
- ・要約: 相補(P-N)交差結合VCOの位相雑音の1/f雑音による劣化を抑圧する方法として、PMOSとNMOSのドレインに小抵抗Rを挿入して交差結合させ、RとFET容量により雑音をバイパス、
 - ・ 65nm CMOS、1.2V、 $I_0=0.6\text{mA}$ 、チップ core=0.26x0.31mm²/VCO
 - ・ 周波数: 3=3.6GHz、位相雑音: -44dBc/Hz@1kHz、-114dBc/Hz@1MHz、FoM: 187dBc/Hz
 - ・ @1kHzにおける位相雑音は、通常型より、5~10dB良好。
- ・ 通常の交差結合発振器において、導通FETが3極間領域にいる期間が比較的長く、雑音に影響する。シミュレーションによると、FETの幅Wを小さくする(r_{on} 増加)と雑音特性が改善されるが、発振開始条件を満たさなくなる。
- ・ 右下図のように抵抗Rを挿入し、FETに並列な容量 C_p に依存して1/f雑音が最小になるRの最適値が変化するが、最小値はほとんど変わらない。また、1MHzオフセットの雑音のR増加による劣化はわずかで無視できる。



3.2 “A 0.8mm² All-Digital SAW-less Polar Transmitter in 65nm EDGE SoC”

by J.Mehta, Texas Instruments, USA

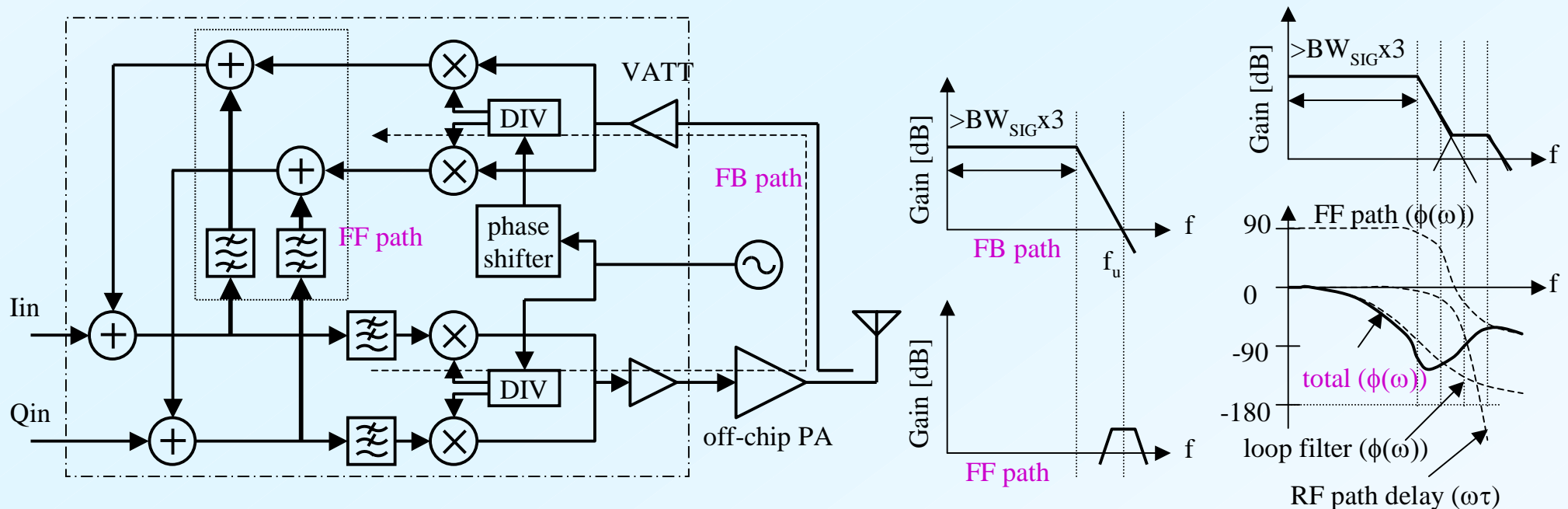
- 要約: 極座標変調のPM/AMパスを全デジタル構成とし、**駆動アンプを10+ΔΣ6ビット電流加算DACとして動作させ、AM-AM/AM-PM適用プリディストーションを施し、参照表補正により2.5%rmsEVM (high-band)でスペクトルマスクに対して8dB余裕があり、かつSAWフィルタを不要とする。電源分配に注意**
 - 65nm CMOS、1.2V、I₀=105mA、TX area=0.8mm²
 - @LB 8PSK EVM rms=1.5(9)%, 600kHz mask=-68(-60)dBc, 20MHz noise=-158(-156)dBc/Hz, (spec)
 - @LB GMSK phase error rms=0.7(5)deg, 400kHz mask=-70(-60)dBc, 20MHz noise=-167(-162)dBc/Hz
- ベースバンドで振幅30dBの適応制御を行うことで、後段の**適応補間で小電力時の分解能を確保**できる。
- AMパスで、x2オーバーサンプリングを5段行い、**各段で発生する擬似ランダム信号によって振幅情報をディザリングして各段のレプリカを除去**する。同様な処理をPMパスでも行い、**両者の伝達関数を等しくして歪みの発生を抑圧**。
- 最小FET(1x)を基本とする駆動PA(DPA)において、整数部(MSB10)には256-4x-FETと3-1x-FETを使用して温度計コード割り当てをし、小数部に1次と2次MASH-ΔΣ変調を行い、各FETのドレイン電流を加算する。
- 1x-FETと4x-FETの歪み特性をオンチップ・マイクロプロセッサによる校正時に参照表に蓄積し、プリディストーション**を行う。この際、行内のFETへの制御線を回転させて**動的素子整合?**を行う。



3.6: "A 10MHz Signal Bandwidth Cartesian-Loop Transmitter Capable of Off-Chip PA Linearization"

by H.Ishihara, et.al., Toshiba, Japan

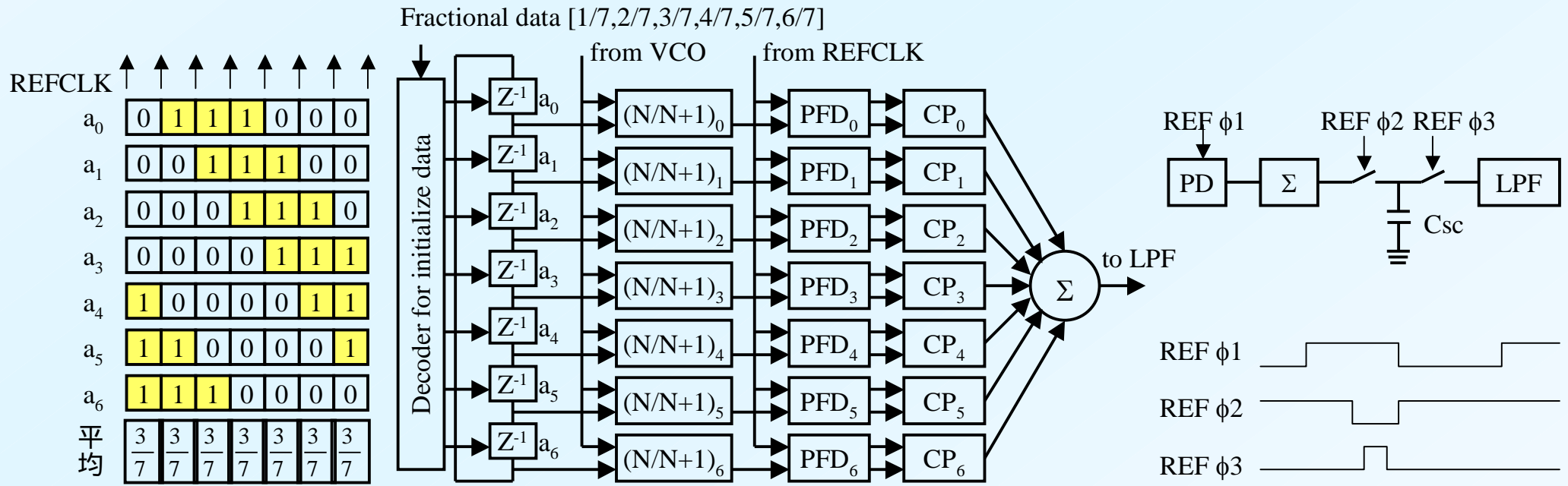
- ・要約: 外付けPAを線形化するための直交帰還路のI/Q復調出力にBPF-BB信号をフィードフォワードして帰還路の位相余裕を改善して広帯域化。WiMAX用 (BB=5MHz)
 - ・ 0.13 μ m CMOS、0.6V、 $P_d=264$ mW with off-chip PA、core=5.4mm²
 - ・ 10MHz 64-QAM 802.16eの時、ACLR: 38.4dB (30.2dB) で、EVM: 1.6% (5.9%) @15dBm PA-out
- ・ 3次歪みを改善するためには信号帯域の3倍以上の3dBループ帯域が必要である。…余裕を見て30MHzで設計
- ・ 直交帰還のみでは、RFパス遅延 τ が大きいため、系が不安定になって十分な帯域と帰還量を取れない。
- ・ 帰還パスの利得が1になる周波数 f_u 付近の帯域に対してのみ、BB信号をI/Q復調帰還信号にフィードフォワード加算することにより、周波数 f_u 付近の利得と位相が持ち上がって位相余裕が大きくなる。…メインLPFは3極-2ゼロ
- ・ 今回の試作では、外付けFPGAを用いて校正を行う。…校正時間は14 μ s



13.3 “A 0.3mm² 90-to-770MHz Fractional-N Synthesizer for Digital TV Tuner”

by M.Kondou, et.al., Fujitsu, Japan

- ・ 要約: 日本の地上デジタルTV移動端末用、セグメント受信に必要な分解能1/7MHzの整数倍のフラクショナルNスプリアスを抑圧し、かつループ帯域を最大にするため、7タップFIRフィルタを2モジュラス分周器+PFD+CPを7組並列し、分数部分周をタップ係数として2モジュラス分周器に循環的に与える方式を用いる、他の工夫も施し、
 - ・ 65nm CMOS、1.2V、10.8mW、core領域=0.3mm²
 - ・ スプリアス<-61.2dBc、位相雑音:-119dBc/Hz @1MHz-off、周波数切り替え時間:21.1μs
- ・ 下左図の構成により、各パスで生じる1/7周波数ステップのスプリアスを7タップFIRフィルタで除去すると、スプリアスはDCとfREFの高調波のみになる。…通常のΔΣディザリングのように雑音の広域シフトが発生しない。
- ・ 4MHz基準スプリアスを抑圧するため、下右図のようにCPとループフィルタの間にスイッチ+保持容量+スイッチを挿入し、スイッチ異なる位相の基準クロックで駆動する。
- ・ CP電流の不均衡は、PFDに余分な遅延を与えて、原点にオフセットを持たせることで回避している。



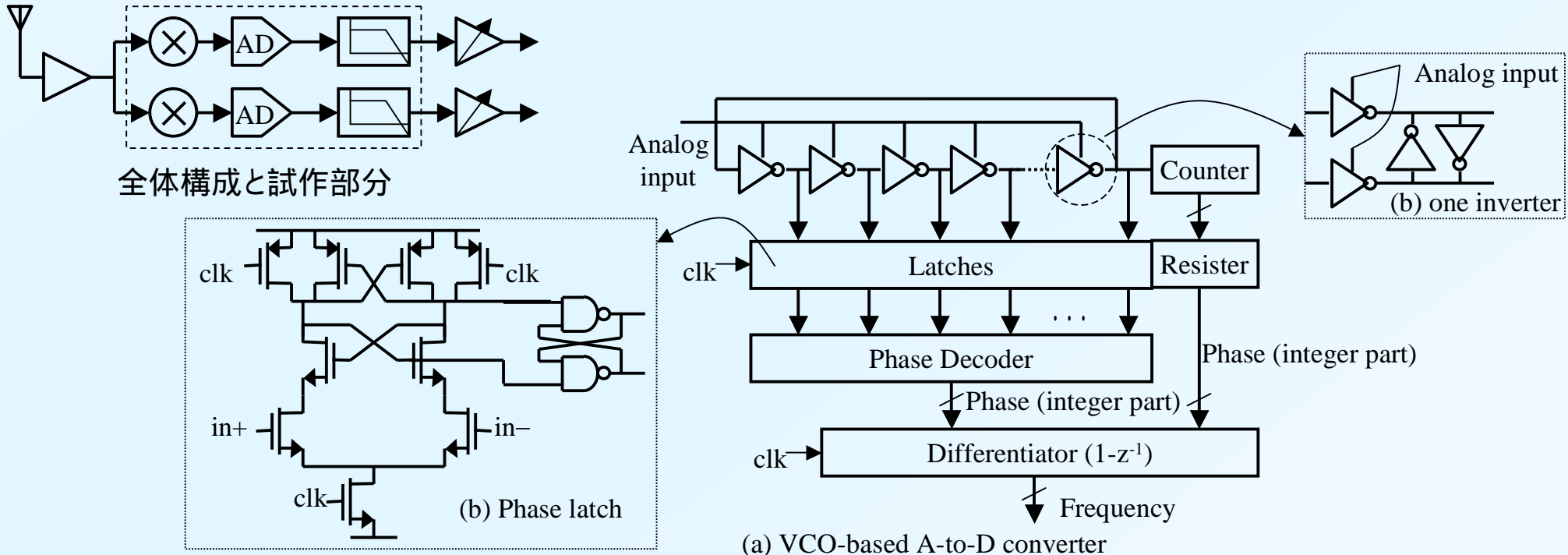
巡回レジスタを備えたFIRフィルタリングの基本構成

基準スプリアス抑圧対策

25.1 “A Maximally-Digital Radio Receiver Front-End”

by F.Opteynde, Audax Technologies, Belgium

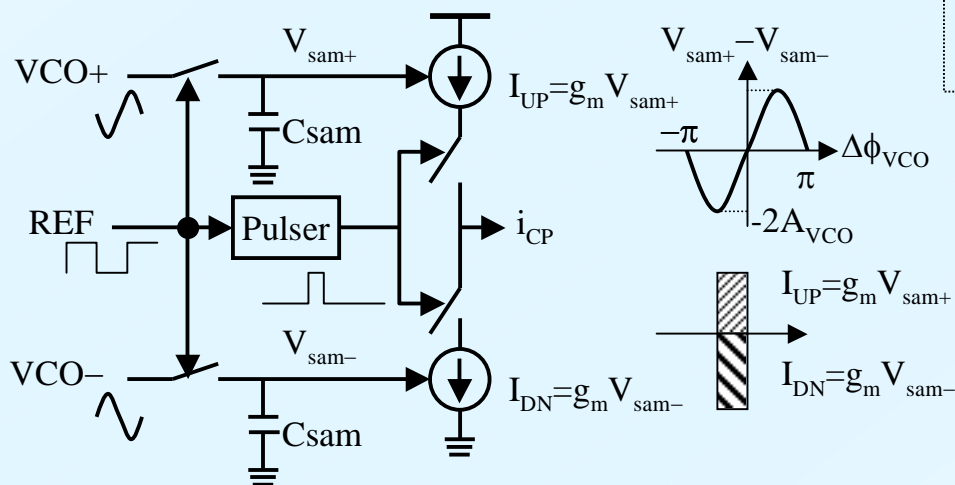
- ・ 外付けLNA+I/Q直接変換+ナイキストフィルタ+VCOベースのAD変換器 (受信直接変換信号をリング発振器の周波数に変換した後、周波数メータによりデジタル化)、VCO非線形を抑圧する差動構成を採用、
 - ・ 40nm CMOS、1.1V、12mW、core領域=0.07mm²
 - ・ CLK:2.45GHz、受信SSB雑音=-152dBm/Hz(NF=22dB), P_{1dB}=2dBm, IIP3=16.4dBm, IIP2=66dBm
- ・ ADCによるNF劣化に0.5dBを配分 必要SNR:87dB @B=10MHz for WiMAC, 97dB @500kHz for Bluetooth 40nmプロセスではインバータ遅延は20psのオーダーで、SNR=91dB @B=10MHzが期待できる。
- ・ VCO位相雑音がSNRを劣化させる SNR=96dB @B=10MHzが期待できる。
- ・ VCOの入力電圧 - 周波数の非線形対策として、差動入力信号で2個のVCOを駆動して差分位相を求め、それを時間微分して周波数に変換する。 シミュレーションによるIIP3=18dBm



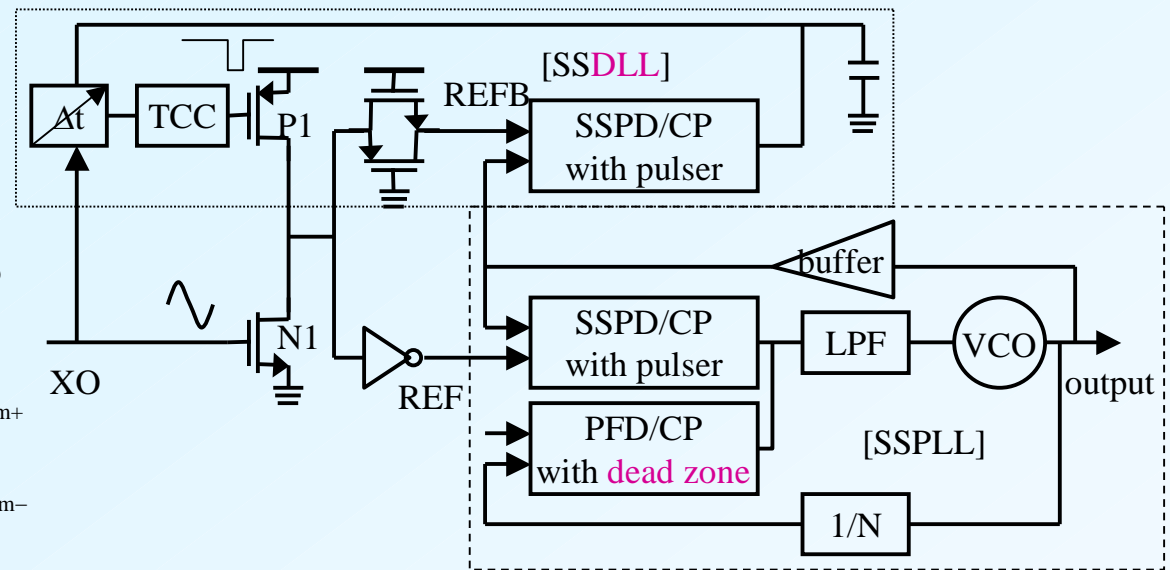
26.4 “Spur-Reduction Techniques for PLLs Using Sub-Sampling Phase Detection”

by X.Gao, et al., Univ. of Twente, Netherlands

- ・ 広帯域PLLの課題の一つが基準周波数スプリアスであり、サブ標本化PLLとデッドゾーン付PFD/CP-PLLの組み合わせにサブ標本化DLLを付加することにより、標本化容量の電荷再配分とVCO負荷容量変化を抑圧してスプリアスを低減する。・・・発振周波数:2.21GHz、基準周波数:55.25MHz
 - ・ 0.18 μ m CMOS、1.8V、3.8mW、core領域=0.2mm²
 - ・ 帯域/基準f比1/20条件、200kHz帯域内位相雑音:-121dBc/Hz、基準信号スプリアス:最悪-80dBc
- ・ チャージポンプ電流の不整合対策(下左図):基準クロックパルスと重ならないパルサー出力によって電流源を一定期間導通し、充放電電流差は標本化電圧差($V_{sam+} - V_{sam-}$)に比例させる。・・・一周期充放電電流にリップルが生じない。
 - ・ 但し、VCOと標本化容量 C_{sam} の電荷再配分、VCO負荷容量変化、標本化スイッチからVCOへの電荷注入が課題
- ・ 下右図の全体構成において、サブ標本化DLLが基準クロックの立ち下がりとVCOゼロ交差点を整合し、サブ標本化PLLが基準クロックの立ち上がりとVCOゼロ交差点を整合することによって、電荷再配分を抑圧する。
 - ・ そのため、基準クロックのデューティサイクル制御とSSDLLによって、FET-N1とP1の導通期間が重ならないようにする。



サブ標本化PD (SSPD) と振幅制御CP



全体構成外略図