

ISSCC 2010 報告書
(IEEE International Solid-State Circuits Conference)
無線通信関係 - 速報

開催期間: 2010年2月7～11日 (主セッション: 2/8～10)

開催場所: USA サンフランシスコ, マリOTT・ホテル

			2010	2009	2008	2007
全体発表件数			209	203	237	234
発表 割合	地域	北アメリカ	40%	38%	43%	39%
		アジア	32%	36%	28%	31%
		欧州	28%	26%	29%	30%
	機関	大学関係	48%	53%	47%	51%
		企業	52%	47%	53%	49%
セッション数			26+1	28+1	31+1	31+1

・ ATNからの参加者・・・麻殖生健二: ADC / DAC、 中川准一: 無線通信

- ・ 速報では、無線通信関連発表のほとんど全てを概説する。・・・報告者: 中川
- ・ 引用: Digest of Technical Papers, 2010 IEEE ISSCC

無線通信全体の動向

・ ISSCC全体の今年のテーマは、“Sensing the Future”

1.1 “MEMS for Automotives and Consumer Application”, by J. Marek of Robert Bosch

- ・ MEMSの自動車応用へのこれまでの展開と、これからのコンシューマ市場への展開について。

1.2 “Harnessing Technology to Advanced the Next-Generation Mobile User-Experience”, by G. Delagl of T.I.

- ・ 将来の携帯電話に組み込まれるのであろうセンサーと応用機能に関して実装面の課題について。

1.3 “Challenges of Image-Sensor Development”, by Tomoyuki Suzuki of Sony

- ・ CCD/CMOS画像センサーのこれまでの発展とこれからの展開について。

1.4 “Nanoelectronics in Retrospect, Prospect and Principle”, by J. Meindl of Georgia Institute of Technology

- ・ silicon-scalingが飽和した時、カバーする新技術の芽はありそうだが、その見通しは？？？

・ 無線関連セッション数が減る。PLL関連セッションはほぼ横ばい。

- ・ 2010: 5/Wireless + 1.5/PLL, 2009: 8/Wireless + 2/PLL, 2008: 8.5/Wireless + 1/PLL

・ ミリ波領域の回路開発は着実に進んでいるが、無線関連セッション全体を見ると興味ある新技術採用が減少する 熟成段階に入っている。

・ 以下の表は、論文名を読んだことを前提にした内容・特徴の記述になっています。

・ 発表番号を黄色網掛けしたものは別途詳細報告する予定です(変更の可能性あり)。

Session 2: mm-Wave Beamforming & RF Building Blocks : 2/8 PM

・ミリ波ビーム成形: 2.1~2.3、 ・SDR適用目標: 2.4~2.5、 ・VCO関連: 2.6~2.7、 ・RFID: 2.8

No.	論文名	発表機関	プロセス他	内容、特徴
2.1	A True Time-Delay-Based Bandpass Multi-Beam Array at mm-Waves Supporting Instantaneously Wide Bandwidth	USCLA (USA)	0.13μm SiGe	周波数範囲: 30~40GHzで6チャンネル信号の遅延(極座標2次元配置): 半径方向3段、偏角方向8段)と合成により独立7ビームを同時生成、遅延・合成の位相周波数特性を一定勾配にすることにより広帯域化を実現、各ビームは分解能18°で幅±54°、今回は受信FEを試作してチャンネル電力利得: 10~15dB、NF<4.9dB、アレイ利得: 15.4dB、SNR改善: 7.7dB
			2.5V, 330mA, 2.23x2.27mm ²	
2.2	A Wideband Beamformer for a Phased-Array 60GHz Receiver in 40nm Digital CMOS	IMEC, K.U.Leuven, Vrije Univ. (Belgium)	dig. 40nm	4パス入力、ダイレクト変換したI/Qベースバンド移相器による低消費電力化とその低入力インピーダンス化による帯域幅1.7GHz、位相分解能: 20°(4象限繋ぎ)、入力換算雑音電流: 170nArms、出力IP3: -6dBV
			1.1V, 35mW 2mm ²	
2.3	A 60GHz-Band 2x2 Phased-Array Transmitter in 65nm CMOS	Delft Univ. of Tech.(Netherlands) IBM (USA)	65nm	垂直-水平偏波独立同調、LOはactive-Lを用いたLO移相による二次元位相同調(5GHzLOから独立位相調整(>60°)できる4個の10GHzLO 4個の20GHzLO 各々IQ 注入型リング発振器による3通倍)、ゼロIFアップコンバージョン、飽和出力: 11dBm/ch、最大利得: 20dB、帯域: 5GHz
			1V, 590mW 2.9x1.4mm ²	
2.4	A 5.2-to-13GHz Class-AB CMOS Power Amplifier with a 25.2dBm Peak Output Power at 21.6% PAE	Calf. Inst. Tech. (USA)	90nm	差動カスコード構成、シミュレーション・ロードプルによる最適出力インピーダンスに対する3次整合回路をNorton変換によって広帯域化 小信号-3dB帯域=5.2~13GHz、最大出力=25.2dBm @8GHz、QPSK(4.5MS/s) EVM<2.9% & 16QAM(5MS/s)EVM<6.8% @P-1dB & B=5.5~13GHz
			0.45x1.55mm ²	
2.5	A Passive-Mixer-First Receiver with Baseband-Controlled RF Impedance Matching, <6dB NF, and >27dBm Wideband IIP3	Cornell Univ. (USA)	65nm	アンテナ出力を4相(8相)受動ミキサでダイレクト変換し、ベースバンドLNAの帰還抵抗を可変してミキサ入力インピーダンスをRFポートに整合する。同調最小S11<-12dB、G>70dB、ミキサ出力Cが妨害波抑圧
			1.2V/BB:2.5V, 60mW, 2mm ²	
2.6	3.3GHz DCO with a Frequency Resolution of 150Hz for All-Digital PLL	Univ. Pavia (Italy)	65nm	ADPLLにおけるLC-VCOの周波数微調分解能を1kHz以下にするための容量バンクの容量値を適切な値にするために、微調容量バンクをLCタンクから分離して交差結合FETのソース間に挿入+別工夫、NMOSバクタ: 4f~12fF、位相雑音: -127.5dBc/Hz@1MHz、FoM: 183dBc/Hz
			1.8V, 16mA 700x450μm ²	
2.7	Suppression of Flicker Noise Upconversion in 65nm CMOS VCO in the 3.0-to3.6GHz Band	Politecnico Milano (Italy)	65nm	相補(P-N)交差結合VCOの位相雑音の1/f雑音による劣化を抑圧する方法として、PMOSとNMOSのドレインに小抵抗Rを挿入して交差結合させ、RとFET容量により雑音をバイパス、位相雑音: -44dBc/Hz@1kHz、 -114dBc/Hz@1MHz、FoM: 187dBc/Hz
			1.2V, 0.6mA	
2.8	A 9.2μA Gen 2 Compatible UHF RFID Sensing Tag with -12dBm Sensitivity and 1.25μV _{rms} Input-Referred Noise Floor	Univ. Washington (USA)	0.13μm	生物医学・健康管理用受動900MHzRFID(EPC Class1 Generation2)、260nA温度補償3MHz基準発振器(<6% 0°~90°)内蔵、LNAをチョッパ型にして1/f雑音影響を抑圧、利得: 38.5dB、距離3m
			1.8~3.6V, 9.2μA, 2mm ²	

Session 3: Cellular Techniques : 2/8 PM

・EDGE目的:3.1~3.2、 ・ WCDMA/LTE目的:3.3~3.5、 3.8、 ・ WiMAX目的:3.6、 ・ GPS目的:3.7

No.	論文名	発表機関	プロセス他	内容、特徴
3.1	A Quad-Band Class-39 RF CMOS Receiver for Evolved EDGE	Advanced Circuit Pursuit, & ETH (Switzerland)	0.13μm 2mm ² (w/o pads)	GSM850/GSM900//PCS/DCS用カスコード型LNAの負荷は共通、2ch受信に対応し、2個の同時動作シンセサイザのアイソレーションに工夫、32-QAM時EVM<3%、[NF<2.5dB, IIP3>-3.5dBm] in 850/900MH
3.2	A 0.8mm ² All-Digital SAW-less Polar Transmitter in 65nm EDGE SoC	TI (USA), Delft Univ. Tech. (Netherlands)	65nm 1.2V, 105mA 0.8mm ²	極座標変調のPM/AMパスを全デジタル構成とし、駆動アンプを10+ΔΣ6ビット電流加算DACとして動作させ、AM-AM/AM-PM適用プリディストーションを施し、参照表補正により2.5%rmsEVM (high-band)でスペクトルマスクに対して8dB余裕がある。電源分配に注意
3.3	A Tri-Band SAW-less WCDMA/HSPA CMOS Transceiver with On-Chip DC-DC Converter Connectable to Battery	Advanced Circuit Pursuit, & ETH (Switzerland)	0.13μm 40mA/RX, 65mA/TX	送受共にSAWなし、I/Qミキサの出力直流オフセットを積分してスイッチFET組に常時補正を掛けてデューティを等しくすることにより受信IIP2>55dBm、送信ACLR=-45dBc、受信帯域雑音=-158dBc/Hz
3.4	A 45nm WCDMA Transmitter Using Direct Quadrature Voltage Modulator with High Oversampling Digital Front-End	NXP Semicon. (Netherlands)	45nm 1.6mm ² (core 0.4mm ²)	32オーバーサンプリング+12b-DAC+受動I/Qミキサ2組+AB級とA級駆動増幅器 出力:1dBm、受信帯域雑音:-158dBc/HzでSAW不要、EVM:2%、LOリーク:-45dBc、デジタル部を含めて30mW
3.5	A 900MHz Direct ΔΣ Receiver in 65nm CMOS	Nokia (Finland)	65nm 1.2V, 80mW core 1.2mm ²	low-band cellular(LTE)用、4次連続時間ΔΣ変調でLNAとミキサ出力に帰還することで各出力の振幅を抑えて線形性を確保、IIP2:55dBm、帯域外IIP3<=-4dBm、帯域内IIP3:-12dBm、最大SNDR=56dB、NF:6.2dB/ΔΣ、電圧利得:40dB、標準化周波数:1Gbps
3.6	A 10MHz Signal Bandwidth Cartesian-Loop Transmitter Capable of Off-Chip PA Linearization	Toshiba (Japan)	0.13μm 264mW w-PA core 5.4mm ²	直交帰還路のI/Q復調出力にBPF-BB信号をフィードフォワードして帰還路の位相余裕を改善して広帯域化、10MHz 64-QAM 802.16eの時、ACLR:38.4dB 30.2dBでEVM:1.6% 5.9% @15dBm PA-out
3.7	A 23mW Fully Integrated GPS Receiver with Robust Interferer Rejection in 65nm CMOS	Samsung Ele. (Korea)	65nm 1.8V, 23mW 2.5mm ²	携帯電話組み込み用L1バンドGPS受信機、LNA+RFAの各出力に同調並列LCを挿入して妨害波を減衰、LNA性能:NF=2.3dB、IRR=30dB、blocking=-15dBm @1710MHz、スイッチモード電源内蔵
3.8	A Low-Power Low-Noise Direct-Conversion Front-End with Digitally Assisted IIP2 Background Self Calibration	Columbia Univ. (USA), Toshiba (Japan)	0.13μm 1.5V, 15mA 1.56mm ²	1.8GHz WCDMA用、電流注入受動ミキサのLO端子バイアスを校正によって最適化、IIP2>60dBm、変換利得=38.5dB、DSB NF=2.6dB、IIP3=-17.6dBm

Session 11: Radar, mm-Wave, & Low-Power Transceiver : 2/9 AM

・ミリ波車載応用: 11.1~.2、 ・ミリ波マルチメディア応用: 11.3~.4、 ・wake-up受信機: 11.5~.6、 ・IR-UWB: 11.7~.9

No.	論文名	発表機関	プロセス他	内容、特徴
11.1	A 4-Channel 4-Beam 24-to-26GHz Spatio-Temporal RAKE Radar Transceiver in 90nm CMOS for Vehicular Radar Applications	Columbia Univ., & USCLA (USA)	90nm	見通し反射波とマルチパス波を分離するマルチビーム成形と波形ダイバシティによる分解能向上、 N本アンテナ×B個ビーム+B個直交コード送信+各コードに対して等価N-rake受信 、4×4車載レーダーを試作、
			1.2V 4.3x3.4mm ²	
11.2	A Fully Integrated 77GHz FMCW Radar System in 65nm CMOS	Taiwan Univ. (Taiwan)	65nm	車載レーダー、LNA+ Mix+PA+ フラクショナルNシンセサイザによる三角FMの発生 、PCB上に送受別アンテナ+外部ホーンアンテナ、最大距離: 106m、PA飽和出力: 10.5dBm、LNA-NF: 7.4dB、G: 17.5dB
			1.2V, 243mW 0.95x1.1mm ²	
11.3	A SiGe BiCMOS 16-Element Phased-Array Transmitter for 60GHz Communications	IBM, MediaTek (USA)	0.12μm BiC	マルチGb/s見通し外 802.15.3c リンク目標、シンセサイザ+BB減衰器+I/Q変調器+VGA+Mix+16ch分配器+16ch-FE(移相器+VGA+PA)+ 自動校正機能 、16ch分配器は2能動分配器と2受動分配器の多段構成、電圧制御移相器はシングルエンド反射型による差動構成
			3.8W, 44mm ²	
11.4	A Wideband mm-Wave CMOS Receiver for Gb/s Communications Employing Interstage Coupled Resonators	Univ. of Pavia (Italy)	65nm	3段LNAとミキサの各段間に 容量結合変成器BPF を挿入して広帯域化、スライディングIF、B>13GHz、電圧利得=35.5dB、NF<6.5dB、P _{1dB} =-21dBm、VCO同調範囲=12.6%、位相雑音: -115dBc/Hz@10MHz
			1V, 75mA 2.4mm ²	
11.5	A 2.4 GHz / 915MHz 51μW Wake-Up Receiver with Offset and Noise Suppression	Holst Center-IMEC (Netherlands)	90nm	1/fとDCオフセットを抑圧のために 標本化+包絡線検出+標本化 (25%-10MHz)を採用、10kb/s OOKに対する受信感度: -69dBm@2.4GHz、-80dBm@915MHz、周波数切り替えはLNA整合と同調付加の外付けL
			0.5/1V, 51μW core 0.36mm ²	
11.6	A 2.4GHz 830pJ/bit Duty-Cycled Wake-Up Receiver with -82dBm Sensitivity for Crystal-less Wireless Sensor Nodes	NXP, Univ. Twente, et al. (Netherlands)	65nm	広帯域IF (ノミナルIF+送受周波数誤差)+包絡線検波+ PPM_inpulse-radio 変調+duty-cycled(100ns/on+900ns/off) PLL-DCOを採用、415μW @500kb/s、受信感度: -82dBm w 830pJ/b
			1.2V, 346μA core 0.24mm ²	
11.7	An Ultra-Low-Power Interference-Robust IR-UWB Transceiver Chipset Using Self-Synchronizing OOK Modulation	Columbia Univ., et al. (USA)	90nm	3段同調LNA+ 2段目と3段目の反転出力を二重平衡ミキサに入力して2乗検波 +UWBの広帯域性により狭帯域干渉波を抑圧 許容干渉波: -5dBm、1.5pulse/bit 同期OOK 、1Mb/s @3.8GHz、RX-BB: 200pJ/b、
			RX: 1mm ² , TX: 0.6mm ²	
11.8	A Fully Integrated 802.15.4a IR-UWB Transceiver in 0.13μm CMOS with Digital RRC Synthesis	Univ. of Twente (Netherlands)	0.13μm	RF-ICとBB-IC構成、BB部でroot-raised-cosine(RRC)パルスを発生、シンセサイザ以外は間歇動作、3chをサポート、通信距離: 20m (BER<10 ⁻²)、測距誤差: 18cm、RF部平均電力: 44.75mW、1.2V
			7.5mm ² /RF, 24.7mm ² /BB	
11.9	A 0.92 / 5.3nJ/b UWB Impulse Radio SoC Communication and Localization	Inst. of Microelectronics (Singapore)	0.18μm	RF部と物理層論理部を1チップ化、OOK/BPSK、データ速度: 0.25~20Mbps、測距アルゴリズムはFPGAで実現して測距誤差<15cm
			1.8V, 17.2mm ²	

Session 13: Frequency & Clock Synthesis : 2/9 PM

・ 各種応用

No.	論文名	発表機関	プロセス他	内容、特徴
13.1	A Low-Area Switched-Resistor Loop-Filter Technique for Fractional-N Synthesizers Applied to a MEMS-Based Programmable Oscillator	SiTime, UCLS, et al. (USA)	0.18 μ m	基準信号用MEMS発振器チップをCMOSチップに搭載、周波数範囲: 1~115MHz、MEMSの温度特性をシンセサイザで補正、 PFD の基本比較範囲を $\pm 2\pi$ から $\pm 2\pi/8$ にして 感度を高め 、かつ ループフィルタを多段にして段間にスイッチを挿入 してCPとフィルタ雑音の影響を小さくする、20MHz発振 - 無負荷時CMOS電流: 3.7mA、
			3.3V, 1.65x1.5mm ²	
13.2	A 45nm SOI-CMOS Dual-PLL Processor Clock System	AMD (USA) Global Foundries (Germany)	45nm SOI	マルチプロトコル有線用で1~11.1GHzを2PLL構成で発生、リングVCO/LC-VCO時のジッター: 0.99ps/0.55ps、リング発振器FETのボディをゲートに接続し、電流源FETのソースに抵抗を挿入して雑音を抑圧、RC-PLL: 1~8.5GHz/28mA、LC-PLL: 8.3-11.1GHz/24mA
			2.5V, 0.277mm ²	
13.3	A 0.3mm ² 90-to-770MHz Fractional-N Synthesizer for Digital TV Tuner	Fujitsu (Japan)	65nm 1.2V, 10.8mW core 0.3mm ²	必要分解能1/7MHzの整数倍のフラクショナルNスプリアスを抑圧し、かつループ帯域を最大にするため、 7タップFIRフィルタを2モジュラス分周器+PFD+CPを7組並列し、分数部分周をタップ係数として2モジュラス分周器に循環的に与える方式 を用いる、他の工夫も施し、スプリアス<-61.2dBc、位相雑音: -119dBc/Hz @1MHz-off
13.4	A Low-Noise Frequency Synthesizer for Infrastructure Applications	RFMD (USA)	0.18 μ m SiGe	無線基地局用、基本アーキテクチャは差動コルピッツ、微調用バラクタの非線形変化を抑圧するために直列に容量を挿入、チャージポンプ出力Zを高める対策を施す、f ₀ =2220MHz、 Δf =300MHz、位相雑音: -134dBc/Hz @600kHz-off, -150dBc/Hz @3MHz-off
			3.3V, 100mA	
13.5	A 17.5-to-20.94GHz and 35-to-41.88GHz PLL in 65nm CMOS for Wireless HD Applications	STMicroelectronics (France)	65nm	IEEE 802.15.3c用、20GHz-I/Q-相補交差結合VCO 40GHz差動出力、同調範囲: 17.9%、位相雑音@1MHz-off: -100dBc/Hz @20.88GHz, -97.5dBc/Hz @41.76GHz
			80mW 1.1mm ²	

Session 23: mm-Wave Transceiver, Power Amplifiers, & Sources : 2/10 PM

・チップ間伝送:23.1、 ・TX or/and RX:23.2~.4 & .9、 ・LO発生:23.5、 ・パワーアンプ:23.6~.8

No.	論文名	発表機関	プロセス他	内容、特徴
23.1	A Millimeter-Wave Intra-Connect Solution	Sony (Japan), Calif. Inst. Tech. (USA)	40nm	・送信系:自然発振LO+Gilbert-Mix+Amp構成でBB差動信号をミキサに直接入力する ASK変調 、出力0dBm @58GHz時の3dB帯域は10GHz、29mW、アクティブ面積:0.06mm ² 、 ・受信系:LNA+ 注入同期 LO+SBM+DCオフセット相殺+BB-Amp構成で、58GHz時の変換利得:20dB、3dB帯域は8GHz、41mW、アクティブ面積:0.07mm ² 、 ・総合特性:伝達距離14mm @56GHzで伝送速度:11Gbps @BER<10 ⁻¹¹ 、
			1.1V,	
23.2	A SiGe Quadrature Transmitter and Receiver Chipset for Emerging High-Frequency Applications at 160GHz	Univ. Wuppertal (Germany)	SiGe BiCMOS RX:1.12mm ² , TX:1.24mm ²	LNAを含むRX-ICとPAを含むTX-ICの残り部分の構成は同一で、DB-I/Q-MixとVCO+プリスケラ+3逓倍器+バッファアンプを含む、周波数:158~165GHz、送信P1dB=-5~1dBm、送信変換利得=30~36dB、受信変換利得=20~25dB、NF=11~14dB、受信IF=100MHz
23.3	A W-Band 65nm CMOS Transmitter Front-End with 8GHz IF Bandwidth and 20dB IR-Ratio	Helsinki Univ. Tech. (Finland)	65nm	71 ~ 76G & 81~86GHz応用目標、差動LO+分配器+I/Q-IF入力-I/Qミキサ+合成器+PAの構成、RF帯域=77~95GHz、IF帯域=1~8GHz、出力>4dBm、イメージ除去比=15~25dB、最大P1dB=2.2dBm @85GHz
			1.2V, 100mA	
23.4	A 90GHz -Carrier 30GHz-Bandwidth Hybrid Switching Transmitter with Integrated Antenna	UCB (USA), et al.	0.13μm SiGe	VCO+バッファ+駆動アンプ+スイッチ付PA+スイッチ付アンテナの構成で各段は差動トランス結合+スイッチ制御ECL論理部、 PAとアンテナのスイッチ制御 によってキャリアパルス幅を35~376ps可変、
			739mW 1x1.2mm ²	
23.5	A 13.1% Tuning Range 115GHz Frequency Generator Based on an Injection-Locked Frequency Doubler in 65nm CMOS	Univ. Modena, et al. (Italy)	65nm	VCO+注入同期2逓倍器と測定用のミキサを同一チップに試作、逓倍器は Pierce発振器を差動構成にし、一方の発振器の並列したFETのゲートに差動信号を注入 、同期範囲:13.1% @115GHz, -107dBc/Hz @10MHz
			1V, 12mW	
23.6	A 1V 17.9dBm 60GHz Power Amplifier in Standard 65nm CMOS	MediaTek (Taiwan), IBM (USA)	65nm	IEEE 802.15.3c目標、4組のPA差動出力を、 2組ずつトランスで直列合成した後、並列合成する完全対称形 にし、合成効率改善、Psat= 17dBm, OIP _{1dB} =14dBm @57~65GHz、最大電力負荷効率=11.7%
			1V, 460mA core 0.83mm ²	
23.7	A High-Gain 60GHz Power Amplifier with 20dBm Output Power in 90nm CMOS	UC Davis (USA)	90nm	2段アンプを6ユニットとウイリキンソン2分配合成器を6個使用、60GHzで利得=20.6dB、P _{1dB} =18dBm、Psat=20dBm、A=1.85x0.95mm ²
			1.2V	
23.8	A 53-to-68GHz Power Amplifier with an 8-Way Combiner in Standard 65nm CMOS	STMicroelec. (France)	65nm	ホットキャリア注入を考慮してカスコード差動型の8並列+対称8分配・合成器を採用、60.5GHzでP _{1dB} =11.5dBm、Psat=18.1dBm、A=0.46mm ²
			1.2V, 732mW	
23.9	A 650GHz SiGe Receiver Front-End for Terahertz Imaging Arrays	Univ. Wuppertal (Germany)	0.13μm SiGe	LO駆動増幅器+折り返しダイポールアンテナ + サブハーモニックミキサ+IFバッファの構成、162.5GHz-LO注入し、変換利得=-13dB、NF=42dB
			1.2x0.6mm ²	

Session 25: Wireless Connectivity : 2/10 PM

・ 各種応用

No.	論文名	発表機関	プロセス他	内容、特徴
25.1	A Maximally-Digital Radio Receiver Front-End	Audec Technologies (Belgium)	40nm	外付けLNA+I/Q直接変換+ナイキストフィルタ+ VCOベースのAD変換器 (受信直接変換信号をリング発振器の周波数に変換した後、周波数メータによりデジタル化)、 VCO非線形を抑圧する差動構成 を採用、CLK: 2.45GHz、受信SSB雑音=-152dBm/Hz(NF=22dB), P _{1dB} =2dBm, IIP3=16.4dBm, IIP2=66dBm
			1.1V, 12mW, core 0.07mm ²	
25.2	A 65nm CMOS 2.4GHz 31.5dBm Power Amplifier with a Distributed LC Power-combining Network and Improved Linearization for WLAN Applications	UCSD (USA)	65nm	802.11g/OFDM用、プリアンプ+3x(駆動アンプ+PA)+合成回路、線形化対策: 差動カスコードPAのソース接地FETを並列にしてそれぞれA級とB級にバイアス+デジタル・プリディストーション 、小信号G=32dB, Psat=31.5dBm, 最大電力付加効率(PAE)=25%、-25dB EVM時、P=25.5dBm, PAE=16%
			1.2/3.3V core 2.7mm ²	
25.3	A Multistandard, Multiband SoC with Integrated BT, FM, WLAN Radios and Integrated Power Amplifier	Broadcom, Qualcomm (USA)	65nm	802.11a/b/g/single-stream11n+Bluetooth+FMに必要な送受信機能を全て含む、3個の独立したフラクショナルNシンセサイザ搭載、デジタル校正: LO周波数・振幅+I/Q平衡+フィルタfc+PA線形化
			16.9mm ²	
25.4	A Fully Integrated 2x1 Dual-Band Direct-Conversion Transceiver with Dual-Mode Fractional Divider and Noise-Shaping TIA for Mobile WiMAX SoC in 65nm CMOS	Toshiba (Japan)	65nm	直接変換(2RX/2バンド+1TX)構成、受信ADCはI/Qで時間分割使用、 [(1/2 or 4/3)x1/2]分周器を小型にして4fc/3を分配 、送信スプリアス:-60dBc、受信受動ミキサ後段に 雑音整形トランスインピーダンス・アンプ を挿入してオペアンプ雑音を抑圧、複数の校正機能内蔵、
			TX: 215mW 2RX: 214mW 2.3x6.72mm ²	
25.5	A 5mm ² 40nm LP CMOS 0.1-to-3GHz Multistandard Transceiver	IMEC (Belgium), Renesas Tech. (Japan)	40nm	送受とも直接変換、RX: 4LNA(1G/2G/3G/5G)+25%受動ミキサ(IIP2校正)+BB-5次LPF+ADC、NF<2.4dB、EVM<-30dB、IIP2=50dBm、0.1~3GHz TX: BB-フィルタ+電圧標準化ミキサ+3並列駆動増幅器、CNR=-153dBc/Hz @190MHz / 1.95GHz、2x(2xVCO - フラクショナルN-PLL)
			1.1V, 2.5V 5mm ²	
25.6	A 65nm CMOS Low-Power Small-Size Multistandard, Multiband Mobile Broadcasting Receiver SoC	Analog Devices (Korea, USA)	65nm	DAB/T-DMB+ISDB-T 1seg+FMをサポート、4LNA+I/Qミキサ+ローIF-3次LPF+ΔΣADC+BB処理部+VCO-PLL、スイッチングレギュレータ+1.2V-LDO内蔵、デジタルI/Q校正によりイメージ抑圧:60dB、感度:省略
			34~38mW 2.9x2.9mm ²	
25.7	A Multistandard, Multiband Mobile TV RF SoC in 65nm CMOS	Samsung Elect. (Korea)	65nm	DVB-H/ISDB-T 1seg./T-DMB、3LNA+I/Qミキサ+LPF/C-BPF+ADC+BB処理部+FN-PLL、スイッチングレギュレータ+LDO内蔵、各種同調機能+校正機能、感度と消費電力:省略
			23.2mm ²	
25.8	A 1V RF SoC with an 863-to-928MHz 400kb/s Radio and a 32b Dual-MAC DSP Core for Wireless Sensor and Body Network	CSEM (Switzerland)	0.18μm	RF部と低電力DSPの一体化、150μA/MHz-DSP、OOK/2FSK/4FSK/OQPSKに対応、受信:2段変換後、 BB-I/Q信号を位相/デジタル変換 、送信:FN-VCOによる変調波を増幅、連続繰り返し動作時P=3.5mAx1V
			1μA/sleep	

Session 26: High Performance & Digital PLL :2/10 PM

・ デジタルPLL:26.1~.3、26.5~.8 ・ アナログPLL:26.4

No.	論文名	発表機関	プロセス	内容、特徴
26.1	A 3.5GHz Wideband ADPLL with Fractional Spur Suppression Through TDC Dithering and Feedforward Compensation	Univ. Pavia, STMicro. (Italy)	65nm	デジタルPLLで課題となる帯域内スプリアスを抑圧するため、TDCへのディザリングをフィードフォワード校正補償を用いて掛けることによって、3.4MHz帯域でスプリアス<-58dBc、位相雑音=-101dBc/Hz @1MHz、時間分解能:6.8ps、基準f:35MHz、
			1.2V, 8.7mW core 0.44mm ²	
26.2	A 2.1-to-2.8GHz All-Digital Frequency Synthesizer with a Time-Windowed TDC	NEC (Japan)	90nm	時間窓内のワンショットパルスを2段階でTDCすることで5psの分解能を低消費電力で実現、500kHz帯域で帯域内位相雑音:-105dBc/Hz、-115dBc/Hz @1MHz、改良型MASH-111 ΔΣモジュレータを使用
			1.2V, 8.1mA core 0.37mm ²	
26.3	A Calibration-Free 800MHz Fractional-N Digital PLL with Embedded TDC	Atheros Comm. (USA)	65nm	5段差動リング発振器で構成するDVCOの10位相をそのままTDC基準として利用することで校正を不要とし、DVCOの内部状態を内挿フリップフロップで検出して利得を1/20とし、リング発振器のばらつきを抑圧するために差動入出力間に交差抵抗帰還を掛ける。
			1.2V, 2.66mA 0.027mm ²	
26.4	Spur-Reduction Techniques for PLLs Using Sub-Sampling Phase Detection	Univ. Twente (Netherlands) National Semicon. (USA)	0.18μm	サブ標準化PLLとデッドゾーン付PFD/CP-PLLの組み合わせにサブ標準化DLLを付加することにより、標準化容量の電荷再配分とVCO負荷容量変化を抑圧する。帯域/基準f比1/20条件、200kHz帯域内位相雑音:-121dBc/Hz、基準信号スプリアス:最悪-80dBc
			1.8V, 3.8mW core 0.2mm ²	
26.5	A 3MHz-BW 3.6GHz Digital Fractional-N PLL with Sub-Gate-Delay TDC, Phase-Interpolation Divider, and Digital Mismatch Cancellation	Politecnico Milano (Italy)	65nm	分周器出力を帰還位相内挿器で16位相分割し、内挿器に16b-1次ΔΣディザラを掛け、4b-TDCに量子化スプリアス相殺機能と位相内挿不整合相殺機能を付加する。3MHz帯域、-104dBc/Hz @400kHz、帯域内スプリアス:-57dBc
			1.2V, 67mA core 0.4mm ²	
26.6	A 1.4ps _{rms} -Period-Jitter TDC-less Fractional-N PLL with Digitally Controlled Ring Oscillator in 65nm CMOS	Infineon (Austria)	65nm	SSクロック用、ジッター:1.4ps _{rms} (15ps _{pp}) @ 3GHz, 8.4ps _{rms} (75ps _{pp}) @ 375GHz、 (省略)
			1.1/1.3V, core 0.038mm ²	
26.7	A 86MHz-to-12GHz Digital-Intensive Phase-Modulated Fractional-N PLL Using a 15pJ/Shot 5ps TDC in 40nm Digital CMOS	IMEC, K.U.Leuven (Belgium)	40nm	帯域0.1~2MHz可変、6-9GHz+9~12GHz-VCO、 (省略)
			30mW core 0.28mm ²	
26.8	A 1GHz ADPLL with a 1.25ps Minimum-Resolution sub-Exponent TDC in 0.18μm CMOS	Pohang Univ. of Science & Tech. (Korea)	0.18μm	小数部位相時間差を自己校正付時間差2倍増幅器で7段拡大+デジタルループフィルタ+DS変調器+リング発振器により変換範囲:2.5ns、最小分解能:1.25ps、ジッター:5.03ps _{rms} (35.6ps _{pp}) @ 960MHz