

ISSCC 2009 報告書
(IEEE International Solid-State Circuits Conference)
無線通信関係一詳報-2

開催期間: 2009年2月8~12日 (主セッション: 2/9~11)

開催場所: USA サンフランシスコ, マリOTT・ホテル

報告者: 中川准一

・ 引用: Digest of Technical Papers, 2009 IEEE ISSCC

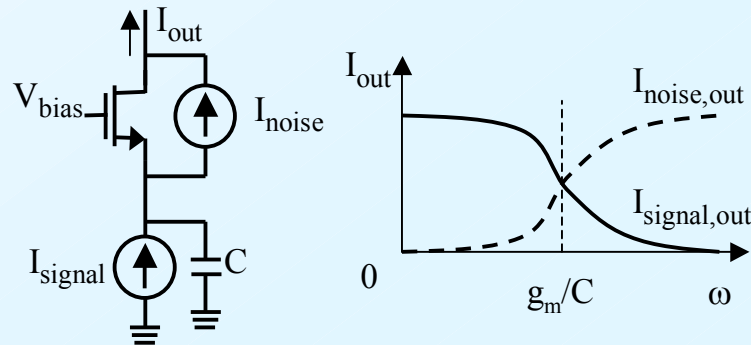
19.8 A 1.25mW 75dB-SFDR CT Filter with In-Band Noise Reduction

by A. Liscidini, University of Pavia, Italy

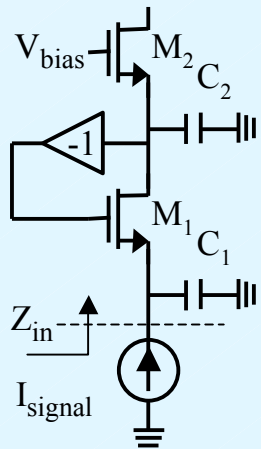
- 要約: 直接変換受信におけるベースバンド**ブロッカー対策**。電流駆動ゲート接地1次LPFの高域雑音が抑圧されることを拡張し、交差結合カスコード・デバイスを用いて帯域内高域通過雑音整形と帯域外妨害波事前除去できるCTフィルタの実現技術。WCDMA用のベースバンド・4次バターースLPFを試作し、**帯域外IIP3=36dBm**、**帯域外SFDR=75dB**を得る。

・ 90nm CMOS、2.5V、 $P_d=1.25mW$ 、活性領域=0.5mm² ・ G=15dB、LPF-fc=2.8MHz、積分雑音=32μV_{rms}、

- 図19.8.1のカスコード増幅器において、信号源インピーダンスが高い場合にCの付加により、**CG-FETの帯域内雑音と帯域外妨害波が抑圧される**。
- フィルタの減衰特性を急峻にするために複素極とし、信号源から見た入力インピーダンスを小さくするために、図19.8.2の差動の片側構成とし、その特性は図19.8.3となる。



19.8.1 帯域内雑音整形1次LPF

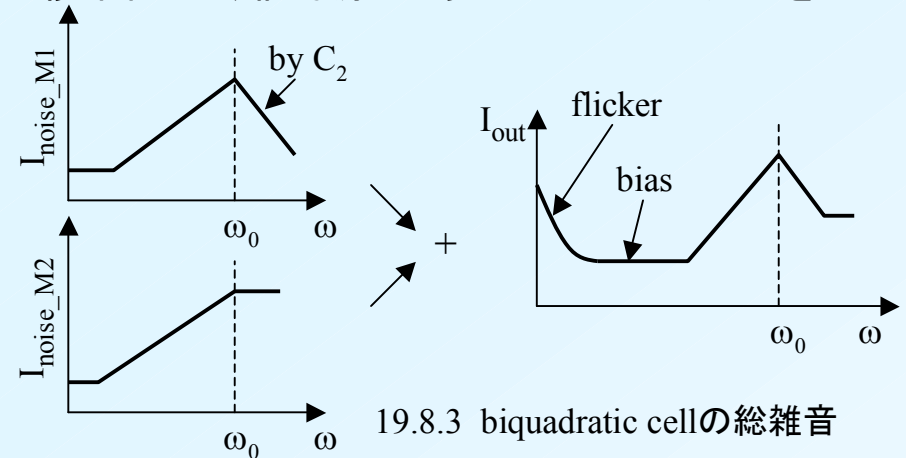


19.8.2 biquadratic cell

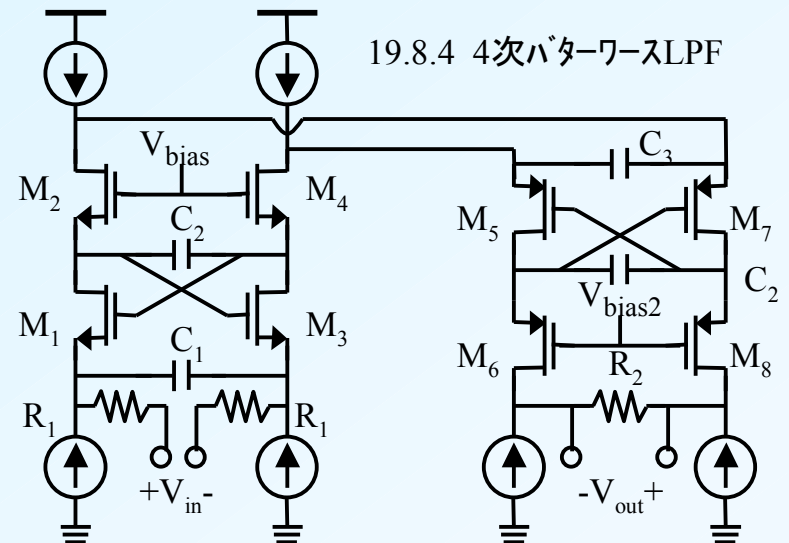
$$\frac{i_{out}}{i_{in}} = \frac{g_m^2 / (C_1 C_2)}{s^2 + s(g_m / C_1) + g_m^2 / (C_1 C_2)} \quad (1)$$

$$\omega_0 = \frac{g_m}{\sqrt{C_1 C_2}}, \quad Q = \sqrt{\frac{C_1}{C_2}} \quad (2)$$

$$Z_{in} = \frac{s / C_1}{s^2 + s(g_m / C_1) + g_m^2 / (C_1 C_2)} \quad (3)$$



19.8.3 biquadratic cellの総雑音

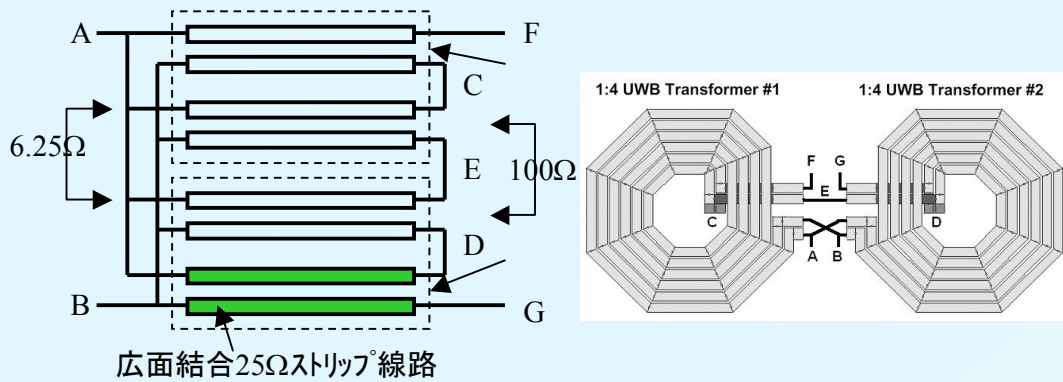


19.8.4 4次バターースLPF

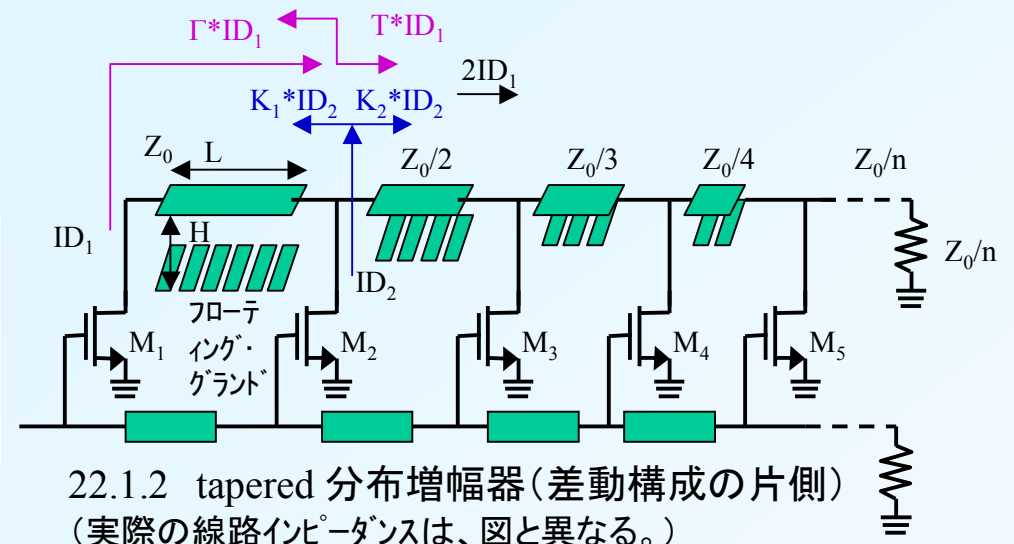
22.1 A 0.13μm CMOS Power Amplifier with Ultra-Wide Instantaneous Bandwidth for Imaging Applications

by J. Roderick & H. Hashemi, University of southern California, USA

- 要約: UWB用。耐圧低下対策と広帯域化のため、PAの出力端に線路による1:16インピーダンス変成器を使用。PAコアはA級7段分布増幅器で、後進波終端による効率低下を防ぐためにドレイン側線路に減少傾斜特性インピーダンスを持たせ、最終出力は1:16インピーダンス変成器。3dB帯域幅0.75~3.75GHzで飽和最大出力21dBm with $\eta_d=16\%$ 。
 - 0.13μm CMOS、1.5V、チップ寸法=1.8x2mm²。
 - 1GHzに亘ってG=20dB、反射損失=15dB。 $P_{1dB}=17dBm$ with $\eta_d=8\%$ & 3dB-BW=0.6~2.8GHz。
- 差動入力Z=6.25Ωで差動出力Z=100Ωの1:16変成器は1:4変成器を直列接続し、各変成器はコモンモードを抑圧するために25Ωストリップ線路の線路面を結合させて図22.1.1のように構成。結合効率=25~30%。・・・メタル層は8層(0.5μmx2 + 0.35μmx6)で、最上層2層と最下層3層を使用。
- 分布増幅器は同一サイズFETの7段構成で、各段の出力電流が加算され、電圧を一定にするために出力線路Zに減少傾斜を持たせる。図22.1.2のように、ある段の出力電流の次段での反射(例: $\Gamma * ID_1$)は次段出力の反射成分(例: $K_1 * ID_2$)と打ち消しあい、ある段の出力電流の次段での透過成分(例: $T * ID_1$)は次段出力の透過成分(例: $K_2 * ID_2$)と同相加算させる。
- 伝送線路はコプレーナとし、下に基板結合を減少するためのフローティング・グラウンドを設ける。



22.1.1 1:16インピーダンス・トランスフォーマー



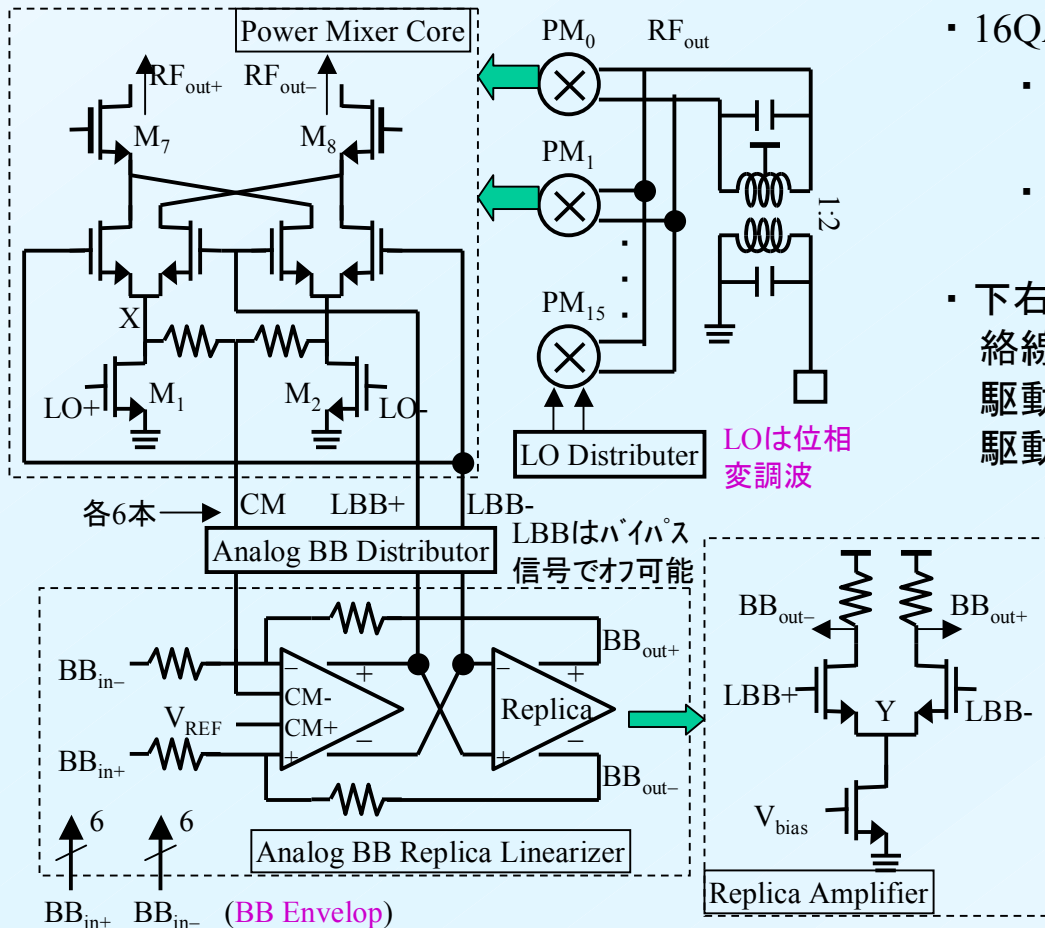
22.1.2 tapered 分布増幅器(差動構成の片側)
(実際の線路インピーダンスは、図と異なる。)

22.2 An Octave-Range Watt-Level Fully Integrated CMOS Switching Power Mixer Array for Linearization and Back-Off Efficiency Improvement by S. Kousal & A. Hajimiri, California Institute of Technology, USA

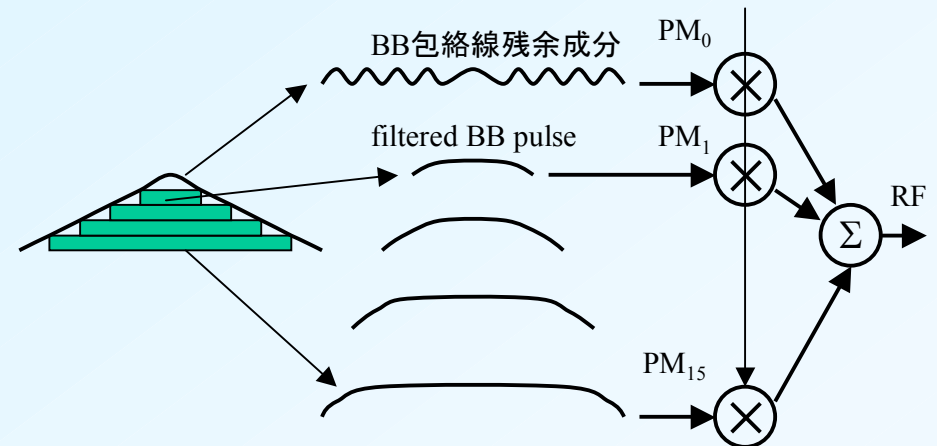
- 要約: スイッチ・トランスコンダクタンス・ミキサを16個並列し、BB包絡線信号振幅によって駆動ミキサの数を動的に変化させ (Efficient Segment: ESモード)、出力電流を変成器で加算。ミキサを線形化するBBレプリカ回路を使用し、LOを位相変調。1.6~1.8GHzでPo>30dBm、電力付加効率(PAE)>40%、中出力レベルの効率改善が大きい。

- 0.13μm CMOS、チップ=2.6mm²

- 下左図のPower Mixer Coreの出力FETは厚いゲート酸化膜使用。このコアにおける線形性を改善するためにBBレプリカ線形化回路におけるBB信号に対応するノードYの電圧をミキサのノードXの電圧に反映する: Linearized Analog (LA) モード。この時の最大出力31.3dBm時の利得低下は線形利得から0.4dB。



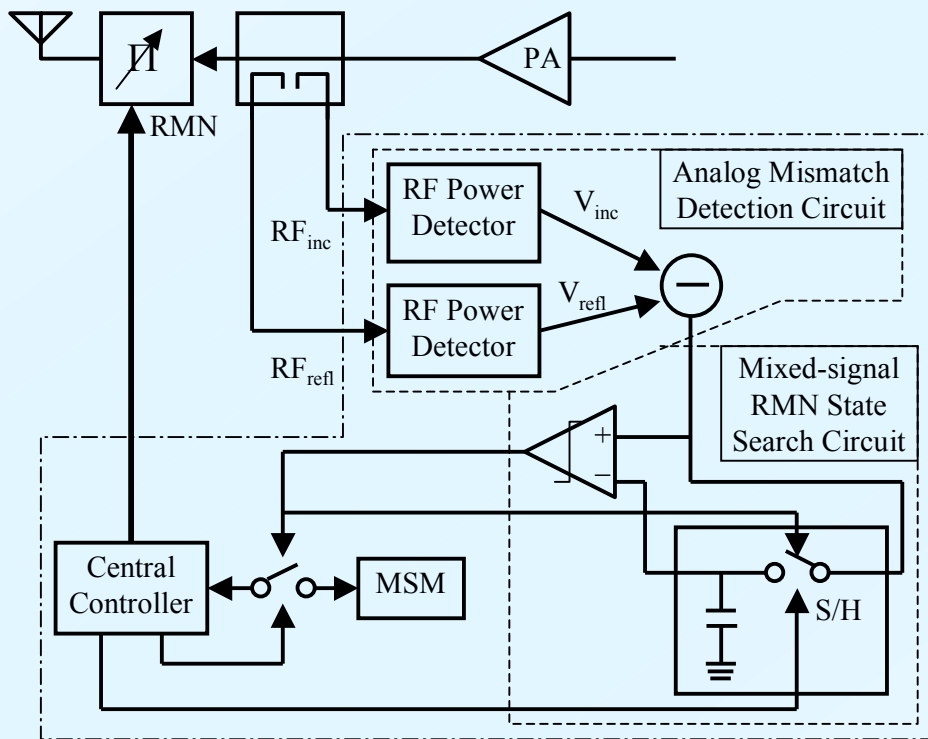
- 16QAM変調時、
 - ESモード: シンボル速度=4Msym/s、Po=26dBmでPAE=19%、変調精度=4.9%
 - LAモード: シンボル速度=100ksym/s、Po=27.3dBmでPAE=16%、変調精度=3.8%
- 下右図のような Linearized Segmented (LS)モードも実験。BB包絡線レベルに応じて下位15個から必要な個数のミキサをオン・オフ駆動(スプリアスのためフィルタ処理)、残余成分で最上位ミキサを駆動する。



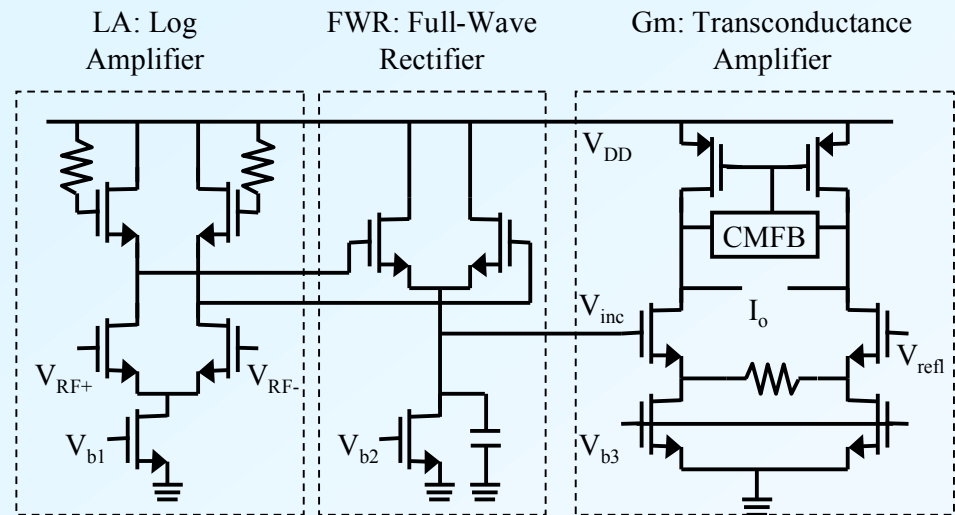
22.6 A CMOS Adaptive Antenna-Impedance- Tuning IC Operating in the 850MHz-to-2GHz Band

by H. Song, et.al., Arizona State University, USA

- 要約: アンテナインピーダンスを閉ループ適応同調させ、850MHz~2GHz帯域で動作。再構築可能整合回路+2組のRF5段対数検出器+mixed signal matching-state-search技術により4.1msで4096のアンテナ整合回路状態を掃引。帯域内反射損失を15dB改善、900MHzで370mWの平均電力削減。
 - 0.18μm CMOS、1.8V、下左図の一点鎖線部分を試作
 - RMN: Reconfigurable Matching Network
 - MSM: Matching State Memory
- 下左図のブロックにおける2組のRF電力検出回路は対数増幅器を5段縦続接続し、各段からの出力を全波整流回路+LPFで直流化した後、各段のGM回路でRF電力差分電流に変換し、後段の伝達インピーダンス増幅器で電流加算する。
- 整合状態探索は、初期RMN状態をMSMに記憶し、初期反射損失: V_{RL0} を標本化保持する。新しいRMNを設定して新反射損失: V_{RL1} を測定し、 $V_{RL1} > V_{RL0}$ ならば、現在のRMN状態をMSMに記憶し、現在の V_{RL1} を標本化保持する。全てのRMN状態を掃引後にMSMに記憶されているRMN状態は反射損失の一番大きい最適状態である。



- 初段LAの前でバランにより不平衡-平衡変換をする。



22.7 A Tunable Integrated Duplexer with 50dB Isolation in 40nm CMOS

by M. Mikhemar, et.al., Broadcom & University of California LA , USA

- ・要約:ハイブリッド変成器をベースに送受間の電氣的平衡によってアイソレーションを得る能動同調デュプレクサでWCDMA-band II に同調させ、受信挿入損失2.9dB、50dBアイソレーション/B=5MHz、受信帯における除去比=25dB、同調容量によって1GHz同調範囲を得る。デュプレクサ+LNAでNF=6.1dB, G=23dB。不要波除去機能はない。
 - ・ 40nm CMOS、1.2V、 $I_0=6\sim 8\text{mA}$ 、面積 $<0.2\text{mm}^2$
- ・デュプレクサの機能・・・アンテナ、送信出力、受信入力 of 整合 + 送受間アイソレーション。ここでは不要波除去フィルタ機能は除く。
- ・図22.7.1の理想ハイブリッド変成器は①整合、②bi-conjugateでTX-RXおよびアンテナ平衡抵抗間でアイソレーション、③ある端子への入力他二端子に任意比で出力できる。・・・デュプレクサとしては、 $R_{TX}=R_{RX}=2R_{ANT}(N_1/N_2)^2$ 、挿入損失=3dB
 - ・変成器(バラン)の抵抗損と結合損を小さくすることが課題。
- ・抵抗損を少なくするため、図22.7.2のオートトランスフォーマーとする。 $R_{TX}=R_{RX}=2R_{ANT}$ 、 $R_{BAK}=4R_{ANT}$ でTXが活性の時、流れ出た同相電流2Iのうち、インダクタに流れる電流が他方のインダクタに逆相電流を誘起し、互いに打ち消しあう。TX,RXに対する挿入損失は約4dBとなる。
- ・図22.7.3が試作回路で、トランス自己インダクタンスは容量でチューンアウト → 共振周波数でハッチのあるアイソレーション特性となり、ハッチ深さは平衡抵抗の精度、およびLC共振幅に依存する。平衡抵抗分解能 5Ω で5MHz帯域で50dB以上のアイソレーション。
- ・受信NFを優先した非対称設計も可能。・・・下右の表。 IL: isolation

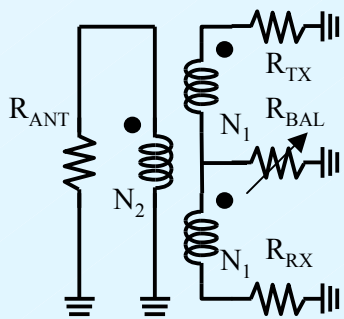


Fig.22.7.1: Balun as hybrid transformer

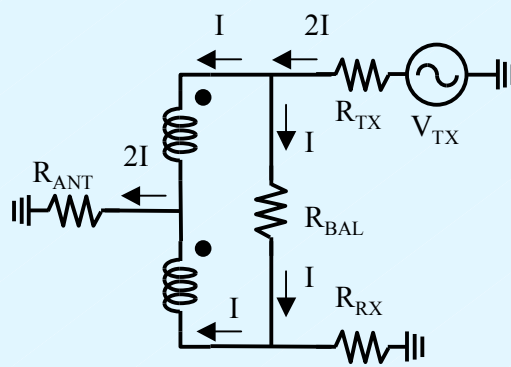


Fig.22.7.2: Autotransformer as hybrid transformer

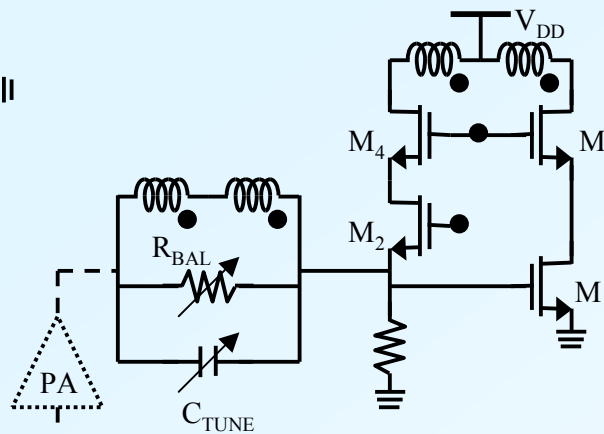


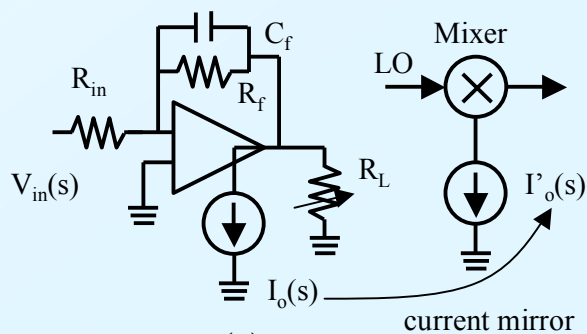
Fig.22.7.3: Integrated duplexer with LNA

	非対称	対称
RX-IL	2.9dB	4.2dB
TX-IL	5.9dB	4.2dB
アイソレーション	>50dB	>50dB
RX-NF	6.1dB	7.4dB
RX-Gain	23dB	24dB

24.6 A 1.1V 5-to-6GHz Reduced-Component Direct-Conversion Transmit Signal Path in 45nm CMOS

by J.C.Rudell, et.al., University of Washington & Intel, USA

- 要約: 4G-OFDMシステム応用を目指し、I-Q直接変換送信系のアップコンバート直前の**単一のおへアンプ**で送信系に必要な**一極フィルタ、可変利得アンプ、高線形トランスコンダクタンス段**を実現。 $P_{sat}=14.9\text{dBm}$ and $P_{1\text{dB}}=12.2\text{dBm}$ at 5.5GHz, WiMAX-EVM=-37dB @ 9.2dB backoff from $P_{1\text{dB}}$ 。送信雑音 = -143dBm/Hz @100MHz offset
 - 45nm CMOS、1.1V、活性領域=1x1.5mm² • OIP3=23.5dBm
- Fig.24.6.2のシングルエンド概念図のように、**おへアンプ出力段の電流 $I_o(s)$ を電流ミラーしてcurrent-commutating mixerの電流 $I'_o(s)$ とする**。おへアンプ出力段負荷抵抗 R_L が R_f 、 R_o (R_o :おへアンプ出力抵抗)より十分小さい場合、 R_L を変化させても**遮断周波数はほぼ一定**で利得のみを変えることができる。... R_L を小さくすると、等価 G_m は低下する。
- おへアンプは開ループ利得を高めるため、下右図のようにfolded-cascode構成とし、可能な限りbody-biasを用いる。M3, M4回りのループ利得が高いため、ミキサトランスコンダクタンスの線形性を大きく改善する。
- I-Qミキサの出力を加算後、2段整合回路を経てPA駆動段に至る。



$$G_m(s) = \frac{I'_o(s)}{V_{in}(s)} \cong -\frac{1}{R_L} \frac{1}{1+sC_f R_f}$$

for $R_L \ll R_f, R_o$

Fig.24.6.2 Concept of filter, G_m , VGA combination stage

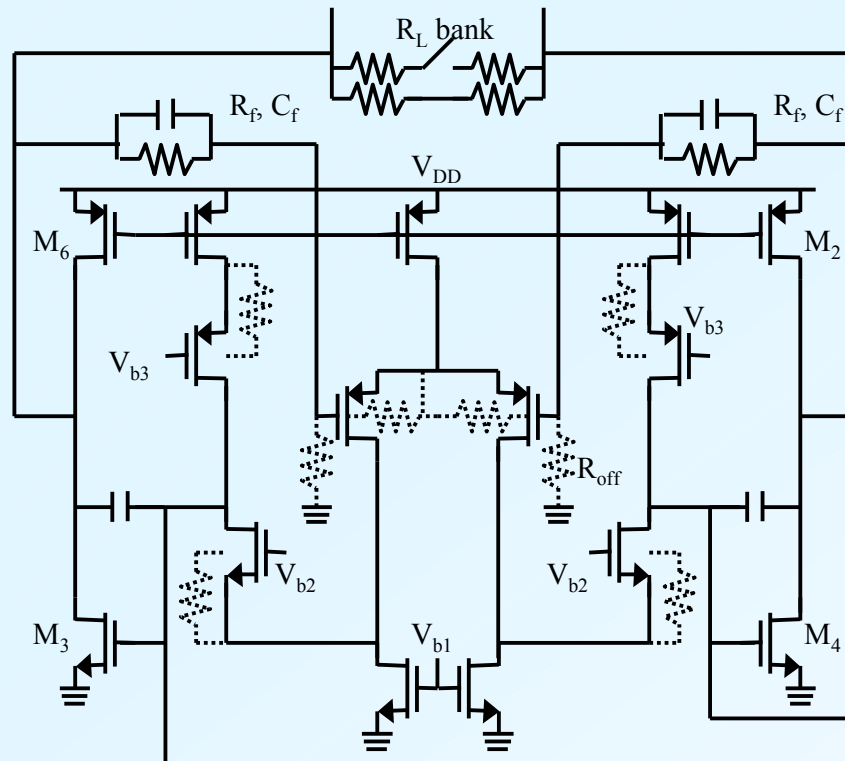
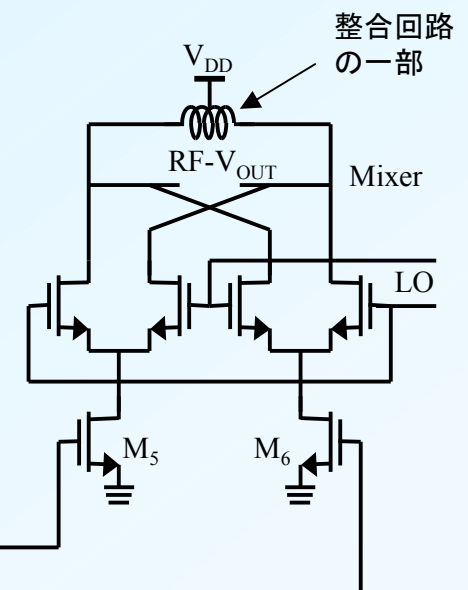


Fig.24.6.3 Simplified circuit of pole, VGA, & mixer G_m stage



29.3 A 26dB-Gain 100GHz Si/Ge Cascaded Constructive-Wave Amplifier

by J.F.Buckwatter & J.Kim, University of California, San Diego, USA

- ・要約: Trの入出力を伝送線路で接続した単位増幅器を縦続接続し、各段で前進波を加算、後進波を相殺する (Fig.29.3.1: CCWA)。12段構成、99GHzでG=26dB, 3dB-BW=14GHz(93~107GHz), GBW=290GHz, $S_{12} = -24\text{dB}$ at 99GHz。入出力反射損失は15dBと12dBより大。 $P_{1\text{dB}} = -0.1\text{dBm}$ 、 $P_d = 78+4\text{mW}$ (CCWA)
 - ・ $0.12\mu\text{m}$ SiGe BiCMOS($f_T=200\text{GHz}$)、2V、 $I_0=19.2/\text{CC}+19.9/\text{CE}+2\text{mA}$ 、チップ領域= $0.33\times 1\text{mm}^2$ (1段: $160\times 60\mu\text{m}^2$)
 - ・ $P_{1\text{dB}} = -0.1\text{dBm}$ 、NF=13dB at 99GHz
- ・ Fig.29.3.2の単位増幅器において、shunt-shunt active feedbackを構成しており、帰還利得 $A_v < 1$ で、 $\theta + \omega T_d = \pi$ and $\theta - \omega T_d = 0$ の時、すなわち線路長が波長/4の時に、前進波は増幅され、後進波は小さくなる。 $Q_1-g_m=60\text{mS}$ 、 $R_E=70\Omega$ の時、理想 $A_v=0.27$ で常に安定である。シミュレーションでは、1段当たり $S_{21}=2.3\text{dB}$ 、 $S_{12} = -3\text{dB}$ 、 $S_{11}=S_{22} < -9.8\text{dB}$ 、 $T_d=2.5\text{ps}$
 - ・ エミッタフォアに流す電流によって帰還利得を可変でき、電流を増やすと順方向利得が減り、GB積が大きくなる。
- ・ N段構成の総合利得はNに比例する。...通常の進行波増幅では $\log N$

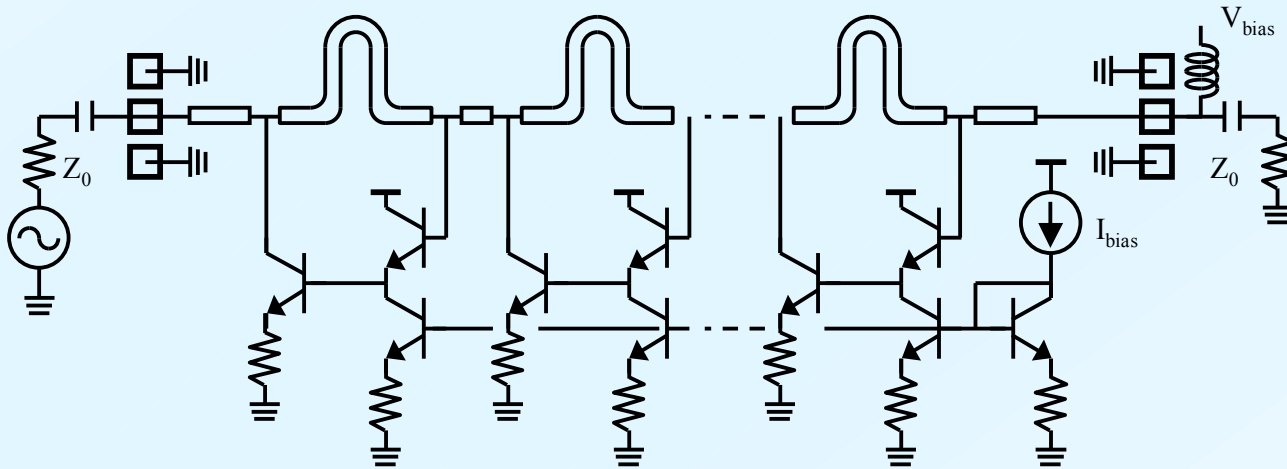


Fig.29.3.1 The cascaded constructive-wave amplifier (CCWA) schematic

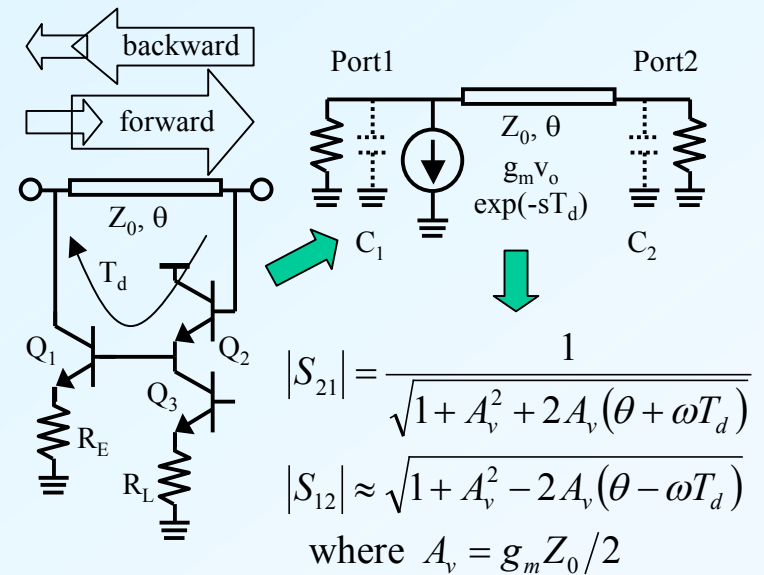


Fig.29.3.2

