

ISSCC 2009 報告書
(IEEE International Solid-State Circuits Conference)
無線通信関係一詳報-1

開催期間: 2009年2月8~12日 (主セッション: 2/9~11)

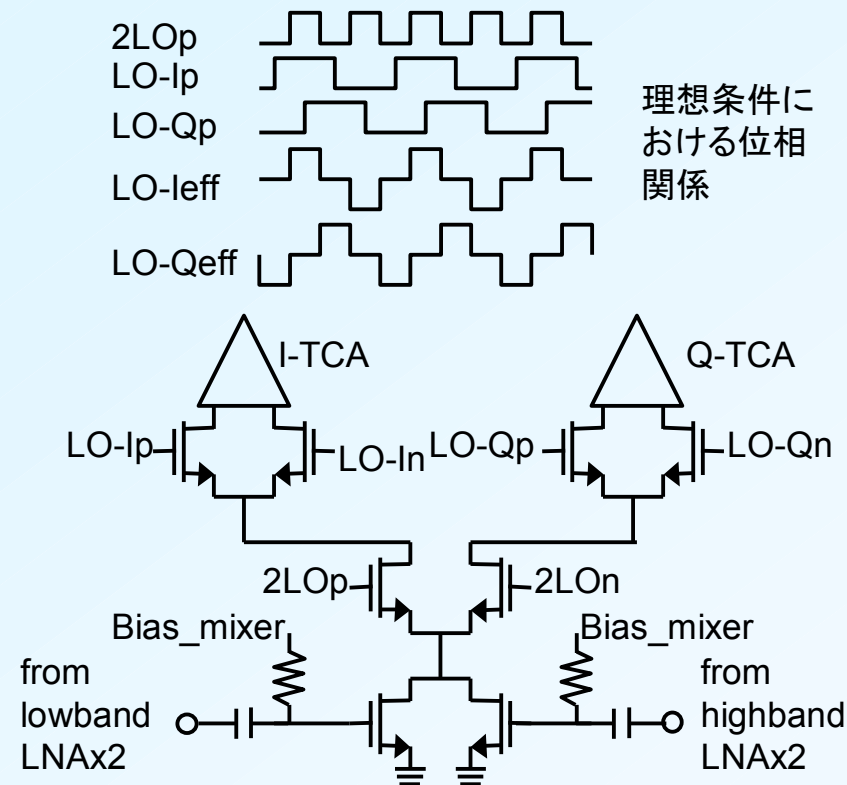
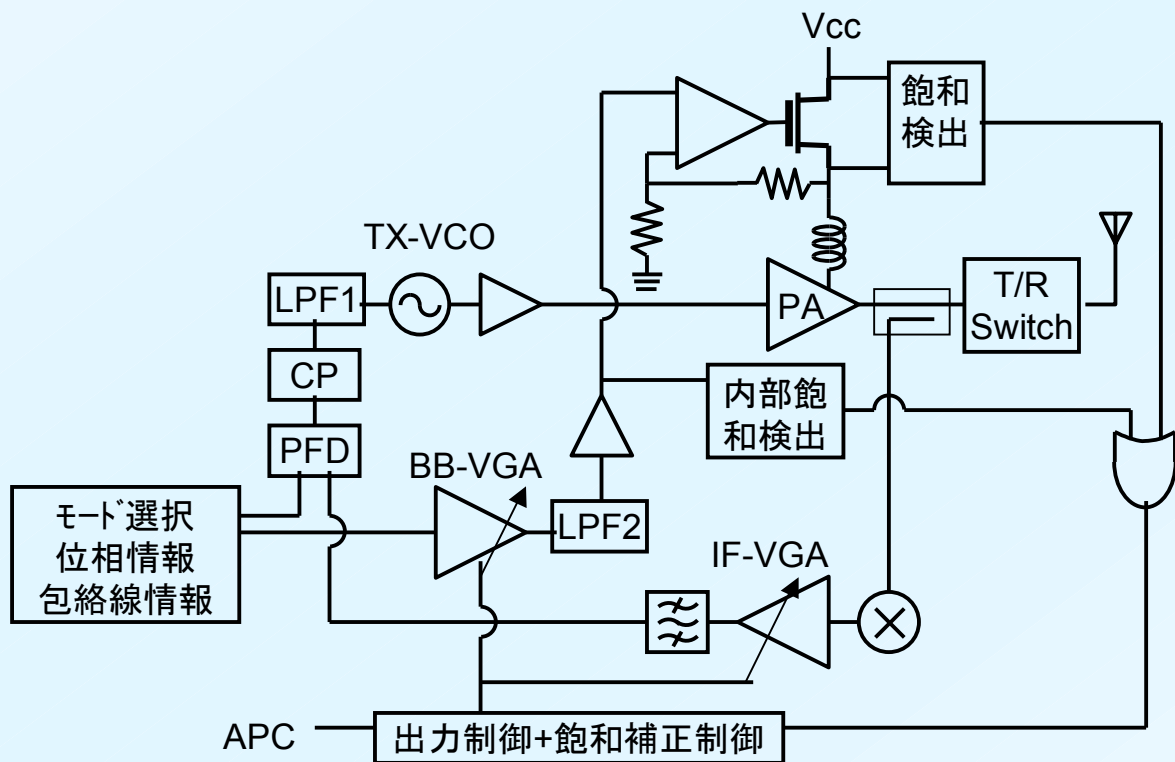
開催場所: USA サンフランシスコ, マリオット・ホテル

報告者: 中川准一

・ 引用: Digest of Technical Papers, 2009 IEEE ISSCC

6.1 “An Integrated Closed-Loop Polar Transmitter with Saturation Prevention and Low-IF Receiver for Quad-Band GPRS/EDGE” by R. Pullela, et.al., Skyworks Solution, USA

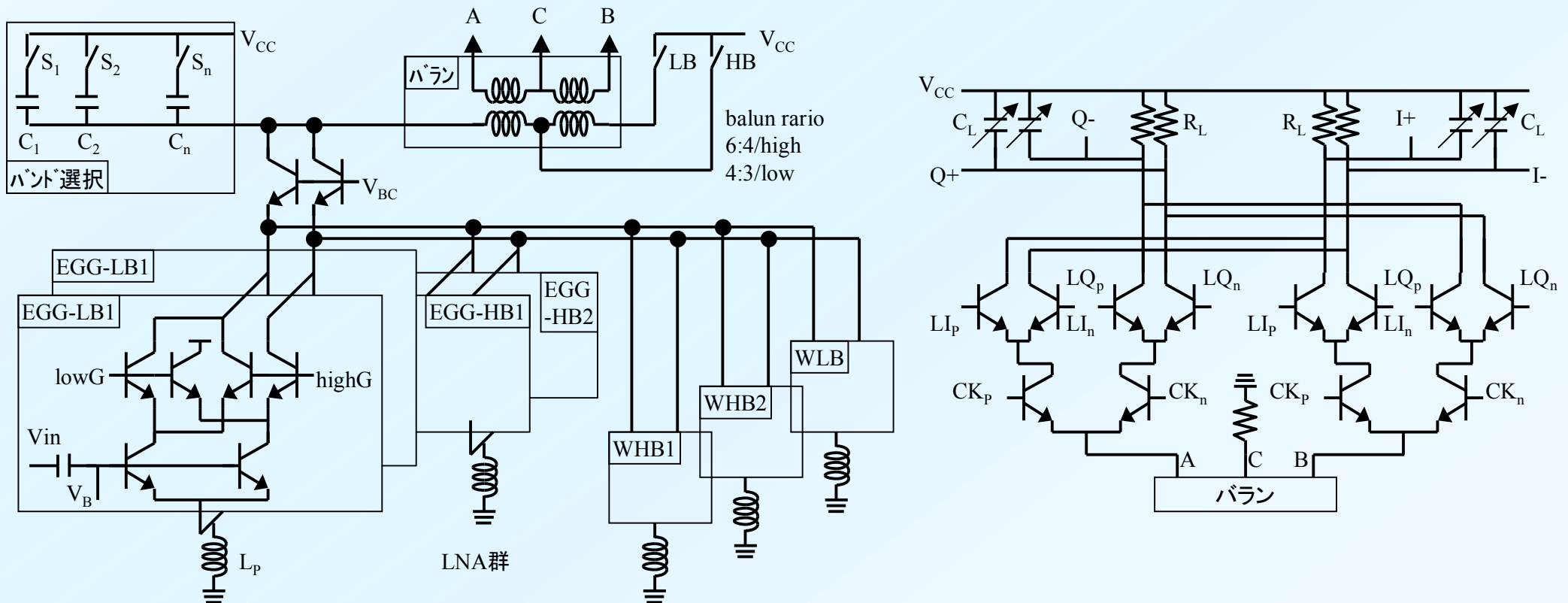
- 要約: 2.5G-GSM/GPRS/EDGE送受信部でBBとはDigRF interfaceを持つ。送信部: 極座標変調+帰還+飽和防止により高効率化を実現。受信系: 4x(SAW+LNA)+受信ミキサを2LO-LO駆動して低雑音化し、IFフィルタを動的利得・位相補正。Low-IF受信部に動的利得制御、位相補正機能を有する。再生分周器による帯分数分周でスプリアス低減。
 - 0.13 μ m CMOS、RF/アナログ部は2.6V、LO/クロック系は1.2V、受信部 $I_0=70$ mA、送信 $I_0=740$ mA/ローバンド 27 dBm、 $I_0=650$ mA/ハイバンド 26 dBm、チップ 11.2 mm 2
 - PA効率=26%/EDGE、42~47%/GSM、ハイ/ローバンド漏洩電力= -62-64dBc/30kHzBW @ 400kHz-offset、
 - ロー/ハイ受信感度<-110.4-109.7dBm with 5.5dB BB-SNR。 EVM=1.41.7%。
- 極座標変調+帰還+飽和防止の概略ブロック構成を下左図に示す。
- 2LO-LO駆動・差動受信ミキサの構成原理をシングル・エンド構成で下右図に示す。…スイッチトランジスタのフリッカ雑音を抑圧



6.2 A SAW-less Multiband WEDGE Receiver

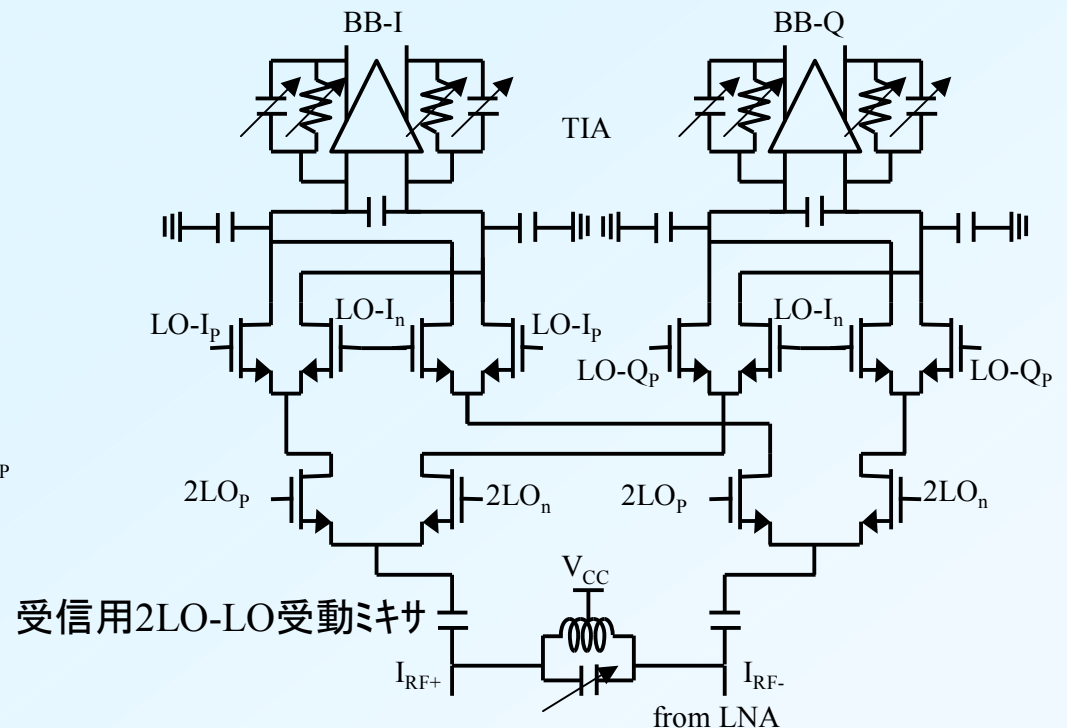
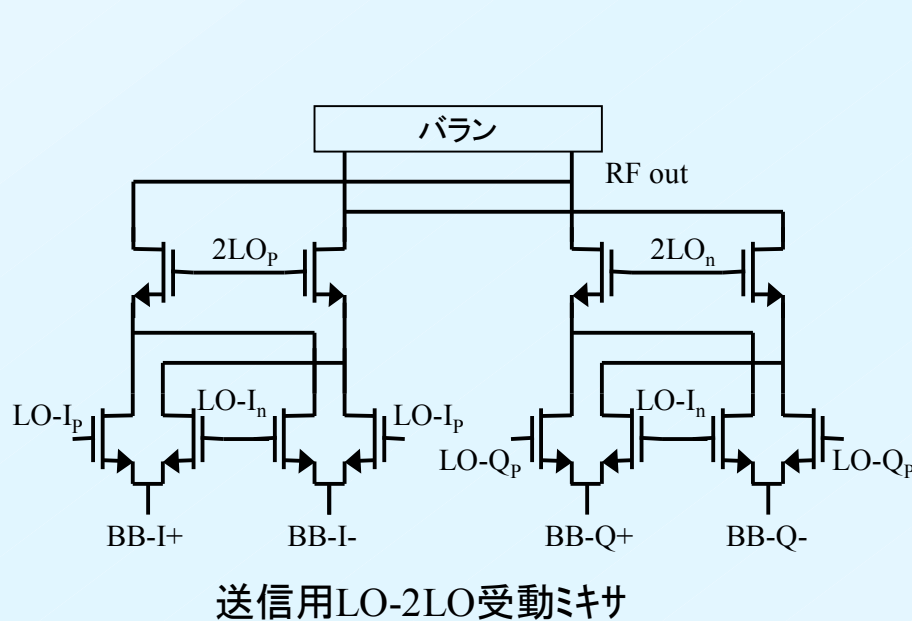
by O.Gaborieau, et.al., ST-NXP Wireless, France

- 要約: WEDGE用送受信機で受信部における広帯域同調バラン使用とBBフィルタの利得制御工夫によってTX段間SAWフィルタを不要とする。送信部: EGPRSは極座標変調、WCDMAは直接変換。zero-IF受信部はアンテナスイッチ後に7個のBPFとLNAを併設。WCDMA規格最大出力(24dBm)時のNF劣化は約0.6dB。10mm²の能動ダイと40mm²の受動ダイをフリップ・チップ・マウントし、高Q-L、整合回路、大容量を受動ダイに集積。
 - 0.25μm BiCMOS、1.8V & 2.7V、能動ダイの周りを受動代が囲み、パッケージ化。量産化。
 - 受信2G-ハイ/ローバンド: NF= 2.4/2.2dB、IIP2=69/60dBm、IIP3=-9/-10dBm、Pd=89.5/83.5mW。
 - 受信3G-ハイ/ローバンド: NF= 2.2/2.1dB、IIP2=62/58dBm、IIP3=-5/-8dBm、Pd=92/86mW。
 - (注) WEDGE: WCDMA/HSPA + GSM/GPRS/EDGE...この発表では、6,8,9 UMTSバンド+4GSM/EDGEバンド
- RX-FE構成を下図に示す。...バランはバンド切り替えと容量による同調、ミキサ出力でもRC最適化による妨害波抑圧。



6.3 Single-Chip Multiband WCDMA/ HSDPA/HSUPA/EGPRS Transceiver with Diversity Receiver and 3G DigRF Interface without SAW Filters in Transmitter / 3G Receiver Paths by T.Sowlati, et.al., Skyworks Solution, USA

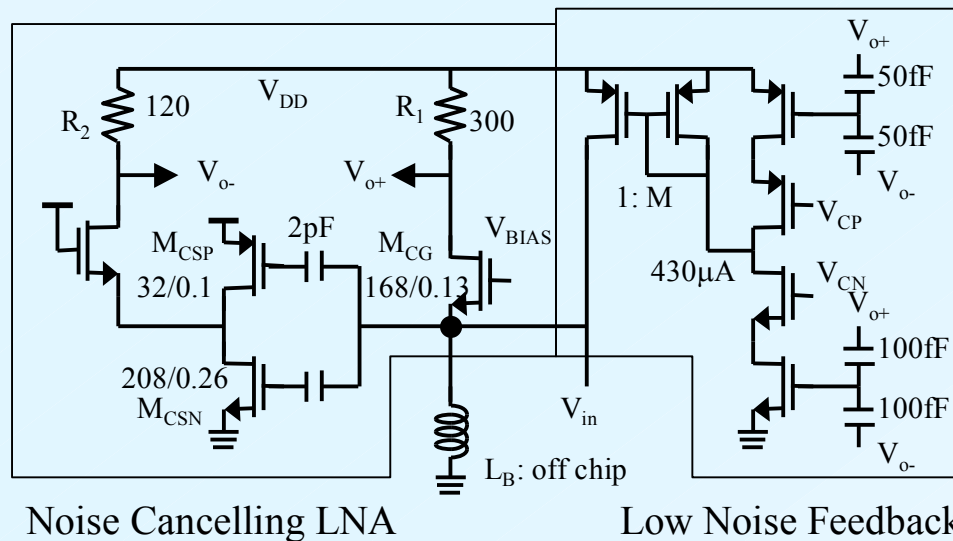
- 要約: 7主+4ダイバーシチ-WCDMAバンドと4-EGPRSバンドをかバー。送信部は2G-3G規格共にハイ+ローバンドに分け、LO-2LO受動ミキサで直接変換し、SAWフィルタなしで計5個の内蔵駆動段および外付けPAで増幅。受信部は2G:ローIF、3G:ゼロIFで、段間SAWフィルタなしでFEを工夫してIIP2 \geq 48dBm, IIP3= -5dBm。規定出力24dBm時のNF劣化は0.25dB
 - 0.13 μ m CMOS、2.6V、3G最大出力時の総電流 $I_0=230$ mA(電池からは135mA)、チップ =25mm^2
 - 送信部: 約60dBの閉ループ電力制御を含めて最大80dBの電力制御。GSMローバンドでTX雑音= -164dBc/ Hz @20MHz offset。
 - 受信部: GSM最大NF=2.6dB、WCDMA最大NF=2.5dB with duplexer isolation=55dB。
- 送信用LO-2LO受動ミキサの概略構成を下左図に示す。…位相雑音良好、I-Qアイソレーション良好。
- 受信用2LO-LO受動ミキサの概略構成を下右図に示す…線形性向上のため、入出力共に電流駆動として電圧振幅を小さくする。後段のTIAの雑音寄与を小さくするため、ミキサ入力ZをLC同調回路で高める。



12.1 A Low-Noise Active Balun with IM2 Cancellation for Multiband Portable DVB-H Receivers

by D.Mastantuono & D.Manstretta, University of Pavia, Italy

- ・要約: DVB-H TV受信機用。能動バランにより単入力-差動出力変換、広帯域整合と低雑音を達成。熱雑音相殺回路+出力コモンモード成分の入力帰還により、IP2=28dB(9dBの改善)を得る。IIP3=2.5dBm, NF=3.5~4.5dB, Pd=7.8mW
 - ・ 90nm CMOS、1.2V、 $I_0=6.5\text{mA}$ 、下左図の活性領域=0.075mm²
- ・ 下左図のLNAにおいて、入力整合は $G_{m,CG}=1/R_S$ 、平衡出力整合は $G_{m,CG}R_1=G_{m,CS}R_2=Av/2$ 。出力(V_{o+} , V_{o-})のコモンモード成分をMIM小容量結合で帰還回路で検出して入力に帰還することによって、差動出力のIM2を改善する。
- ・ ソース接地とゲート接地を含むNC-LNAにおける2次までの非線形コンダクタンスを $I_D=Gv_{in}+G'v_{in2}$ と表すと、入力整合条件を満足する歪み相殺するLNF回路の規格化伝達コンダクタンス α_{CANC} は式(1)で与えられる。
- ・ チャネル抵抗熱雑音を $4kTyg_m$ 、 $\beta=G_{m,CS}/G_{m,CG}$ 、電圧利得 A_v 、帰還回路カレントミラー比をMとすると、熱雑音によるNFを最小にする規格化伝達コンダクタンス α_{OPT} は式(2)で与えられる。
- ・ ソース接地段とゲート接地段の最適設計により、 α_{OPT} を α_{CANC} に等しくすることができ、IM2相殺と雑音最小化を同時に実現できる。



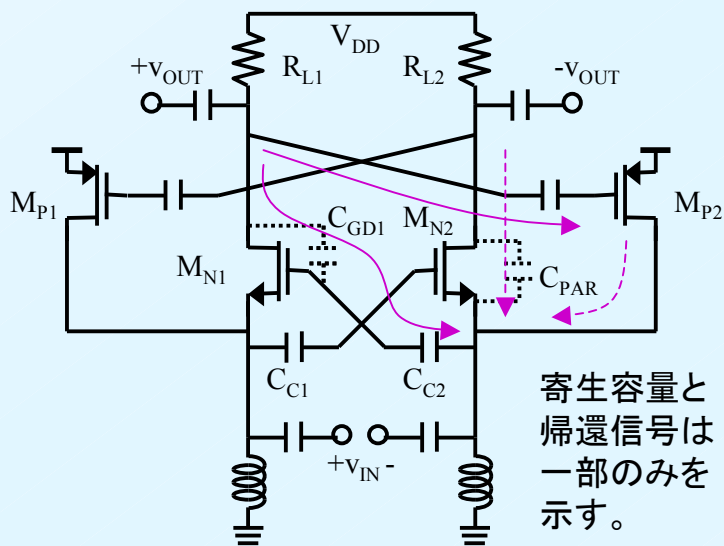
$$G_{m,FB}R_1 \equiv \alpha_{CANC} = \frac{2}{1 + \frac{G'_{CG}G_{CS}}{G_{CG}G'_{CS}}} \quad (1)$$

$$\frac{\alpha_{OPT}}{2} = \frac{\frac{\gamma}{\beta} - \frac{2}{A_v} + \frac{2}{A_v\beta} - \frac{2\gamma}{A_vM}}{\left(1 + \frac{1}{\beta}\right)\left(\gamma + \frac{2}{A_v}\right)} \quad (2)$$

12.2 A 3.6mW Differential Common-Gate CMOS LNA with Positive-Negative Feedback

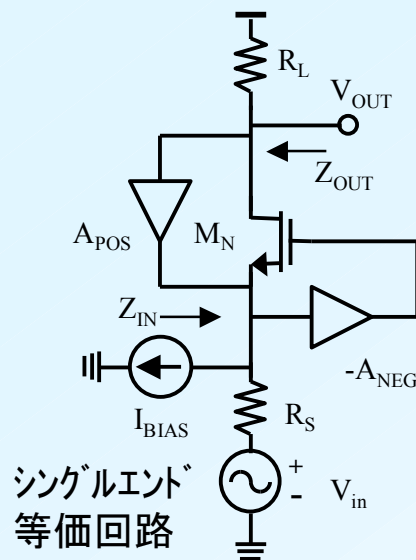
by S. Woo & A.Hajimiri, Georgia Institute of Technology, USA

- 要約: 正・負帰還を併用した差動 g_m ブーストCG-LNAによって利得向上と部分的雑音相殺を行い、CGの特徴である広帯域と線形性を損なわずに低消費電力を達成。最大 $G_V=21\text{dB}$, $NF_{\text{min}}=2\text{dB}$, $IIP3=-3.2\text{dBm}$ 、目標システム周波数: 300~920MHz
 - 0.18 μm CMOS、1.8V、 $I_0=2\text{mA}$ 、チップ寸法=0.65x0.51mm²
- 下左図のLNAにおいて、差動信号はNMOSのソースへ流れ、容量 C_C により反対のNMOSのゲートに結合し、**並-直列負帰還**を構成する。NMOSの出力はPMOSを介して反対のNMOSのソースに結合し、**並-並列正帰還**を構成する。
- 入力インピーダンスは $1/g_{mMn}(1+A_{\text{NEG}})(1-A_{\text{POS}})$ となり、 $A_{\text{NEG}}\approx(C_C-C_{gs})/(C_C+C_{gs})\approx 1$ 、 $A_{\text{POS}}\approx g_{mMn}R_L=0\sim 1$ である。
- 入力インピーダンスは、無帰還で R_L を除いた時のインピーダンスを Z'_{OUT} として、 $Z'_{\text{OUT}}(1+A_{\text{NEG}})(1-A_{\text{POS}})$ 。
 - $A_{\text{NEG}}=1$ 、 $A_{\text{POS}}=0.5$ の時、 $Z_{\text{IN}}=1/g_m$ 、 $Z_{\text{OUT}}=4Z'_{\text{OUT}}$ \rightarrow 入力整合時、 $g_m=20\text{mS}$
- LNAの実効伝達コンダクタンス G_M は式(1)で与えられ、チャネル熱雑音と負荷雑音を考慮したNFは式(2)で与えられる。式(2)で、 γ はNMOSの熱雑音係数、 α は g_m 対ゼロバイアスドレインコンダクタンス g_{d0} の比である。



→ 同相帰還信号
 - - - 逆相帰還信号

寄生容量と帰還信号は一部のみを示す。



シングルエンド等価回路

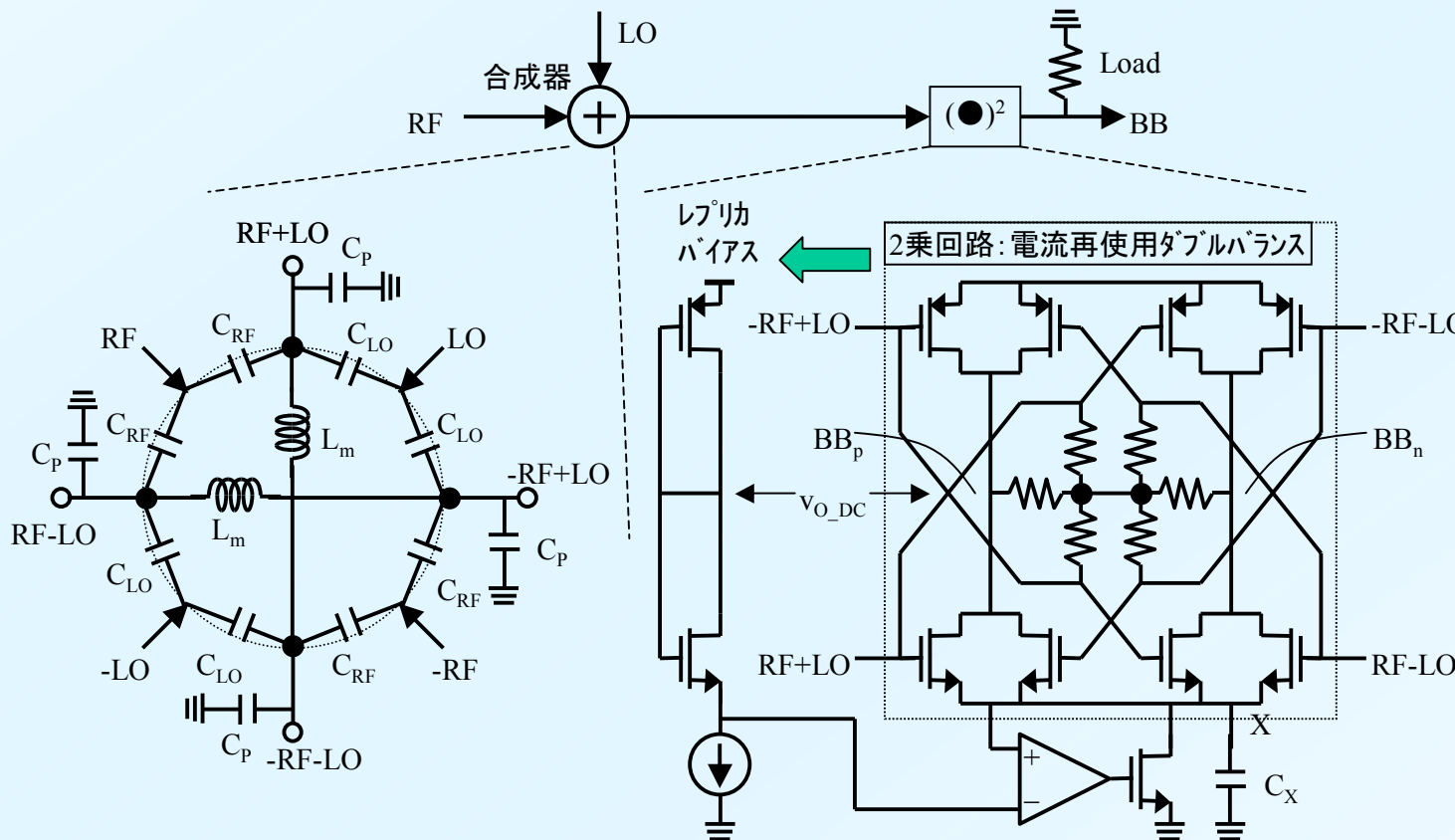
$$G_M = \frac{R_{IN}}{R_S + R_{IN}} g_{m,Mn} (1 + A_{\text{NEG}}) \approx g_{m,Mn} \quad (1)$$

$$F = 1 + \frac{\gamma(1 - A_{\text{POS}})}{\alpha(1 + A_{\text{NEG}})} + g_{m,Mn} R_S \frac{\gamma}{\alpha} + \frac{R_S}{R_L} (2 - A_{\text{POS}})^2 \quad (2)$$

M_N による雑音が抑圧される。 正帰還 M_P による R_L による

12.5 A 0.6V 380μW -14dBm LO-Input 2.4GHz Double-Balanced Current-Reusing Single-Gate CMOS Mixer with Cyclic Passive Combiner by J.Deguchi, et.al., Toshiba, Japan

- 要約: LO+RF信号の2乗回路において、循環(環状)受動入力信号合成器+電流再利用構成+線形向上レプリカバイアス回路により、LO電力= -14dBmで、変換利得=12.7dB, IIP3= -6dBm, DSB NF=11.8dB at 1MHz。フルトース応用。
 - 90nm CMOS、0.6V、 $P_d=380\mu W$ 、活性領域=0.3mm² 必要 $P_{LO} = -14dBm$ 、LOフィードスルー= -54dB
- 下図のミキサブロックにおいて、合成器はcyclic配置受動素子によって構成し、 L_m は入出力整合で共用し、入出力とも整合でき、受動素子のみで線形性が高くて低雑音であり、LOからRFへのフィードスルーが小さく、LOが小さくてよい。
- 下図のミキサブロックの2乗回路において、差動NMOS、差動PMOSが互いの負荷となり、抵抗を用いた図の構成でバイアス安定化回路不要。発生する不要成分 $(V_{G_DC}-V_X)^2$ によるノードXの電圧変動を抑えるために図のようなレプリカバイアスを用いた帰還回路を設け、線形範囲を1.5dB改善する。



$$BB_p = 2\alpha [2v_{LO}v_{RF} + (V_{G_DC} - V_X)^2 + v_{RF}^2 + v_{LO}^2] \quad (1)$$

$$BB_p = 2\alpha [-2v_{LO}v_{RF} + (V_{G_DC} - V_X)^2 + v_{RF}^2 + v_{LO}^2] \quad (2)$$

↓

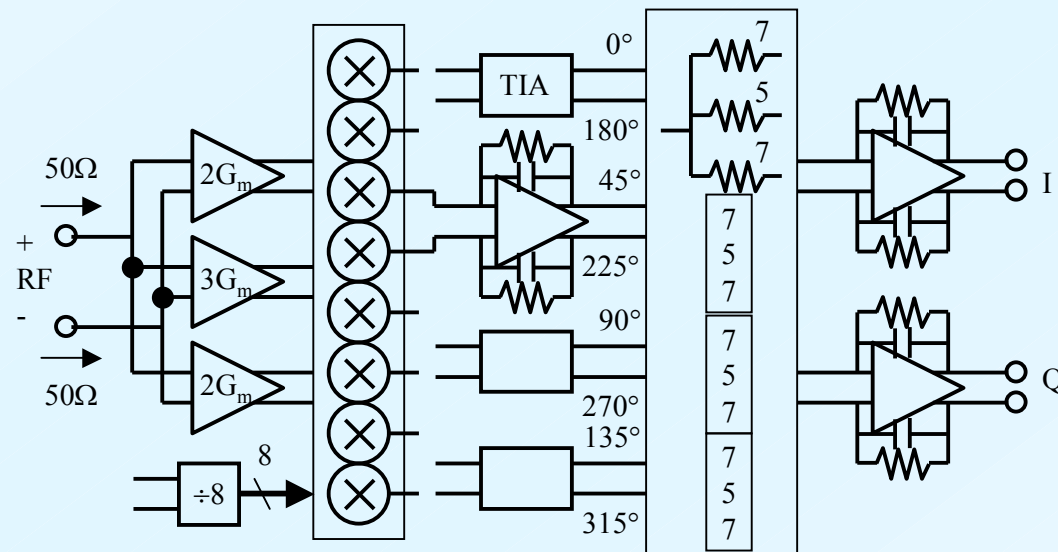
出力でフィルタ除去される。

ノードXの電圧変動抑圧で改善。

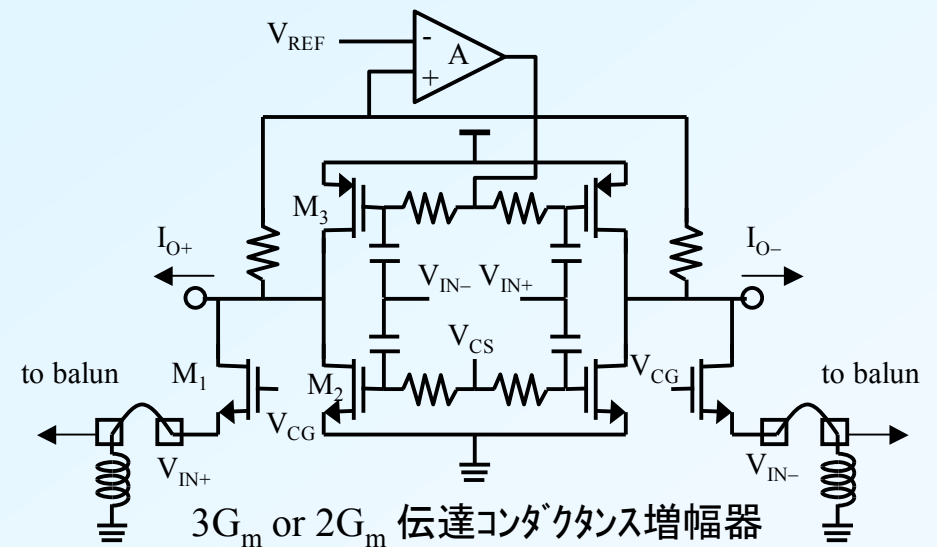
12.8 A Software-Defined-Radio Receiver Architecture Robust to Out-of-Band Interference

by Z.Ru, et.al., University of Twente, Netherlands

- 要約: 2段ホリフェーズ高調波除去ミキサを用い、校正なしで60dB以上の2~6次HRを得る。ブロッカー除去用LPFを有するIFで電圧利得を稼ぐ。0.4~0.9GHz-ゼロIF受信機構成で、 $G=34\text{dB}$, $\text{DSB NF}=4\text{dB}$, $\text{IIP3}_{\text{in-band}}=3.5\text{dBm}$, $\text{IIP2}=47\text{dBm}$
 - 65nm CMOS、1.2V、 $I_0=33(\text{analog})+8\sim 17(\text{クロックバッファ}+\text{分周器})\text{mA}$ 、活性領域=1mm²
 - $\text{IIP3}_{\text{out-of-band}}=18\text{dBm}$, $\text{IIP2}_{\text{out-of-band}}=51\text{dBm}$, $P_{1\text{dB}}=-22\text{dBm}$, IF BW=12MHz, $S_{11}<10\text{dB}$: 0.4~5.5GHz
 - $\text{HRR3}>60\text{dB}$, $\text{HRR5}>64\text{dB}$, $\text{HRR}_{\text{even}}>60\text{dB}$
- 下右図の伝達コンダクタンス型のLNTAを3個、下左図のように g_m に2:3:2の重み付けをして並列配置する。これは3次と5次高調波除去の重み付け1: $\sqrt{2}$:1を近似したものである。この近似誤差をより小さくするためにベースバンド・ホリフェーズフィルタで7:5:7の重み付けを行う。詳細を次ページに示す。2段階処理により、 $41/29=1.1438$ となって誤差は0.028%となる。
- 受動ミキサ(トランスマッション・ゲート)を8相LO($8f_c$)で駆動することにより、2~6次の高調波を抑圧。
- 下右図のゲート接地段と交差結合インバータで構成する伝達コンダクタンス型のLNTAの実質負荷は、受動ミキサ後段のTIA(伝達インピーダンス)でその入力インピーダンスが低いので、LNTA出力における振幅が小さく、歪が小さい。



受信機(試作チップ)概略構成



3G_m or 2G_m 伝達コンダクタンス増幅器

12.8 (続き)

- ・ LNTA段の重み付け誤差を α 、ベースバンド・ポリフェーズフィルタの重み付け誤差を β とする。
- ・ 振幅1のRF信号は8相LO ($8f_c$) でミキシングされるので、等価的に中段図のようなLO波形でミキシングされることになる。
- ・ 下段のベクトル図のように、3次と5次高調波の誤差は、整数重み付けを2段階で行うことによって各段誤差の積となるので、1段処理の場合より小さくなる。
 - ・ 2段目の処理を適応デジタル処理する発表(12.9)では、ほぼ同じか少ない消費電流で、より大きいin-band IIP2/3を得ている。

