

ISSCC 2009 報告書  
(IEEE International Solid-State Circuits Conference)  
無線通信関係一速報

開催期間:2009年2月8~12日(主セッション:2/9~11)

開催場所:USA サンフランシスコ, マリオット・ホテル

- ・ 発表件数:203件(2008:237件)
  - アメリカ:38%(43%)、欧州:26%(29%)、アジア:36%(28%)・・・アジア増加
  - 大学関係:53%(47%)、企業:47(53%)
- ・ セッション数:29セッション(2008:32)
- ・ 参加者:2008年の8割程度の印象

ATNメンバーが4人参加

- ・ ATNから
  - 麻殖生健二:ADC/DAC
  - 中川准一:無線通信
- ・ 大学から
  - 小林春夫群馬大学教授:ADC/DAC、離散回路
  - 堀田正生武蔵工大教授:ADC/DAC、アナデジLSI
- ・ 速報では、無線通信関連発表のほとんど全てを概説する。・・・報告者:中川
- ・ 引用:Digest of Technical Papers, 2009 IEEE ISSCC

## 無線通信全体の動向

- ・ ISSCC全体の今年のテーマは、“Adaptive Circuits and Systems”
  - ・ 変化性(対応性)、信頼性、省電力(低電圧)動作・・・環境対策と高・多機能化
- ・ 基調講演4件のうち3件は今年のテーマに沿った話
  - ・ 残り1件は、「工学離れ」について・・・「企業、技術者が子供に興味を持たせるアクティビティを普段から行う必要がある」と喚起している。
- ・ ミリ波領域、UWBなど新しい分野開拓時の技術的面白さが減り、成熟化を目指した地道な開発段階に入った。
- ・ 微細化の進展により、多機能化、外付け部品削除を含めた低価格化指向がいつそう進む。
  - ・ PTV適応制御による歩留まり向上と試験コストの低減、再構築化による多様性＋低電力化
- ・ ミリ波領域の回路開発が一層本格化。
  - ・ 自動車レーダー、高速度通信用の送受式部の1チップ化、更にはベースバンドを含めたシステム・オン・チップ化、および電力増幅器の高出力化が進む。
- ・ WLAN、UWBの単独セッションがなくなる。・・・WLAN SoCの開発一段落
- ・ RFインダクタ形状は8角形が主流に

・ 以下の表は、論文名を読んだことを前提にした内容・特徴の記述になっています。

・ 発表番号を黄色網掛けしたものは別途詳細報告する予定です(変更の可能性あり)。

Session 6: Cellular and Tuner : 2/9 PM

- ・多機能化によるIC価値(価格)の向上 (→ 端末・システムの低価格化に貢献)
- ・多モード、多バンド対応で段間SAWフィルタを駆逐する対策が活発化。・・・発表6.2~6.5
  - ・(注) WEDGE: WCDMA/HSPA + GSM/GPRS/EDGE・・・1~6 and 8~10 UMTSバンド+4GSM/EDGEバンド

No.	論文名	発表機関	プロセス他	内容、特徴
6.1	An Integrated Closed-Loop Polar Transmitter with Saturation Prevention and Low-IF Receiver for Quad-Band GPRS/EDGE	Skyworks Solutions (USA)	0.13μm	GSM/GPRS/EDGE送受信部。極座標変調+帰還+飽和防止によりEDGE PAの効率26%、漏洩電力-64dBc/30kHzBW at 400kHz-off。2LO-LO受信ミキサによる低雑音化。Low-IF受信部に動的利得制御、位相補正機能を有する。再生分周器による帯分数分周でスプリアス低減。
			2.6V, 1.2V 11.2mm <sup>2</sup>	
6.2	A SAW-less Multiband WEDGE Receiver	ST-NXP Wireless (France), Ericsson Mobile (Sweden)	0.25μm BiCMOS	(3+4)バンドWEDGE zero-IF受信。広帯域同調バラン+BBフィルタ, Pd=92mW, NF=2.2dB, IIP2>48dBm, IIP3= -8dBm。送信部: EGORSは極座標変調、WCDMAは直接変換。10mm <sup>2</sup> の能動ダイと40mm <sup>2</sup> の受動ダイをフリップ・チップ・マウント、高Q-L、整合回路、大容量を受動ダイに集積。
6.3	Single-Chip Multiband WCDMA/HSDPA/HSUPA/EGPRS Transceiver with Diversity Receiver and 3G DigRF Interface without SAW Filters in Transmitter / 3G Receiver Paths	Skyworks Solutions (USA)	0.13μm	7+4ダイバースチ-WCDMAバンド、4-EGPRSバンド。受信部は2G: ρ-IF、3G: ゼロIFで、段間SAWフィルタなしでFEを工夫してIIP2=48dBm, IIP3= -5dBm。送信部はハイ+ローバンドに分け、LO-2LO受動ミキサで直接変換し、SAWフィルタなしで計4個のPAで増幅。閉ループ電力制御を行い、ローバンドで20MHzオフセットで-164dBc/ Hz。規定出力時のNF劣化は0.25dB
			1.8V 25mm <sup>2</sup>	
6.4	Single-Chip RFCMOS UMTS/EGSM Transceiver with Integrated Receive Diversity and GPS	Qualcomm (USA)	0.18μm	1~6 and 8~10 UMTSバンド+4GSM/EDGEバンド対応。GPSとUMTSの受信ダイバースチで受信部共用。IM2校正と高C/N-PLL+LOにより、二つのUMTSバンドを除いて送受共に段間SAWフィルタなし。
			5.6x5.6 mm <sup>2</sup>	
6.5	A 45nm Low-Power SAW-less WCDMA Transmit Modulator Using Direct Quadrature Voltage Modulation	NXP Semicon. (Netherlands)	45nm	受動電圧ミキサによる直接直交電圧変調器を25%デューティのLOで駆動し、ACPR= -52dBc, LO 漏れ= -49dBc, EVM=0.97%。変調器出力1dBmで40MHz以上のオフセットで-159dBc/Hzを達成。Pd=22mW
			1.1V, 1.8V mm <sup>2</sup>	
6.6	An Embedded 65nm CMOS Low-IF 48MHz-to-1GHz Dual Tuner for DOCSIS-3.0	Broadcom (USA)	65nm	DOCSIS-3.0ケーブルモデム用チューナー。2x32MHz-BW。SNR=50dB QAM peak, 感度= -73dBm 256QAM。単一チューナー面積=5mm <sup>2</sup> , Pd=750mW。
			1.8V	
6.7	A 1.2V 67mW 4mm <sup>2</sup> Mobile ISDB-T Tuner in 0.13μm CMOS	MaxRise (Taiwan)	0.13μm	ISDB-T用1セグメントRFチューナー。ρ-IF (fc=500kHz)。NF=3dB/3.4dB at 470/812MHz, Pd=67mW
			1.2V 4mm <sup>2</sup>	

Session 11: Trends in Wireless Communications : 2/10 AM

- ・超高速、あるいは超低消費電力に関する発表が中心。 ・ UWBのsensing & positioning 応用・・・11.2～11.3
- ・有機トランジスタ・CMOS・・・11.6～11.7

No.	論文名	発表機関	プロセス他	内容、特徴
11.1	A GHz <b>Spintronic</b> -Based RF Oscillators (spintronic: 電子のスピン)	CEA-LETI-Minatec (France), Hitachi (USA)	65nm	磁気トンネル接合(MTJ)スピントルク発振器(STO)により、4~10GHzで動作し、出力-45dBm、面積200x200nm <sup>2</sup> 、同調感度: 5~10MHz/Oe, 0.4~1.6GHz /mA。STOを注入同期発振器(ILO)と一緒に集積化し、7.3GHz-ILOの同調範囲は660MHz。コア部Pd=0.15mW
11.2	A <b>Remote-Powered</b> RFID Tag with 10Mb/s <b>UWB</b> Uplink and -18.5dBm Sensitivity UHF Downlink in 0.18μm CMOS	Royal Institute of Tech. (Sweden), KU Leuven (Belgium)	0.18μm 4.5mm <sup>2</sup>	超低消費電力、正確な位置検出を目的として <b>アップリンクはインパルスUWB</b> 、ダウンリンクはUHF。UHFでリモート給電し、消費電力14.1μWで最大データ速度=10Mb/s、動作範囲=13.9m。900MHz-ISMバンド。パルス速度100MHz時のPd=918μWで9.2pJ/pulse
11.3	A Pulsed <b>UWB</b> Receiver SoC for <b>Insect Motion Control</b>	MIT and Univ. of Arizona (USA)	90nm 1.3V, 2.5mW 2.6x2.1mm <sup>2</sup>	人工蛾に組み込む。重さ=1g、瞬時Pd=8~22.7mW。3~5GHz非コヒーレント <b>パルスUWB</b> でビット当り省電力0.5~1.4nJ/b。信号を差動化。16Mb/sで10 <sup>-3</sup> BER時の感度= -76dBm
11.4	Towards <b>Terahertz</b> Operation of CMOS	Univ. of Florida and TI (USA)	45,90,130nm	化学・医療応用。polysilicon gate separated Schottky barrier diode (f <sub>T</sub> =2THz) + on-chip antenna at 100~400GHz。250GHz detector+ frequency doubler+ <b>410GHz</b> oscillator+210GHz 変調信号発生器
11.5	A 2.75mW Wideband Correlation-Based Transceiver for <b>Body-Coupled Communication</b>	Philips Research (Netherlands)	0.13μm 1.2V, 0.19mm <sup>2</sup>	帯域=1~30MHz、容量結合データ速度=8.5Mb/sを相関法による同期とデータ検出によって達成。感度=350μVpp at 10 <sup>-3</sup> BER, Pd=2.75mW
11.6	A 128b <b>Organic RFID Transponder</b> Chip, including Manchester Encoding and ALOHA Anti-collision Protocol, Operating with a Rate of 1529b/s	IMEC (Belgium) Polymer Vision (Netherlands)	5μm organic 24V	搬送周波数13.56MHz。論理部は1286個のpentacene p-Trで形成、24V動作、データ速度=1529b/s。write-once-read-many メモリ+プラスチックトランスポンダも実現。
11.7	<b>Organic CMOS</b> Circuits for RFID Applications	PolyIC (Germany)	organic CMOS	4b RFID トランスポンダで搬送周波数13.56MHz、CLK=196Hz。VDD= -20V。
11.8	<b>Silicon-Resonator</b> -Based 3μA Real- Time Clock with +/-5ppm Frequency Accuracy	CSEM and EPFL (Switzerland)	1V, 3μA 4x4x1.2mm <sup>3</sup>	960kHzで動作する <b>AIN</b> 圧電駆動Si発振器から温度補償した32768Hz-RTCを生成。温度依存フクショナル分周と共振器負荷容量の <b>オン・オフ・デュティ</b> を変えて温度補償。温度変化の大きいRC制御リング発振器により0.02°Cの温度分解能を実現。 <b>+5ppm</b>
11.9	A 500μW <b>Neural Tag</b> with 2μV <sub>rms</sub> AFE and Frequency-Multiplying MICS/ISM FSK Transmitter	Univ. of Washington (USA)	0.13μm 2.5x1mm <sup>2</sup>	省略

Session 12: RF Building Blocks : 2/10 AM

- ・ 目標: 低消費電力、小面積、高集積、外付け部品低減、広帯域 → 回路アーキテクチャの工夫
- ・ SDR: ソフトウェア無線用に帯域制限するフィルタを減らす。...12.8~12.9

No.	論文名	発表機関	プロセス他	内容、特徴
12.1	A Low-Noise Active Balun with <b>IM2 Cancellation</b> for Multiband Portable <b>DVB-H Receivers</b>	Univ. of Pavia (Italy)	90nm 1.2V	能動バランにより単入力-差動出力変換、広帯域整合と低雑音を達成。 <b>熱雑音相殺回路+出力コモンモード成分の入力帰還</b> により、IP2=28dB (9dBの改善)を得る。IIP3=2.5dBm, NF=3.5~4.5dB, Pd=7.8mW
12.2	A 3.6mW Differential Common-Gate CMOS LNA with <b>Positive-Negative Feedback</b>	Samsung RFIC Design Center (USA)	0.18μm 1.8V, 2mA	正・負帰還を併用して利得向上、部分的雑音相殺、CGの特徴である広帯域と線形性を損わずに低消費電力を達成。G <sub>v</sub> =21dB, NF <sub>min</sub> = 2dB, IIP3= -3.2dBm
12.3	A Compact Low-Noise <b>Weighted Distributed Amplifier</b> in CMOS	Calif. Inst. Tech. (USA)	0.13μm 17mW 0.43mm <sup>2</sup>	雑音に最適化したアナログ有限インパルス応答(FIR)を加重分布増幅器に適用し、所定帯域で雑音を抑圧する。ESDも実装。B=1~10.5GHz, NF <sub>min</sub> =2.5dB, G <sub>p</sub> =11~13dB. 巻き線Lを正相互結合させて小型化。
12.4	A 0.2-to-2.0GHz 65nm CMOS Receiver <b>without LNA</b> Achieving >11dB IIP3 and <6.5dB NF	Univ. of Twente (Netherlands)	65nm 67mW 0.9x1.1mm <sup>2</sup>	<b>4相-25%デュティQ受動ミキサ</b> を変換損失と雑音折り返しに対して最適化し、SFDR=79dB in 1MHzのダイレク受信機を構成。抵抗負帰還によるIF増幅器と組み合わせ、G>19dB, NF<6.5dB, IIP3>11dBm, IIP2>65dBm
12.5	A <b>0.6V</b> 380μW -14dBm LO-Input 2.4GHz <b>Double-Balanced Current-Reusing</b> Single-Gate CMOS Mixer with Cyclic Passive Combiner	Toshiba (Japan)	90nm 0.6V 0.3mm <sup>2</sup>	LO+RF信号の <b>2乗回路</b> において、 <b>循環(環状)受動入力信号合成器+電流再利用構成+線形向上レプリカバイアス回路</b> により、LO電力= -14dBmで、変換利得=12.7dB, IIP3= -6dBm, DSB NF=11.8dB at 1MHz,
12.6	A 4.7GHz <b>Fractional Frequency Divider with Digital Spur Calibration</b> in 45nm CMOS	Intel (USA) Milano Polytech. Univ. (Italy)	45nm 1.1V	WiFi/WiMax用で <b>LOリングを防ぐため、デジタル制御による帯分數分周器</b> を構成。デジタル校正としてサブps分解能の確率的TDCを用いて位相不整合とフラクショナル・スプリアスを抑圧。フラクショナル・スプリアスの平均は -50dBc@3.8GHz and -59dBc@2.5GHz (σ=2dBc)
12.7	A 0.75V 325μW 40dB-SFDR Frequency -Hopping Synthesizer <b>for Wireless Sensor Networks</b> in 90nm CMOS	Eindhoven Univ. Tech., etc. (Netherlands)	90nm 325μW, 0.75V	ベースバンドI/Q周波数ホッピング・シンセサイザはSSBミキサ、Walshシェイピング、プログラマブル・マッチ・フィルタ、可変分周器で構成。
12.8	A Software-Defined-Radio Receiver Architecture <b>Robust to Out-of-Band Interference</b>	Univ. of Twente (Netherlands)	65nm 1.2V, 50mA	<b>2段ホリフェーズ高調波除去ミキサ</b> を用い、 <b>校正なしで60dB以上の2~6次HR</b> を得る。ブロッカー除去用LPFを有するIFで電圧利得を稼ぐ。0.4~0.9GHz-ゼロIF受信機構成で、G=34dB, NF=4dB, IIP3=3.5dBm, IIP2=47dBm
12.9	A 400-to-900MHz Receiver with <b>Dual-Domain Harmonic Rejection</b> Exploiting Adaptive Interference Cancellation	Univ. of Twente (Netherlands)	65nm 1.2V, 28mA	RF段の直接変換HRミキサとデジタル段の適応型干渉相殺法(ソフトウェア)の併用で <b>3,5次HR&gt;80dB</b> を得る。G=27dB, NF=4dB, IIP3=6dBm, IIP2=52dBm

Session 14: Digital Wireless and Reconfigurability : 2/10 PM

- センサネットワーク用でアナログあるいはデジタル領域での多並列処理によって微少消費電力化を達成・・・14.1～14.2

No.	論文名	発表機関	プロセス他	内容、特徴
14.1	A Reconfigurable 0.13 $\mu$ m CMOS 110pJ/pulse Fully Integrated IR-UWB Receiver for Communication and Sub-cm Ranging	KU Leuven (Belguim)	0.13 $\mu$ m	データ受信、同期、正確な測距用のアルゴリズムを持つ再構築可能なアナログ・フロントエンドとデジタル・バックエンド構成。無線距離=10m。最小精度1.8mmで、サブcmを660nJ/rangingで達成。受信BPSKパルスを時間の異なる時間窓を通したLOとの相関を並列処理。
			1.2V 4.52mm <sup>2</sup>	
14.2	A 0.55V 16Mb/s 1.6mW Non-Coherent IR-UWB Digital Baseband with +/-1ns Synchronization Accuracy	MIT (USA)	90nm	修正同期符号を用い、整合フィルタに代わって2次相関器を高並列デジタル処理で構成し、31.2nsの積分期間で+/-1ns同期精度を得る。同期時間は従来より11倍高速化。
			0.55V, 1.6mW	
14.3	A 110nm RFCMOS GPS SoC with 34mW - 165dBm Tracking Sensitivity	MediaTek (Taiwan)	0.11 $\mu$ m	1575.42MHz-L1band GPS。ベースバンド構成を相関効率と消費電力に最適化し、またドップラシフト除去器を2段設けて最高のTTFF (Time-to-First-Fix)を得る。消費電力:トラッキング時=34mW、捕捉時=45mW、トラッキング感度= -165dBm、NF=3.2dB
			17.3mm <sup>2</sup>	
14.4	A 0.13 $\mu$ m CMOS 655Mb/s 4x4 64-QAM K-Best MIMO Detector	Univ. of Tronto (Canada)	0.13 $\mu$ m	第4世代:1G/sのサービスを目指す開発。4x4 MIMOでK=10の探索アルゴリズムをスケラブル、パイプライン方式で構成し、270MHzクロックで655Mb/sのデータ速度をSNRに無関係に得る。これまでの報告と比較してスループットは5.8倍、ビット辺り消費電力は1/3。
			1.3V 0.9mm <sup>2</sup>	
14.5	A 1GHz Digital Channel Multiplexer for Satellite Outdoor Unit Based on a 65nm CMOS Transceiver	STMicroelectronics (France)	65nm	衛星デジタルTV受信アンテナ組み込み用。省略
			2電源	
14.6	A 300mW 494GOPS/W Reconfigurable Dual-Supply 4-Way SIMD Vector Processing Accelerator in 45nm CMOS	Univ. Twente NXP Semiconductors (Netherlands)	45nm	省略
			1.1V	

\* IR: Impulse Radio, MIMO: Multiple-Input-Multiple-Output, SIMD: Single Instruction / Multiple Data

Session 16: High-Speed and mm-Wave Circuits : 2/10 PM

- ・ ミリ波応用の基本機能ブロックである分周器、あるいはPLLが発表の中心・・・16.2~16.5

No.	論文名	発表機関	プロセス他	内容、特徴
16.1	An 18GHz Duobinary Receiver with a CDR-Assisted DFE	NEC (Japan)	90nm	チップ間伝送。省略
			1.2V 480x420 $\mu\text{m}^2$	
16.2	A 43.7mW 96GHz PLL in 65nm CMOS	National Taiwan Univ. (Taiwan)	65nm	W-band(75-111GHz)システム対応を目指す。差動交差結合VCOの低消費電力化目的で能動・受動デバイス(集中定数L, 67.5pH, Q=34)を最適化。256分周器を注入同期型分周器(ILFD)+差動ILFD+CML分周器+単相分周器で構成して低電力化。同期範囲=95.1~96.5GHz、基準スプリアス< -50dBc。位相雑音= -75.2dBc/Hz @1MHz off
			1.2V, 43.7mW 1x0.7mm <sup>2</sup>	
16.3	An Array of 4 Complementary LC-VCOs with 51.4% W-Band Coverage in 32nm SOI CMOS	IBM (USA)	32nm	広帯域同調を目指し、4個の差動交差結合インバータ-LC-VCOアレイを構成。同調範囲=83.2~96.7GHz / 100.1~104.3GHz。位相雑音= -75.2 dBc/Hz @10MHz offset at 104GHz。VCO面積=40x35 $\mu\text{m}^2$ 。厚い酸化膜FETをバルクターとして用いて漏れ電流を最少化。
			1.2V	
16.4	A mm-Wave CMOS Multimode Frequency Divider	National Taiwan Univ. and CIC (Taiwan)	1.3 $\mu\text{m}$	38GHz & 60GHzアンライセンストバンド応用を目指す。1/2と1/3で動作する注入同期LC分周器(ILFD)を構成。差動交差結合VCOの定電流源に2倍信号を注入、Lに結合する変成器から3倍信号注入。0dBm入力時、1/3同期範囲: 53.88~57.84GHz、1/2同期範囲: 35.6~39.3GHz
			1V, 3.12mW 0.023mm <sup>2</sup>	
16.5	A 128.4-to-137.00GHz Injection-Locked Frequency Divider in 65nm CMOS	National Taiwan Univ. (Taiwan)	65nm	分布型LC(各2個x差動対)を用いた差動交差結合VCOにおいて、各LC対毎に差動交差結合を構成し、かつそれぞれに注入するトランジスタを別構成にする。注入電力6dBmで動作範囲128.24~137GHz。
			1.1V, 5.5mW 0.32x0.16mm <sup>2</sup>	

Session 18: Ranging and Gb/s Communication : 2/10 PM

- 自動車レーダー用送受信部・・・18.1~18.3
- ミリ波領域におけるSoC・・・18.4~18.5

No.	論文名	発表機関	プロセス他	内容、特徴
18.1	A Fully Integrated 24GHz UWB Radar Sensor for Automotive Applications	Univ. of Catania (Italy) STMicroelectronics (Italy)	0.13μm SiGe BiCMOS	送信は0.5ns / 1ns-UWB-BPSKパルスを送信、送信スペクトルはETSIマスクを満足。受信機は直接変換後、遅延した送信パルスと受信パルスによるアナログ相関方式。2.5V、148mA、9mm <sup>2</sup>
18.2	A Single-Chip Dual-Band 22-to-29GHz / 77-to-81GHz BiCMOS Transceiver for Automotive Radar	UC Irvine (USA)	0.18μm BiCMOS 3.9x1.9mm <sup>2</sup>	VCO,PA, LNAを除いて両バンドで回路共用、送受共に直接変換。測距範囲と分解をあげるため、パルス繰り返し周波数=1MHz~1.5GHz、パルス幅=200ps~2ns、遅延=1ns~0.3μsで可変。受信機の変換利得=35/31dB & NF=4.5/8dB in two bands、受信時の2バンド・アイソレーション= -30dB。2バンドにおけるPA利得=18/10dB、P <sub>1dB</sub> =14.5/10.5dBm, Pd=0.54/0.615W
18.3	A 77GHz Transceiver in Standard 90nm CMOS	Fujitsu (Japan)	90nm 920mW 2.4x1.2mm <sup>2</sup>	FM-CW自動車レーダー用送受信機:38.5GHz信号源+直接変換送信部+直接変換受信部。73.5~77.1GHzにおける送信電力3.3~ 6.3dBm、SSB位相雑音-83dBc/Hz at 1MHz。受信変換利得=2+-1.5dB at 76~77GHz
18.4	A 1.1nJ/b 802.15.4a-Compliant Fully Integrated UWB Transceiver in 0.13μm CMOS	CEA-LETI-Minatec (France)	0.13μm 1.2V 8mm <sup>2</sup>	コヒーレント、非コヒーレントの2モード・フロントエンドを持ち、OOK, PPM, DBPSKベースバンド・モデムを内蔵。4~5GHz用UWBインパルス・ラジオ。建物内の測距精度30cm、最大データ速度31Mb/s時の消費エネルギー=1.1nJ/b、347kb/s時の消費エネルギー=130nJ/b
18.5	A 90nm CMOS Low-Power 60GHz Transceiver with Integrated Baseband Circuitry	UCB (USA)	90nm 1.2V	RF+LO+PLL+BB。送受共に直接変換で、送信変換ミキサに8ビットDAC機能を組み込み、その電流をバランで加算。受信部にはアナログ位相回転器とDFEを組み込む。10dBm送信時のPd=170mW。受信時のPd=138mW。I/Q-ch個々で5Gb/sの送信。1mの距離、10 <sup>-11</sup> BERで4Gb/s-QPSK受信。
18.6	A Low-Power Fully Integrated 60GHz Transceiver System with OOK Modulation and On-Board Antenna Assembly	National Taiwan Univ. (Taiwan)	90nm TX: 0.43mm <sup>2</sup> , RX: 0.68mm <sup>2</sup>	短距離データ伝送用。距離4cm、BER<10 <sup>-12</sup> で2.5Gb/s伝送でき、この時の送信Pd=183mW、受信Pd=103mW。PAは5段A級構成で差動出力7dBm。
18.7	A 2.88Gb/s Digital Hopping UWB Transceiver	NEC (Japan)	90nm 1.8mm <sup>2</sup>	一群中の3バンドに対してLOをホッピングさせる代わりに阻止帯域=250~800MHzのポリフェーズ・フィルタの通過帯域をホッピング。2.88Gb/s時は800MHzのベースバンド帯域をフルに使用。受信直接変換後、受動LPF+ポリフェーズ・フィルタ+HP帰還VGAの構成。RX-Pd=156mW、TX-Pd=91mW



Session 19: Analog Techniques : 2/10 PM

・無線システム用ベースバンドにおける連続時間(CT)処理によるフィルタ

No.	論文名	発表機関	プロセス	内容、特徴
19.7	A 90nm CMOS CT BPF for Bluetooth Transceivers with DT <b>1b-Switched-Resistor Cutoff-Frequency Control</b>	Toshiba (Japan)	90nm	チャンネル選択用BPFの遮断周波数を1ビット信号のデューティ比による1ビットスイッチ抵抗RC時定数を制御する構成で、6.3kHzステップで設定可能。微分非線形特性=1.8kHz、遮断周波数標準偏差=2.5kHz。
			1.2V, 8.8mW 0.4+0.03mm <sup>2</sup>	
19.8	A 1.25mW 75dB-SFDR CT Filter with In-Band Noise Reduction	Univ. Pavia (Italy)	90nm	直接変換受信における <b>ブロッカー対策</b> 。電流駆動ゲート接地1次LPFの高域雑音が抑圧されることを拡張し、交差結合カスコード・デバイスを用いて帯域内高域通過雑音整形と帯域外妨害波事前除去できるCTフィルタの実現技術。WCDMA用の4次バターワース・LPFを試作し、帯域外IIP3=36dBm、SFDR=75dBを得る。
			1.25mW 0.5mm <sup>2</sup>	

Session 22: PA and Antenna Interface : 2/11 AM

- ・低価格化 → PAのSoCへの組み込み → 微細化による耐圧低下を克服する技術が必要・・・22.1~22.2
- ・60GHz帯で10dBm以上の出力・・・22.4~22.5
- ・アンテナ・インタフェースにおける自動同調・・・22.6~22.7

No.	論文名	発表機関	プロセス	内容、特徴
22.1	A 0.13μm CMOS Power Amplifier with Ultra-Wide Instantaneous Bandwidth for Imaging Applications	Univ. Southern California (USA)	0.13μm	UWB用。耐圧低下対策と広帯域化のため、出力端に線路による1:16インピーダンス変成器を使用。PAコアはA級7段分布増幅器で、後進波終端による効率低下を防ぐためにトレイン側線路に減少傾斜特性インピーダンスを持たせ、最終出力は1:16インピーダンス変成器。3dB帯域幅0.75~3.75GHzでA級最大出力21dBm、1GHzに亘ってG=20dB、反射損失=15dB
			1.5V 1.8x2.0mm <sup>2</sup>	
22.2	An Octave-Range Watt-Level Fully Integrated CMOS Switching Power Mixer Array for Linearization and Back-Off Efficiency Improvement	California Institute Tech. (USA) Toshiba (Japan)	0.13μm	スイッチド・トランスコンダクタンス・ミキサを16個並列し、BB包絡線信号振幅によって駆動ミキサの数を動的に変化させ、出力電流を変成器で加算。ミキサを線形化するBBレプリカ回路を使用し、LOを位相変調。1.6~1.8GHzでPo>30dBm、電力付加効率(PAE)>40%。16QAM変調時、Po=25.8dBmでPAE=19%、変調精度(EVM)=5.2%
			1V 1.6x1.6mm <sup>2</sup>	
22.3	A Single-Chip Highly Linear 2.4GHz 30dBm Power Amplifier in 90nm CMOS	UCB and Intel (USA)	90nm+0.35μm	2段縦続で後段は2個並列、並列出力で独立1次巻き線を駆動し、2次巻き線で合成。利得を下げずに信頼性を確保するためにカスコットTrのGD間にバイパス回路を設ける。バイパス最適化と容量補償により入力対歪み特性が平坦。飽和出力=30.1dBmでPAE=33%。OFDM変調時、平均出力22.7dBmでEVM< -25dB, PAE=12.4%
			3.3V	
22.4	A 60GHz-Band 1V 11.5dBm Power Amplifier with 11% PAE in 65nm CMOS	Delft Univ. of Tech. (Nether.) IBM (USA)	65nm	各入出力に変成器を用いた3段差動PAで、各段はソース接地で安定化のために交差結合容量中和を行う。ゲート幅を順に約2倍に増加。58GHzで飽和出力=11.5dBm、EVM=11%。最大S21=15dBで3dB帯域は8GHz以上、S21< -40dB
			1V 0.13x0.41mm <sup>2</sup>	
22.5	50-to-67GHz ESD-Protected Power Amplifiers in Digital 45nm LP CMOS	KU Leuven, IMEC and etc. (Belgium)	45nm	60GHzで段間整合のある2段PA(P <sub>1dB</sub> =8.4dBm, P <sub>sat</sub> >10.6dBm)とそれをプッシュアップ化したPA(P <sub>1dB</sub> =10.6dBm, P <sub>sat</sub> >13.8dBm)の2種のPAを試作。ESD保護は5kV HBMIに耐える。信号端子保護はシャント・インダクターによる。
			1.1V	
22.6	A CMOS Adaptive Antenna-Impedance-Tuning IC Operating in the 850MHz-to-2GHz Band	Arizona State Univ. (USA)	0.18μm	アンテナ・インピーダンスを閉ループ適応同調させ、850MHz~2GHz帯域で動作。再構築可能整合回路+2組のRF5段対数検出器+mixed signal matching-state-search技術により4.1msで4096のアンテナ整合回路状態を掃引。帯域内反射損失を15dB改善、900MHzで370mWの平均電力削減。
			1.8V	
22.7	A Tunable Integrated Duplexer with 50dB Isolation in 40nm CMOS	UCLA (USA)	40nm	ハイブリッド変成器をベースに送受間の電氣的平衡による能動同調デュプレクサでWCDMA-band IIに同調させ、受信挿入損失2.9dB、50dBアイソレーション/B=5MHz、受信帯における除去比=25dB、1GHz同調範囲を得る。デュプレクサ+LNAでNF=6.1dB, G=23dB。不要波除去機能はない。
			0.2mm <sup>2</sup>	

Session 23: PLLs and Clocks :2/11 AM

- ・微細化CMOSによる低電圧化と漏れ電流増加を克服して、高性能PLL/DLLを実現する技術
- ・生物医学、センサーネットワーク用の微小電力発振器・・・23.7~23.8

No.	論文名	発表機関	プロセス	内容、特徴
23.1	A 1MHz-Bandwidth Type-I $\Delta\Sigma$ Fractional -N Synthesizer for WiMAX Applications	Arizona State Univ. and Intel (USA)	0.18 $\mu$ m	6GHz- $\Delta\Sigma$ シンセ。離散時間S/Hループフィルタと雑音相殺チャージポンプDACを用いて20dB以上の量子化雑音を低減。帯域内最悪スプリアス=-61dBc、積分rms位相誤差=-42dBc
			1.8V, 26mA 2.7x1.2mm <sup>2</sup>	
23.2	A 2.2GHz 7.6mW Sub-Sampling PLL with -126dBc/Hz In-Band Phase Noise and 0.15ps <sub>rms</sub> Jitter in 0.18 $\mu$ m CMOS	Univ. Twente (Netherlands) NS (USA)	0.18 $\mu$ m	VCO出力を基準クロックでサブ標本化する位相比較を用いるので、同期時に分周器が不要で雑音が減る。10kHz~40MHzのrmsジッター=0.15ps、200kHzオフセットにおける位相雑音=-126dBc/Hz。同期用のPLLに同期時用のデッドゾーンを設けてサブ標本化ループと併設。
			1.8V, 4.2mA 0.4x0.45mm <sup>2</sup>	
23.3	An Edge-Missing Compensator for Fast-Settling Wide-Locking-Range PLLs	NCI Center and National Central Univ. (Taiwan)	0.18 $\mu$ m	+512 $\pi$ の線形範囲を持つ位相比較機能をEdge-Missing Comp. (EMC)によって実現。9b EMCを持つPLLで10 $\mu$ m以内に320MHz周波数ホッピング。基準スプリアス=-48.7dBc、10kHz-off=-88.3dBc/Hz
			1.6V, 16mA	
23.4	A 975-to-1960MHz Fast-Locking Fractional-N Synthesizer with Adaptive Bandwidth Control and 4/4.5 Prescaler for Digital TV Tuners	Ratio Micro-electronics and Fundai Univ. (China)	0.18 $\mu$ m	残留フラクショナル誤差低減のために高速AFCを併設し、その上位4ビットでチャージポンプ電流地を制御し、更に量子化雑音低減のために4/4.5プリスケラを用いる。VCO感度を一定にするために容量バンクとバラクターを併用。3dB帯域92.5kHzで適応帯域制御による変化は10.3%以内。100kHz~40MHzのrms位相誤差=0.6~1.05度、同期時間=20 $\mu$ s
			1.8V, 25mW 1.58mm <sup>2</sup>	
23.5	A 0.4-to-1.6GHz Low-OSR $\Delta\Sigma$ DLL with Self-Referenced Multiphase Generation	Tsinghua Univ. (China) Samsung (Korea)	0.18 $\mu$ m	有線用。省略
			1.8V, 5.27mW	
23.6	A Leakage-Suppression Technique for Phase-Locked Systems in 65nm CMOS	National Taiwan Univ. (Taiwan)	65nm	ループフィルタのMOS-Cの漏れ電流をオンチップ補償する技術(疎調+チャネル長変調を考慮した微調)を用いた800MHz-PLL
			1.2V, 3.6mW 0.065mm <sup>2</sup>	
23.7	A Precision Relaxation Oscillator with a Self-Clocked Offset-Cancellation Scheme for Implantable Biomedical SoCs	Inst. of Micro-electronics (Singapore), et	0.13 $\mu$ m	省略
			1.5V	
23.8	An On-Chip CMOS Relaxation Oscillator with Power Averaging Feedback Using a Reference Proportional to Supply Voltage	Matsushita Electric (Japan)	0.18 $\mu$ m	省略
			1.8V 0.04mm <sup>2</sup>	

Session 24: Wireless Connectivity : 2/11 AM

・UWBを含めた各章無線システム応用の発表が混在

No.	論文名	発表機関	プロセス	内容、特徴
24.1	A 2mm <sup>2</sup> 0.1-to-5GHz SDR Receiver in 45nm Digital CMOS	IMEC and KU Leuven (Belgium)	45nm	直接変換RX+LO。抵抗帰還LNAx2+受動ミキサ+帯域外IIP3の優れた5次0.5~20MHz-BPF。LO発生はdual VCO+フラクショナルN-PLL。NF<2.3dB、耐妨害波=-3dBm、Pd=59~115mW。0.8~5GHzシステムに対応可能
			1.1V 2mm <sup>2</sup>	
24.2	A 65nm CMOS Inductorless Triple-Band-Group WiMedia UWB PHY	NXP Semicon. (Netherlands) ST-NXP Wireless (Singapore)	65nm	WiMedia-v1.2-UWB用物理層IC。対応バンドはBG-1,3,6。各BG毎に2-PLL構成で周波数ホップ。RF-FEは一つで3~9GHzをカバー。480Mb/s時のEVM=-24dB、53Mb/s時の受信感度=-81dBm、最大利得時のIIP3>-4dBm。480Mb/s時の受信Pd=383mW、送信Pd=312mW
			1.2V 3.3x3.3mm <sup>2</sup>	
24.3	A Reconfigurable Demodulator with 3-to-5GHz Agile Synthesizer for 9-band WiMedia UWB in 65nm CMOS	Univ. of Modena & Reggio Emilia and Pavia (Italy)	65nm	2段連続ミキサのLO位相の組み合わせで基本orサブハーモニックモードで動作させることにより、LOはRF帯域の1/3以下をカバーするだけで良い。3並列LC-VCO-PLLと注入同期リング発振器でLOを発生。UWB-G1,3,4対応で、4相リング発振器をLC-PLLで注入同期。シセサイザPd=43mW
			1.2V, 66mA 3.7mm <sup>2</sup>	
24.4	A Highly Integrated Low-Power 2.4GHz Transceiver Using a Direct-Conversion Diversity Receiver in 0.18μm CMOS for IEEE802.15.4 WPAN	Analog Devices (Ireland & Spain)	0.18μm	センサネットワーク用送受信機でMACを含む。アンテナ切り替えダイバースチ。2倍LOを用いてプリング回避。送信機では直接VCO変調。受信は直接変換でI <sub>0</sub> =16.8mA、3dBm送信時I <sub>0</sub> =18mA。NF=9.5dB、受信感度=-96dBm、IIP3=-18dBm、+5MHz時のイメージ除去比=54dB
			1.8V 5.85mm <sup>2</sup>	
24.5	A Fully Integrated 2x2 MIMO Dual-Band Dual-Mode Direct-Conversion CMOS Transceiver for WiMAX/WLAN Applications	Marvell (USA)	90nm	2.3~2.7G & 3.3~3.9GHzで各4x、8/3xでVCOを発振、単一帯分数分周シンセ使用。RXではNF=3.5dB、IIP3=-11dBm/high-G、+12dBm/low-G、TXでは5dBm出力時EVM=-35dB、EVM<-35dB over 61dB出力範囲
			1.2 & 1.8V 12.4mm <sup>2</sup>	
24.6	A 1.1V 5-to-6GHz Reduced-Component Direct-Conversion Transmit Signal Path in 45nm CMOS	Intel and Univ. of Washington (USA)	45nm	単一のオペアンプで送信系に必要な一極フィルタ、可変利得アンプ、トランスコンダクタンス段を実現。P <sub>sat</sub> =14.9dBm、P <sub>1dB</sub> =12.2dBm、EVM=-37dB @ 9.2dB backoff from P <sub>1dB</sub> 。送信雑音=-143dBm/Hz @100MHz offset
			1.1V, 108mA 1x1.5mm <sup>2</sup>	
24.7	A 2.4GHz 2Mb/s Versatile PLL-Based Transmitter Using Digital Pre-Emphasis and Auto Calibration in 0.18μm CMOS for WPAN	Analog Devices (Ireland)	0.18μm	ΔΣフラクショナルN PLLにおける量子化雑音をデジタル・プリエンファシス・フィルタで抑圧。2Mb/s-3dBm出力送信時I <sub>0</sub> =18mA。GMSK時の最大位相誤差=8.4度、IEEE802.15.4時のEVM=2%
			1.8V 1.1mm <sup>2</sup>	
24.8	A 7.2mW Quadrature GPS Receiver in 0.13μm CMOS	Univ. of Washington (USA)	0.13μm	ローIFのRFフロントエンドで、ゲート変調QVCOと積み重ねQLNA+ミキサ+VCOによる電流共用で1mW消費電力で42.5dBの利得。連続時間ΔΣ-ADCは65dB DR、Pd=5mW
			1V, 1.2V 1.85x1.65mm <sup>2</sup>	
24.9	A 10.8mW Body-Channel-Communication /MICS Dual-Band Transceiver for a Unified Body-Sensor-Network Controller	KAIST (Korea)	0.18μm	IEEE 802.15 WBAN。省略。

Session 29: mm-Wave Circuits : 2/11 PM

- ・より実用化を意識した発表が増加
- ・29.4は2.4GHzにおける発表

No.	論文名	発表機関	プロセス	内容、特徴
29.1	A 1.1V 150GHz Amplifier with 8dB Gain and +6dBm Saturated Output Power in Standard Digital 65nm CMOS Using Dummy-Prefilled Microstrip Lines	UCSB and IBM (USA)	65nm	誘電体中に微少金属片を配列したDummy-Prefilledマイクロストリップ線路を用い、シャント・スタブ同調とラジアル・スタブで整合損失を低減。3段増幅器で8.3dB利得(1段最大4.8dB)、飽和電力1.5dBm、 $P_{1dB}=1.5dBm$ 、3dB BW=27GHz。Pd=25.5mW
			1.1V 0.41mm <sup>2</sup>	
29.2	W-Band CMOS Amplifiers Achieving +10dBm Saturated Output Power and 7.5dB NF	Helsinki Univ. of Technology (Finland)	65nm	遅波コプレーナ線路を基本とする増幅器で、100GHzで出力=10dBm、NF=7.5dB、G=1dB。増幅器本体占有面積=0.33mm <sup>2</sup> 。受動部品をフローティング遅波グラウンドでシールドすることにより特性が向上。
			1.2V, 72mA 0.33mm <sup>2</sup>	
29.3	A 26dB-Gain 100GHz Si/Ge Cascaded Constructive-Wave Amplifier	UCSD (USA)	0.12μm Si/Ge BiCMOS 2V	Trの入出力を伝送線路で接続した単位増幅器を縦続接続し、各段で前進波を加算、後進波を相殺する。12段構成、99GHzでG=26dB、3dB BW=14GHz、GBW=290GHz。入出力反射損失は15dBと12dBより大。 $P_{1dB} = -0.1dBm$ 、 $P_d = 78+4mW$
29.4	A Dual-Mode Architecture for a Phased-Array Receiver Based on Injection Locking in 0.13μm CMOS	Analog Devices (Ireland & Spain)	0.13μm	試作チップは4チャネルのダウンコンバータと注入同期発振器(ILO)を含み、2.4GHz帯で動作。ILOの自然発振周波数、注入周波数、同期範囲で決まる位相シフトを利用。自然発振周波数を容量バンクで可変し、各ILOをは共通信号に注入同期させる方式と各ILOを従属的に同期させる方法を実現。Pd=42mW
			1.55V 1.44mm <sup>2</sup>	
29.5	A Digitally Controlled Compact 57-to-66GHz Front-End in 45nm Digital CMOS	IMEC, KU Leuven, Vrije Univ. Brussel (Belgium)	45nm	直接変換受信機でフェースド・アレイ用。利得制御用バイアスをDACにより発生。最小NF=6dB、G=26dB、 $I_0=19mA$ 。ESDのある大面積ボンダパッドを用いて入出力回路を最適化。最悪保護レベル=1.25kV HBM
			1.1V 0.023mm <sup>2</sup>	
29.6	A 57-to-66GHz Quadrature PLL in 45nm Digital CMOS	IMEC and Vrije Univ. Brussel (Belgium)	45nm	2個のQVCOと単一の注入同期プリスケラを用い、プリスケラを自動校正により同調する。Pd=78mW、位相雑音= -82dBc/Hz @3MHz offset at 61.6GHz、基準スプリアス= -82dBc/Hz
			1.1V 0.99x0.83mm <sup>2</sup>	
29.7	A 59GHz Push-Push VCO with 13.9GHz Tuning Range Using Loop-Ground Transmission Line for Full-Band 60GHz Transceiver	Hitachi (Japan)	0.18μm Si/Ge BiCMOS	57~66GHz用LOとして $f_0=46\sim 52GHz$ -VCOの2次高調波を利用。スライディングIF方式。差動VCOの片側線路の長さを $f_0$ の半波長とし、両線路の下に浮いたグラウンドループを形成してループを8等分した中央点以外を実接地し、中央点から $2f_0$ 出力を得る。線路の midpoint から差動 $f_0$ を得る。Po=1.2dBm。位相雑音= -108dBc/Hz @1MHz offset, VCO FOM <sub>T</sub> = -189.6dB