

ISSCC 2008 報告書  
(IEEE International Solid-State Circuits Conference)  
無線通信関係一速報

開催期間: 2007年2月3~7日 (主セッション: 2/4~6)

開催場所: USA サンフランシスコ, マリオット・ホテル

- ・ 発表件数: 237件
  - アメリカ: 101件 (43%)、欧州: 69件 (29%)、ほか: 67件 (28%)・・・アジア減少
  - 大学関係: 112件 (47%)、企業: 125件 (53%)・・・企業増加
- ・ 参加者: 約3500名

ATNメンバーが4人参加

- ・ ATNから
  - 麻殖生健二: ADC/DAC
  - 中川准一: 無線通信
- ・ 大学から
  - 小林春夫群馬大学教授: ADC/DAC、離散回路
  - 堀田正生武蔵工大教授: ADC/DAC、アナデジLSI

- ・ 無線関連発表のほとんど全てを概説する。・・・報告者: 中川
- ・ 引用: Digest of Technical Papers, 2008 IEEE ISSCC

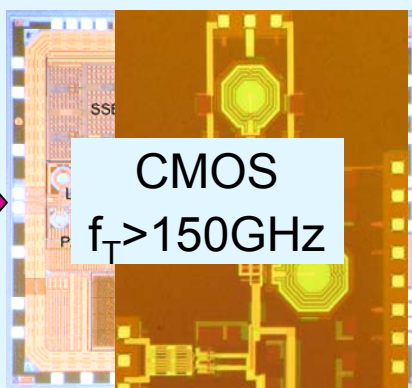
## 全体の印象

- ・ISSCC全体の今年のテーマは、“System Integration for Life and Style”。・・・基調講演(2/4 AM)3件もこれに沿ったもの。

### ・全周波数( $\approx 100\text{GHz}$ )を席卷するRF-CMOS

・・・ミリ波領域の回路開発が一層本格化。

- ・ 先進CMOS設計会社の戦略
- ・ 90nm以下のプロセスの本格化
- ・ 設計者の意欲
- ・ 低コスト化のニーズ



- ・ 私の背中を強く押してくれるので、100GHzの山を登るのが楽になってきたわ！
- ・ 無線システムのSoC(all in one)化も加速しているわ！
- ・ **戦略の無い会社、BJT(HBJT)にこだわっている会社は、直ぐに苦しくなるわよ！**

重要技術:

- ・ システム力・・・RF+BB協業
- ・ 校正・補正システムアルゴリズム

			1
			0
D	3	5	0
C	G	G	G

!!! 日本の企業も大学も、RF-CMOSへの取り組みが大きく遅れている。!!!

Session 3: Filters and Amplifiers : 2/4 PM

- ・ configurability (構築可能)、calibrationが今回の中心トピック
- ・ 7件中の3.1と3.2が無線応用を目指したベースバンドフィルタであり、3.3と3.4のベースバンドフィルタの用途は不明である。

No.	論文名	発表機関	プロセス	内容、特徴
3.1	A Widely-Tunable Reconfigurable CMOS Analog Baseband IC for Sogtware-Defined Radio	NEC	90nm	離散時間フィルタの遮断周波数をデューティ-周期制御により実現。パターワース、チェビシェフ、楕円フィルタの遮断周波数を400kHz-12MHzで可変。P <sub>-1dB</sub> =9dBm。入力換算帯域内雑音=470mV <sub>rms</sub> 。5mA。
			1V 0.57mm <sup>2</sup>	
3.2	A Gain-Boosted Discrete-Time Charge-Domain FIR LPF with Double-Complementary MOS Parametric Amplifiers	Sony	0.13μm	多段・離散時間・スイッチドキャパシタフィルタの利得低下を補償するため、二重CMOSパラメトリック増幅器によるステップ可変利得を実現し、47dBの可変幅を得る。クロック=80MHz、3.7mA/Filter、9.4mA/Clock。
			1.2V	
3.3	A Continuous-Time Hexagonal Field-Programmable Analog Array in 0.13mm CMOS with 186MHz GBW	Univ. Freiburg, IMTEK (ドイツ)	0.13μm	デジタル選択できる6個の並列トランスコンダクタ(Gm)と帰還用Gmよりなるconfigurable analog block(CAB)を基本ユニットとし、7CABによる連続時間6次BPFを構成。同調周波数=28-82MHz。70mW
			1.2V	
3.4	A 6th-Order 100mA 280MHz Source-Follower-Based Single-Loop Continuous-Time Filter	Univ. Salento (イタリア)	0.13μm	正/負電圧インピーダンスフォロア2段による単一ループ連続時間6次フィルタを試作し、遮断周波数=280MHz、IIP3=11dBm、入力換算雑音=-140dBmを得る。200x90μm <sup>2</sup> 。100μA
			1.2V	

・ **論文名**を読んだことを前提にした内容・特徴の記述になっています。以下も同様！

Session 6: UWB Potpourri : 2/4 PM

- ・ 2大応用分野： MB-OFDM UWB・・・WiMediaが推進し、主な用途は無線USBのような高速データ伝送  
Impulse-radio (IR) UWB・・・802.15.4aが推進し、短距離で超電池寿命のセンサネットワーク応用など
- ・ 広帯域通信の新しい応用としてbody-channel comm.(BCC)を目指すWireless Body-Area Network (WBAN)用の発表。・・・6.9
- ・ 60GHz応用がこのセッションにある。・・・6.8

Session 6: UWB Potpourri (文集) : 続き

No.	論文名	発表機関	プロセス	内容、特徴
6.1	A 1.8Gpulse/s UWB Transmitter in 90nm CMOS	UC Davis	90nm	3.1-10.6GHz IR-UWB。FIRパルス発生器とPLLシンセサイザを有する送信器で、 $1.9\text{ps}_{\text{rms}}$ , $15.1\text{ps}_{\text{pp}}$ ジッタの1.8Gパルス/sによりPPMとBPSKの同時変調が可能。227mW, 126J/パルス
			1V 2.83mm <sup>2</sup>	
6.2	A 0.18 $\mu\text{m}$ CMOS 802.15.4a UWB Transceiver for Communication and Localization	Inst. Microelectronics (Singapore)	0.18 $\mu\text{m}$	3.1-9GHzで12chのIR-UWB。TRXは同期BPM-BPSK変調が可能で、測距精度は3cm。最大1Gパルス/s、消費電力TX:0.74nJ/b、RX:6.5nJ/b。RX-NFは8.2-9.4dBで、LNAは1個で切替使用。
			1.8V 4.5mm <sup>2</sup>	
6.3	A CMOS UWB Camera with 7x7 Simultaneous Active Pixels	Univ. S.Calif. LA	0.13 $\mu\text{m}$	2x2のアンテナで7x7の回路を駆動するビームフォーマー。3cmアンテナ間隔で10°の分解能と、 $\pm 30^\circ$ の可変幅。BW=15GHz、最悪NFは5.8dB、総アレイ利得=24dB、時間分解能=17.5ps。630mA
			1.5V 4.1x4.1	
6.4	A Fully-Integrated 14-Band 3.1-to-10.6GHz 0.13 $\mu\text{m}$ SiGe BiCOMS UWB RF Transceiver	Alereon (USA)	0.13 $\mu\text{m}$ SiGe BiCOMS	3.1-10.6GHz OFDM UWB、480Mb/s。NF=4.5-5.8dB。PLL+分周器+ミキサにより切替時間2ns以下のシンセサイザを実現、自動校正回路を持つVCOは16.896GHz。2.4Vと1.2V、2.55x2.8mm <sup>2</sup> 。
6.5	UWB Fast-Hopping Frequency Generation Based on Sub-Harmonic Injection Locking	Univ. Padov (Italy) Infineon (Austria)	90nm	WiMedia UWB用。バンド群6(約7.4-9GHz)のVCOに528/1056MHzのクックを注入同期、切替時間は4ns以下。位相雑音=-112dBc/1MHz-off @8.71GHz。30mA。
			1.2V 0.074m <sup>2</sup>	
6.6	A 3-to-10GHz 14-Band CMOS Frequency Synthesizer with Spurs Reduciton for MB-OFDM Systems	Nation. Chiao-Tung Univ. (Taiwan)	0.18 $\mu\text{m}$	3.1-10.6GHz OFDM UWB用シンセサイザを単一PLL+2段ミキサで構成。SSBミキサのI/Q平衡構成を行うことによって22dBの改善をし、スプリアスレベル-45dBc以下を実現。65mA
			1.8V 2.5x2.2	
6.7	A 0.6-to-10GHz Receiver Front-End in 45nm CMOS	NXP Semicon. (Netherlands)	45nm	ソフトウェア無線、UWB用。ダイレクトコンバージョン受信機、LNA+差動V-Iコンバータ2個+I/Qミキサ。G=14dB, NF=7dB, IIP3=0dBm, IIP2=+20dB。90mW=28m/LO+32m/TIA+30m/RF front-end
			1.2V 0.2mm <sup>2</sup>	
6.8	A 90nm CMOS 60GHz Radio	Georgia Inst. Tech.	90nm	57-66GHzスーパーヘテロダイン送受信機を2チップで試作。7Gb/s QPSKと15Gb/s 16QAMが可能な物理信号処理部、および周波数オフセット校正、位相追従、利得調整などを含む。TX/173mW+RX/189mW
			1.75x1.5 2.25x1.7	
6.9	A 60kb/s-to-10Mb/s 0.37nJ/b Adaptive-Frequency-Hopping Transceiver for Body-Area Network	KAIST (Korea)	0.18 $\mu\text{m}$	BCCは200MHz以下の帯域で2m以下の通信距離を目指す。B=30-120MHzで4chを適応周波数ホップして利得10dB以上を得る。10Mb/s FSK/ch。0.37nJ/b
			2.3mm <sup>2</sup>	

Session 9: mm-Wave & Phased Arrays : 2/5 AM

- ・ミリ波通信は高品質映像信号の家庭内短距離通信(60GHz ISM)、77GHz自動車レーダ用として注目を集めている状況である。
- ・安定なミリ波通信を行う上で不可欠なアンテナアレイを送受信機と(将来的に)一体化するための検討も注目点である。

No.	論文名	発表機関	プロセス	内容、特徴
9.1	A 95GHz Receiver with Fundamental-Frequency VCO and Static Frequency Divider in 65nm Digital CMOS	Univ. Toronto (Canada)	65nm	76-95GHzのRF帯域を実現、但しVCO同調幅約3GHz。LNAの出力をバラで差動化、差動VCOの出力を個別の変成器でミキサと分周器に供給。受信変換利得=12.5dB、NF=7dB。206mW
			1.2V 1.5V	
9.2	A Robust 24mW 60GHz Receiver in 90nm Standard CMOS	UCB	90nm	LNA+ミキサ+IF-VGA(B=DC-2GHz)+LOポートバラを試作(LOは外部供給)。NF=平均6.2dB、変換利得=18dB、利得可変幅=64dB。24mW=14.5mW/LNA+6.5mw/mix+3mW/VGA (+8.5mw/o-buf)
			1V	
9.3	A 52GHz Phased-Array Receiver Front-End in 90nm Digital CMOS	IMEC Vrije Univ. Brussel (Belgium)	90nm	「アンテナ(外付)+ホモダインLNA+ミキサ+移相器」の2パス+QVCOを試作。4ビット位相制御。QVCO発振範囲=48.2-51.7GHz、変換利得=30dB/パス、NF=7.1dB/パス、システムNF=4.1dB。54mA
			1.2V	
9.4	A Scalable 6-to-18GHz Concurrent Dual-Band Quad-Beam Phased-Array Receiver in CMOS	Calif. Inst. Tech.	0.13 $\mu$ m	「アンテナチップ+受信機チップ」x4パスで実験。受信機は6-10.4GHz、10.4-18GHzの2周波数帯で水平・垂直偏波を同時に受信可能な構成。総アレイ利得=27.7dB、ピーク/スル比=21.5dB@18GHz
			多電圧	
9.5	A Near-Field Modulation Technique Using Antenna-Reflector Switching	Calif. Inst. Tech.	0.13 $\mu$ m SiGe BiCOMS	「VCO+I/Q-MIX+PA+ダイポールアンテナ+9スイッチを有する反射器10本」を1チップ化し、61GHzで検証。2 <sup>90</sup> のスイッチ組合せに応じた信号空間点を形成でき、種々の空間変調が可能。
9.6	A 60GHz Receiver Using a 30GHz LO	UCLA	90nm	「LNA+ポリフェーズフィルタ+LO+2段ミキサ」構成で、LNA出力をポリフェーズフィルタでI/Q差動化。B=57-61GHz、G=18.3-22dB、NF=5.7-8.8dB、I/Q不整合=2.1度/1.1dB。8mA/LNA、36mW。500x370 $\mu$ m <sup>2</sup> /能動部
			1.2V	
9.7	A 22.3dB-Voltage-Gain 6.1dB-NF 60GHz LNA in 65nm CMOS with Differential Output	Ruhr-Univ. Boshum (Germany)	65nm	「LNA+バラ+差動中間段+変成器+差動出力バッファ+出力変成器」構成で、バラ/変成器で整合をとり、LNAと中間段はカスコード型。B=7.7GHz/3dB、S11<-10dB。29mA
			1.2V 0.46x0.46	
9.8	A 2kV-ESD-Protected 18GHz LNA with 4dB NF in 0.13 $\mu$ m CMOS	Infineon,Munch Univ. Paderborn (Germany)	0.13 $\mu$ m	17-17.2GHz(ETSI)応用が目的。NMOS/PMOSを用いた擬似差動2段LNA+ESDチップを試作。入出力とも $\pm$ 2.5kV以上の耐圧を実現。NF=4dB、G=20dB @1GHz、B=1.7GHz/3dB、IIP3=5dBm。36mW
			1.5V 0.24mm <sup>2</sup>	
9.9	A Broadband Distributed Amplifier with Internal Feedback Providing 660GHz GBW in 90nm CMOS	UCB	90nm	差動分布(進行波)型増幅器(DA)を用いて入力DA+核DA+出力DAとし、核DAで内部帰還して利得特性を平坦化。平均利得19dB/B=74GHz-3dB、NF=5.2-6dB、P <sub>1dB</sub> =3.7dBm。84mW
			1.2V 1.19mm <sup>2</sup>	

Session 10: Cellular Transceivers : 2/5 AM

- ・ 最終目標: 純デジタルCMOSプロセスによるSoC (RF+BB+アプリケーションプロセッサ) 化+外付部品(フィルタ)の削除
- ・ 完成度が高く、製品化を目指した発表が多い印象。

No.	論文名	発表機関	プロセス	内容、特徴
10.1	A Fractional-Spur-Free ADPLL with Loop-Gain Calibration and Phase-Noise Cancellation for GSM/GPRS/EDGE	MediaTek (Taiwan)	0.13 $\mu$ m	3.2-4GHz全デジタルPLLにおいてループ利得校正と位相雑音補償+デジタルフィルタリングを行い、スプリアスを位相雑音以下(-84dBc)に抑圧。位相雑音=-117dBc/Hz @400kHz-off。40mA
			0.86mm <sup>2</sup>	
10.2	Single-Chip Tri-Band WCDMA/HSDPA Transceiver without External SAW Filters and with Integrated TX-Power Control	MediaTek (UK) F.Beffa Eng.(スイス)	0.18 $\mu$ m	アンテナフィルタとPAを除くRF部を集積。RX「LNA(ノッチ含む)+受動ミキサ+直接変換」構成により、帯域外IIP2>65dBm、IIP3>-2dBm、NF=2.8dBを達成。真平均値電力検波による送信電力制御。RX:35mA
10.3	Equalization of IM3 Products in Wideband Direct-Conversion Receivers	Calif. Inst. Tech.	0.13 $\mu$ m	直接変換RXフロントエンドに並列にフィードフォワードによるIM3成分等化回路を設けることにより、SAWフィルタを不要にする。等価帯域外IIP3=3.9dBm(←-9.2dBm)。5.7mA。1.5x1.6mm <sup>2</sup>
			1.2V	
10.4	A Fully Integrated Quad-Band GPRS/EDGE Radio in 0.13 $\mu$ m CMOS	Broadcom	0.13 $\mu$ m	RX: 低IF構成、NF=2.5dB、IIP3=-11dBm、140mW。 TX: 極座標駆動PA、8PSK時400kHzオフ60dBcの試用を満足、EVM=3.2%/HB, 2.2%/LB、285mW/GMSK。
10.5	A 24mm <sup>2</sup> Quad-Band Single-Chip GSM Radio in 90nm Digital CMOS	TI	90nm 1.4V 24mm <sup>2</sup>	PA+スイッチ+SAWを除くRF+BB+DSP+プロセッサを1チップ化。TX: デジタル駆動アンプを用いた極座標駆動とフリ歪みによる自己校正。RX: 直接変換+離散時間処理。TX:47mA、RX:56mA。
10.6	Integration of a SiP for GSM/EDGE in CMOS Technology	Infineon (Germany)	0.13 $\mu$ m 0.25 $\mu$ m	BB/RF (0.13 $\mu$ m)+PMU/音声PA/充電回路(0.25 $\mu$ m)を1パッケージ化、PAとSAWなどは外付した4周波数帯域対応。PAは極座標駆動で、4帯域でのEVMは2%以下。
10.7	A Low-Power WCDMA Transmitter with an Integrated Notch Filter	Broadcom	65nm	PA駆動段に受信帯域雑音を抑圧するための帰還パスを設けてSAWフィルタを不要にする。帰還パスはダウンミキサ+LPF+アップミキサ構成。受信帯域雑音=-160dBc/Hz @80MHz-off。直交変調器を含めて65mW。
10.8	A 1.2V 0.2-to-6.3GHz Transceiver with Less Than -29.5dB EVM@-3dBm and a Choke/Coil-Less Pre-Power Amplifier	東芝	0.13 $\mu$ m	多モード用送受RF部。PA駆動段のチョークをなくすため、プッシュプル+NMOS側ソースに包絡線注入バイアス回路を付加。整合回路の工夫によりS22<-9.5dB、S11<-9.2dB。TX:68.8mW、RX:50.1mW
			1.2V	
10.9	A 24GHz Sub-Harmonic Receiver Front-End with Integrated Multi-Phase LO Generation in 65nm CMOS	Univ. Modena Reggio Emilia (Italy)	65nm	LC-VCOを4段リング接続して12.5GHzを発生し、24GHz信号をサブハーモニックミキサで直接変換。利得=31.5dB、NF=6.5dB、IIP3=-17dBm。出力バッファと分周器を含んで92mW。
			2.1mm <sup>2</sup>	

Session 17: Wideband Receivers : 2/5 PM

- ・無線サービスの多様化に対処する多モード、多標準をカバーする広帯域送受信機の開発が活発である。…ソフトウェア無線機
- ・最大の課題は、広帯域しつつ、線形性と低雑音を確保することである。

No.	論文名	発表機関	プロセス	内容、特徴
17.1	A Discrete-Time Mixing Receiver Architecture in 65nm CMOS with Wideband Harmonic Rejection	Univ. Twente (Netherlands)	65nm	0.2-0.9GHz直接変換受信機において、 $8f_c$ オーバーサンプリング+ダウンミキサ+スイッチドキャパシタ加重 (IIR-LPF)の構成で3次、5次高調波を40dB抑圧し、雑音折り返しを3dB改善。 $G_{max}=5.3dB$ , $NF_{min}=12dB$ , $IIP3=11dBm$ , $IIP2=43dBm$ 。15.9mA
			1.2V 0.36mm <sup>2</sup>	
17.2	A Single-Inductor Dual-Band VCO in 0.06mm <sup>2</sup> 5.6GHz Multi-Band Front-End in 90nm Digital CMOS	IMEC (Belgium)	90nm	LCタンクのLを多タップにして2VCOで切替共用+分周器で広帯域LOを発生。3dB帯域(DC~)6.5GHzのLNA: $NF_{min}=2.7dB$ , $G=16.5dB$ 。変換利得=26db@5.6GHz。40~50mA
			1.2V 0.06mm <sup>2</sup>	
17.3	A Wideband Balun LNA I/Q-Mixer Combination in 65nm CMOS	Univ. Twente NXP Semiconductors (Netherlands)	65nm	電流切替型ミキサの電流源として雑音打消し型LNAを組み込む。500MHz-7GHzにおいて、変換利得>18dB、 $NF=4.5-5.5dB$ 、 $IIP2=20dBm$ 、 $IIP3=-3dBm$ 。16mW (LOバッファ除く)
			1.2V 0.01mm <sup>2</sup>	

Session 24: Analog Power Techniques : 2/6 AM

No.	論文名	発表機関	プロセス	内容、特徴
24.8	A 10MHz-Bandwidth 2mV-Ripple PA-Supply Regulator for CDMA Transmitter	Arizona State Univ.	0.35μm	極座標駆動AB級-PAのAM用スイッチングレギュレータ。PAのバイアス電流を検出して帰還をかけることにより広帯域化。包絡線誤差<0.2%、最大電源効率=82%
			4.6mm <sup>2</sup>	

Session 19: PLLs & Oscillators : 2/5 PM

- ・高速切替可能なフラクショナルN分周周波数シンセサイザにおけるスプリアスと位相雑音の一層の低減化技術の開発が活発。

No.	論文名	発表機関	プロセス	内容、特徴
19.1	A Low-Noise Wide-BW 3.6GHz Digital $\Delta\Sigma$ Fractional-N Frequency Synthesizer with a Noise-Shaping time-to-Digital Converter and Quantization Noise Cancellation	MIT	0.13 $\mu$ m	位相比較器をゲートリング発振器(GRO)による時間・デジタル変換器で構成するGROをマルチパス型にして平均遅延時間を6psとし、遅延時間不整合が雑音シェーピングに寄与。非同期・分数分周器の $\Delta\Sigma$ 変調による量子化雑音をデジタル処理により低減。位相雑音=-131dBc/Hz @3MHz-off、最大スプリアス=-53dBc(大部分は-64dBc)。26mA
			1.5V 0.95mm <sup>2</sup>	
19.2	Spurious-Tone Suppression Techniques Applied to a Wide-Bandwidth 2.4GHz Fractional-N PLL	UCSD, NextWave Wireless	0.18 $\mu$ m	$\Delta\Sigma$ 変調に代わる逐次再量子化(SR)アルゴリズムによる分周数デサイリング、オフセット用チャージポンプ+標本型ループフィルタによってチャージポンプ・オンオフの影響をVCOから切り離して低スプリアス化をしている。最少で18dBの抑圧を行い、最悪スプリアス-70dBcを達成、位相雑音=-121dBc/Hz @3MHz-off。ループ帯域=975kHz @f <sub>ref</sub> =12MHz、チャンネル間隔不明
			1.8V	
19.3	A 3GHz Fractional-N All-Digital PLL with Precise Time-to-Digital Converter and Mismatch Correction	Univ. Pavia STM(Italy)	65nm	時間・デジタル変換器(TDC:位相比較器に相当)+プログラマブルIIIRフィルタ+DCO+分数分周器の全デジタル構成PLL。可変遅延回路で構成したTDC分数分周部分において、入力周波数を2逡倍して実時間校正の収束を速め、またTDCの非線形製を補正している。可変帯域幅=100kHz~2MHz、帯域内位相雑音=-100dBc/Hz、位相雑音=-120dBc/Hz@1MHz-off、最悪スプリアス=-45dBc。9.5mW
			1.2V 0.4mm <sup>2</sup>	
19.7	A Temperature-Compensated Digitally-Controlled Crystal Pierce Oscillator for Wireless Applications	Sirenza Microdevices (USA)	0.35 $\mu$ m SiGe BiCMOS	ピアースXOに6x6容量アレイを2組設けて温度検出+参照テーブルにより8ビット制御して周波数精度を高め、発振器の電流源を6ビット制御して発振立ち上がりを速める。19.2MHz、安定度<3ppm、位相雑音-137dBc/Hz@1kHz。電源プッシング=0.2ppm/V。P=6.5mW、0.75mm <sup>2</sup>
			V=2.7V	



Session 20: WLAN/WPAN 2/5 PM

・完成度の高い製品化に近い発表が多い印象。

No.	論文名	発表機関	プロセス	内容、特徴
20.1	A 1x2 MIMO Multi-Band CMOS Transceiver with an Integrated Front-End in 90nm CMOS for 802.11a/g/n WLAN Applications	Intel, Haifa (Israel)	90nm	(TXx1+RXx2)MIMO構成で、2.4-2.5GHz帯と5-6GHz帯の2系統をAB級PA、整合回路を含めて1チップ化。PAの駆動はデジタルプリディストーション。規格仕様を満足。RX: 1.3V、270mW。PA: 3.3V
			15.5mm <sup>2</sup>	
20.2	A Dual-Band CMOS MIMO Radio SoC for 802.11n Wireless LAN	Atheros Communications	0.13μm	2.4GHz/5GHz帯のRF部+共通BB+物理層+MAC層+PCI-Expressを1チップ化。2.4GHzRXは直接変換、5GHzRXはスラットIFのダブル変換。両受信ミキサは線形性の良い受動型。PAは3.3V
			36mm <sup>2</sup>	
20.3	A Fully-Digital 65nm CMOS Transmitter for the 2.4-to-2.7GHz WiFi/WiMAX Bands using 5.4GHz ΔΣ RF DACs	STM, Plan-les-Ouates (Switzerland)	65nm	BB信号をfc/2までアップサンプル後、3次ΔΣ変調器により5.4GHz信号を生成してRF-DACに供給。DACの28dB/0.5dBと合わせて64dBの電力制御。2G/3G携帯電話機に内蔵するにはPAの前後にフィルタ必要。
20.4	A Scalable 2.4-to-2.7GHz WiFi/WiMAX Discrete-Time Receiver in 65nm CMOS	STMicro. (France)	65nm	伝達コンダクタンス型LNA+I/Q受動ミキサによる直変換後、アンチエイリアス・フィルタ+IIRフィルタ+ADCと続くが、IIRフィルタの出力から利得1の帰還をミキサ入力にかけて浮遊容量の影響を低減。NF=4.8dB、77mW(RX+シンセ)
			1.2mm <sup>2</sup>	
20.5	A Single-Chip CMOS Radio SoC for v2.1 Bluetooth Applications	Atheros Communications	0.13μm	VCO周波数はfcの2倍。PAは極座標変調駆動。RX: 500kHz-IF方式+1次LPF+64MHzマッチフィルタ+ΔΣ型ADC(DR=74dB)、NF=12dB。基本受信感度=-88dBm。連続モード受信時29.7mA、送信時29.4mA
			1.2/3.3V 9.2mm <sup>2</sup>	
20.6	A 0.6V 32.5mW Highly-Integrated Receiver for 2.4GHz ISM-Band Applications	Columbia Univ.	90nm	Lo-IF/zero-IF構成。シンセサイザ出力を能動ポリフェーズフィルタで差動I/Q-LOを発生し、二重平衡スイッチ・伝達コンダクタンスI/Qミキサに供給、複素BPF/LPFは利得可変。NF=16dB、変換G=67dB。32.5mW
			0.6V 2.9mm <sup>2</sup>	
20.7	A 5.4mW 0.07mm <sup>2</sup> 2.4GHz Front-End Receiver in 90nm CMOS for IEEE802.15.4 WPAN	STM U. Paul-Sabatier (France)	90nm	6MHz-IF受信: バラン+LNA+受動ミキサ+1次400kHzHPF+3MHz BP能動ポリフェーズフィルタ。I容量負荷のI/Qミキサ間の干渉を避けるため、LOチューンティを1/4にし、変換損失を1.2dBに低減。NF=7.5dB、IIP3=-10dBm
			1.35V 0.23mm <sup>2</sup>	
20.8	A 2.4GHz 3.6mW 0.35mm <sup>2</sup> Quadrature Front-End RX for ZigBee and WPAN Applications	Univ. Pavia (Italy)	90nm	LNA+I/Qミキサ+VCOを縦積みにしてバイアス電流を共用、Lはタンク回路に1個、LNAのI/Q出力に工夫有り。2MHz-IFで3段可変利得複素gm-Cフィルタ。変換利得=75dB、NF=12dB、IIP3=-12.5dBm、IIP2=12dBm
			1.2V 0.35mm <sup>2</sup>	
20.9	A DDFS-Driven Mixing-DAC with Image and Harmonic Rejection Capabilities	Maxim	0.13μm	地上TVチューナ用、イメージ/高調波除去(IR/HR)フィルタを不要にする。2.8-3.2GHz直接デジタル周波数シンセ(DDFS)の各コードをBB信号に掛けた後に加算する。IRR>65dB、HRR>73dB
			1.8/3.3V 1.2mm <sup>2</sup>	

Sesion 26: Wireless Frequency Generation :2/6 AM

- ・ 驚異の300/400GHz-CMOS発振器・・・26.1、26.3
- ・ ミリ波の発振(シンセサイザ)、位相雑音低減などが主要テーマ

No.	論文名	発表機関	プロセス	内容、特徴
26.1	A 410GHz CMOS push-Push Oscillator with an On-Chip Patch Antenna	Univ. Florida TI	45nm	差動結合VCOのドレインLの仮想グランド点に発振波長の1/4伝送線路を介して電圧を印加し、2倍の高調波を内蔵パッチアンテナより寄り取り出す。フーリエ変換赤外線スペクトロスコープによる測定で約20nW(-47dBm)の410GHz出力。基本波測定用のバッファを組み込んだ構成で約-27dBm
			350x 640 $\mu$ m <sup>2</sup>	
26.2	A 1.4mW 4.90-to-5.65GHz Class-C CMOS VCO with an Average FoM of 194.5dBc/Hz	Univ. Modena (Italy) Lund Univ. (Sweden)	0.13 $\mu$ m	CMOS差動コルピッツ発振器の位相雑音がCMOS差動LCタンク発振器より理論的、実験的に劣っているとされてきた考えを見直し、MOSをスイッチさせずにC級能動領域にバイアスする方式を解明。位相雑音=-130dBc/Hz@3MHz-off、FoM=195.5dBc/Hz。1.4mA
			1V	
26.3	A 324GHz CMOS Frequency Generator Using a Linear-Superposition Technique	UCLA	90nm	81GHz発振のQVCO出力を電流加算することにより4倍の周波数を得る。Pout=-46dBm @1V, 12mA
			1V	
26.4	A 1V 220MHz-Tuning-Range 2.2GHz VCO Using a BAW Resonator	CEA-LETI -Mimatec (France)	0.13 $\mu$ m	能動回路による負性容量をBAWに並列接続し、並列共振周波数を高域に移動させることによって同調範囲を拡大。同調範囲=220MHz、位相雑音=-135.7dBc/Hz、FoM=-194.8dBc/Hz。6mA
			1V	
26.5	A 56-to-65GHz Injection-Locked Frequency Tripler with Quadrature Outputs in 90nm CMOS	Delft Univ. Tech (Netherlands) IBM Microelec.	90nm	(差動リミッタ+負抵抗同調差動増幅器)を2段従属し、20GHz差動LO信号からポリフェーズフィルタで生成した差動I/Q-LOを各リミッタに注入して3通倍する。0dBm-LOの注入により56.5-64.5GHzまで同期可能。位相雑音劣化量=9.2dB。9.6mW(注入同期3通倍コアのみ)
			1V 0.09mm <sup>2</sup>	
26.6	A 28GHz Low-Phase-Noise CMOS VCO Using an Amplitude-Redistribution Technique	日立	0.13 $\mu$ m	電流源の無いソース接地差動交差結合VCOのFETを飽和領域で動作させて低雑音化するため、共振器構成を工夫して中間ノード電圧をゲートに印加。位相雑音=-112.9dBc/Hz@1MHz-off、FoM=-190.9dBc/Hz
26.7	A 39.1-to-41.6GHz $\Delta\Sigma$ Fractional-N Frequency Synthesizer in 90nm CMOS	Intel, TI Georgia Inst. Tech.	90nm	VCOは差動交差結合LCタンク型、4分周器を注入同期型1個で構成し、同期範囲を広げるためにデジタル構成を用いる。その分周器の電流源を $\lambda/4$ CPWで代替。位相雑音=-90dBc/Hz、スプリアス=-54dBc。64mW
			1.2V 1.77x0.87	

Session 29: TD: Trends in Communication Circuits & Systems :2/6 PM

- ・ 驚異の300/400GHz-CMOS発振器・・・26.1、26.3
- ・ ミリ波の発振(シンセサイザ)、位相雑音低減などが主要テーマ

No.	論文名	発表機関	プロセス	内容、特徴
29.1	A 2.4GHz MEMS-Based Transceiver	CSEM (Switzerland)	0.18 $\mu$ m	ヘテロダイン受信IC+別チップBAW(受信フィルタ、DCO共振器)の構成。2.32GHz-BAW-DCOによる固定分周ADPLLとメモリによって高速引き込みを図り、水晶発振器を不要にする。それを分数分周した信号を基準として弛張VCOの広帯域シンセサイザを構成。7.5mA
29.2	A 2GHz 52 $\mu$ W Wake-Up Receiver with -72dBm Sensitivity Using Uncertain-IF Architecture	UCB	90nm 0.5V	無線センサネットワーク用目覚め受信機のスリープ時電流を低減するため、リング発振器を使用して目覚め時に校正する。LNAなしでデュアルゲートミキサの整合回路にフィルタを兼ねたBAWを使用。LO+バッファ:20 $\mu$ W
29.3	A Fully-Integrated UHF Receiver with Multi-Resolution Spectrum-Sensing (MRSS) Functionality for IEEE 802.22 Cognitive Radio Applications	Georgia Inst. Tech.	0.18 $\mu$ m 1.8V 4.8x2.4	470-862MHz受信部にデジタル可変窓-アナログ相関式スペクトルエネルギー検出器を設ける。100kHz cos <sup>4</sup> 窓を用いて30dB-DRで検出感度=-60dBm。検出・受信モード:180mW、
29.7	A Wireless Dual-Link System for Sensor-Network Applications	NEC	0.13 $\mu$ m 1V 5x5mm <sup>2</sup>	アドホック・マルチホップ・ネットワークにおいて422MHz/2.4GHzの二周波数でそれぞれ2.4kb/s、6.144Mb/sのデータを扱い、ルーティング表が不要な葡萄樹トポロジーを用いる。SoC化。50mW/433M、500mW/2.4G
29.8	A 400 $\mu$ W 4.7-to-6.4GHz VCO under an Above-IC Inductor in 45nm CMOS	IMEC Vrije Univ. (Belgium)	45nm 0.12mm <sup>2</sup>	シリコン基板上に3 $\mu$ m誘電体層+2層シールド+18 $\mu$ m誘電体層+インダクタを構成することによってインダクタとトランジスタの干渉を低減し、Qを高める。位相雑音=-114dBc/Hz@3MHz-off@6.4GHz, FoM=185dBc/Hz

Session 31: RF & mm-Wave Power Amplifiers : 2/6 PM

- ・ ミリ波PAもCMOSで可能になる。・・・31.1、31.2、31.3 (・ホットエレクトロン注入の防止が長寿命化の課題)
- ・ 古いPA線形化技術がCMOSの微細化・高性能化でよみがえる。・・・31.4、31.5、31.6

No.	論文名	発表機関	プロセス	内容、特徴
31.1	TX an RX Front-Ends for the 60GHz Band in 90nm Standard Bulk CMOS	NEC	90nm	TX(I/Qmix+VGA+PA)+RX(LNAX2+VGA+I/Qmix)構成の直接変換型。PAは3段構成で整合回路にCP線路を使用し、0.7V動作、Po=8.4dBm with G=10.3dB & PAE=7%。TX: 133mW, 1.5mm <sup>2</sup> 。PA: 89mW, 0.18mm <sup>2</sup> 。RX: 206mW/1V, 1.9mm <sup>2</sup> 。
			0.7/1V	
31.2	A 60GHz 1V +12.3dBm Trnsfomer-coupled Wideband PA in 90nm CMOS	UCB	90nm	2段差動PAの入力、段間、出力に変成器を使用。60GHz時、G=5.5dB、1dB抑圧時出力=9dB、飽和出力=12.3dBm、最大ドレイン効率=32%、PAE=8.8%。
			1V	
31.3	60 and 77GHz Power Amplifiers in Standard 90nm CMOS	Fujitsu Laboratories	90nm	BSIM4モデルに寄生素子を付加してモデル精度を向上。4段構成PAで出力整合にドレイン電圧供給を兼ねた短絡スタブを使用。飽和出力=10.6dBm@60Ghz, =6.3dBm@77GHz。1.5x0.65mm <sup>2</sup>
			1.2V	
31.4	A Single-Chip WCDMA Envelope-Reconstruction LDMOS PA with 130MHz Switced-Mode Power Supply	STMicro. (France)	0.25μm BiCMOS 3.6V	極座標駆動PAで、位相成分はF級差動PAとし、その電源をスイッチング電源で振幅変調。SW電源は130MHzクロックで帯域15MHz、変換効率83%@Po=2W。総合PAE=49%@27dBm、隣接漏洩電力=-39dBc/-47dBc、EVM=4%。1.1mm <sup>2</sup> 、コア部0.86mm <sup>2</sup>
31.5	A 28.6dBm 65nm Class-E PA with Envelope Recnstruction by Pulse-Width and Pulse-Position Modulation	Univ. Washington Intel	65nm	E級PAの出力が入力信号のデューティに敏感なことを利用し、かつその非線形を補正するためにPW-PP変調を行う。SW-Trに厚いゲート酸化膜Trをカスケード構成を4個並列にして擬似差動E級増幅器を構成。Po=28.6dBm with PAE=28.5%、EVM=4.6%@192kHz-π/4-QPSK
			2.5V 1.3x1.6	
31.6	An Outphasing PA for a Software-Defined Radio Transmitter	UCLA 松下/サンゼ	90nm	outphasing PA=linear amplifier with nonlinear components(LINC)方式の課題の一つは位相の異なる等振幅信号の効率的な合成法。新しい概念(省略)による合成法を提案。効率=56%, 44%, 30% for 16.4dBm-GSM, 13.6dBm-EDGE, 13dBm-WCDMA
31.7	A Fully Integrated Quad-Band GSM/GPRS CMOS Power Ampifier	Axiom Microdevises	0.13μm	電力制御ループを内蔵。内部整合で大きな負荷変動に耐え、広帯域動作のため、分布能動変成器に工夫を加える。15:1のVSWRで6V、135°Cの動作を確認。Po=35dBm with PAE=48% @EGSM-900
			3.5V 2.8x1.5	
31.8	Balanced SiGe PA Module for Multi-Band and Multi-Mode Cellular-Phone Applications	STMicro., Catania (Italy)	0.25μm SiGe	L:850-900MHz & H:1800-2100MHz、入力変成器+擬似差動駆動段+PA+電力検出構成。最終整合回路は外付。P=34.9/32.9dBm (PAE=54/45%) for L-GSM/H-DCS, P=27/26dBm (PAE=32/30%) for L-CDMA/H-WCDMA