

ISSCC 2007 報告書
(IEEE International Solid-State Circuits Conference)
RF関係－その3：最終回

開催期間：2007年2月11～15日（主セッション：2/12～14）

開催場所：USA サンフランシスコ, マリオット・ホテル

報告者：中川 准一

- ・ 報告者が注目した論文を4回程度に分けて報告する。今回は最終回。
- ・ 引用：Digest of Technical Papers, 2007 IEEE ISSCC

セッション23、31、32のトピック

Session23: Broadband RF and Radar

- ・ 広帯域化とミリ波応用
- ・ 発表23.1~23.4: 主題は主にLNAの広帯域化
 - ・ 発表23.1,23.2: for UWB、 発表23.3,23.4: インダクタなしのLNA広帯域化
- ・ 発表23.6: 70GHzを分周できるヘテロダイン方式の可能性を示す。

Session29: Analog and Power Management Techniques

- ・ 発表29.1: 応用はEDGE用であり、極座標駆動の電源部構成にアイデアがある。

Session31: WLAN / Bluetooth

- ・ 低消費電力化と一層の低コスト化が求められる領域。
- ・ 発表31.1: Bluetooth用
- ・ 発表31.2~31.4: WLAN用

Session32: TD : Trends in Wireless Systems

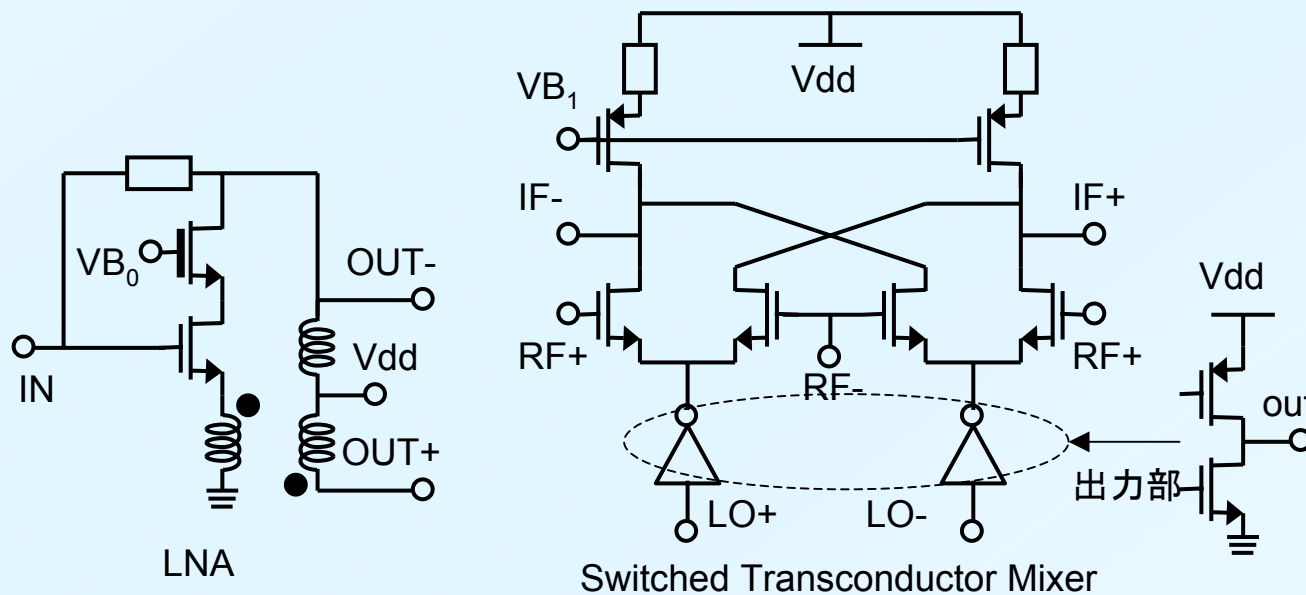
8論文中3論文が発振器

- ・ 発表32.2: optoelectronic oscillator
- ・ 発表32.5, 32.7: BAW VCO

23.1 “A Broadband Receiver Chain in 65nm CMOS”

by S.Lee, NXP Semiconductors, オランダ

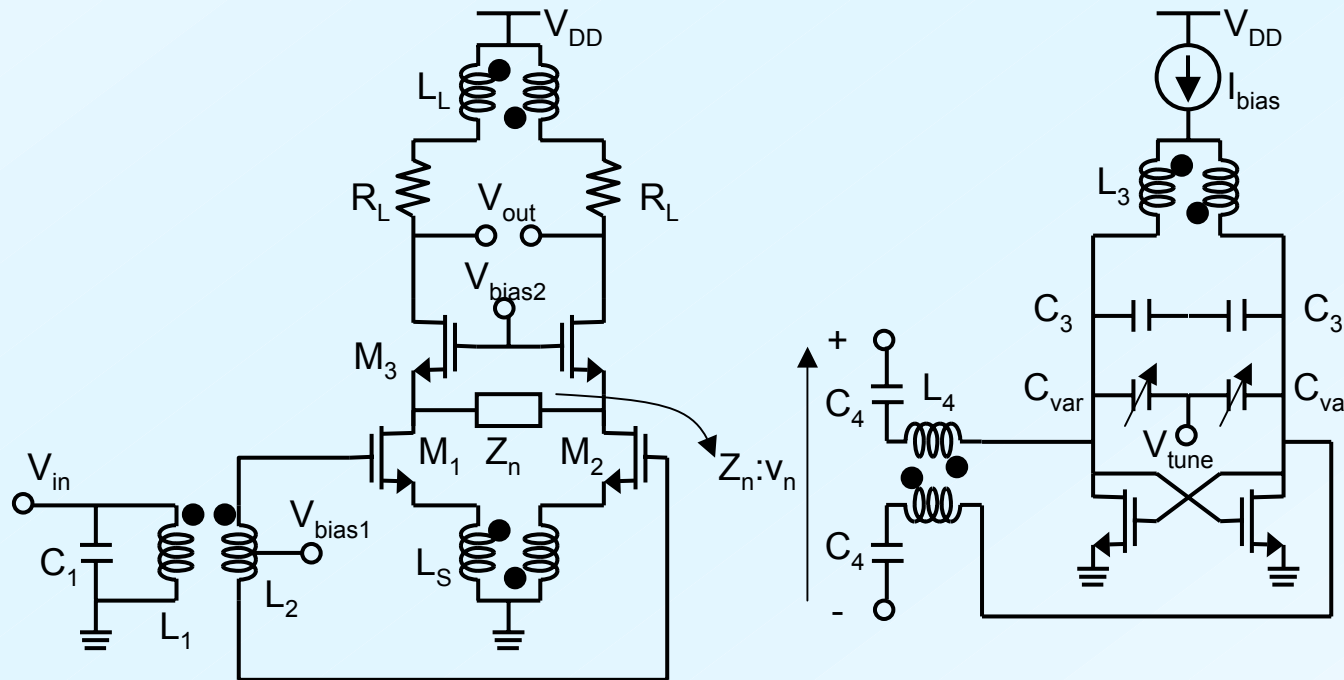
- ・ 要約: MB-OFDM UWB応用を目指し、65nm CMOSを用いて、2重ループ変成器帰還LNAを含む受信フロントエンドを試作し、周波数帯域: 2~8GHz、NF: 4.5~5.4dB、IIP3: -7dBmを得た。ダイ面積: 0.48mm²(アクティブ面積: 0.09mm²)、消費電力: 51mW @Vdd=1.2V。
 - ・ シングルエンドLNA出力をバランで平衡化し、差動切替伝達コンダクターミキサでゼロIFにする。
 - ・ Gv=23~20dB(2~8GHz)、15mA/LNA、8.2mA/MIX+LOswitch、10mA/LOdriver、9.3mA/TIA
- ・ LNAはカスコード型で、出力バランからsource-regenerative inductorに帰還をかけて広帯域化する。
 - ・ 1次巻き線は5金属層を用いた8ターンで120×130μm²で9nHを得る。最上層に形成した2次巻き線は240pHである。1次と2次巻き線をスタックしたので面積が小さく、磁気結合により必要なL値を小さくできる。
- ・ 切替伝達コンダクターミキサ下段のLOインバータはプッシュプル型で、電流は5mAである。
 - ・ LOのハイ・ローに応じてRF信号が入力されるFETのソースはGNDかVddに接続される。
- ・ DC増幅部は伝達インピーダンス(TIA)型オペアンプ3段で帯域264MHzである。



23.2 “A 0.13mm CMOS LNA with Integrated Balun and Notch Filter for 3-to-5GHz UWB Receiver”

by A.Bevilacqua, Univ. of Padova, Italy, (and Infineon, Austria)

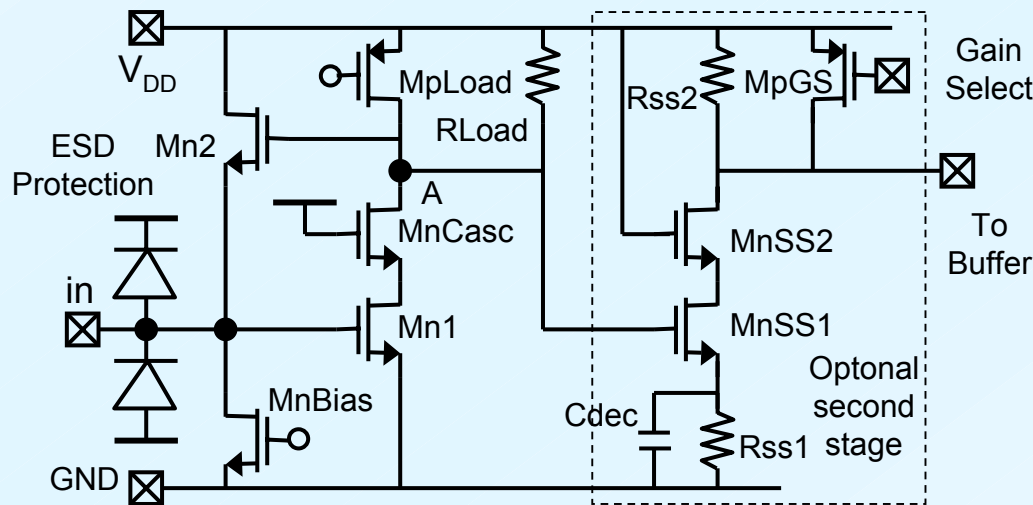
- ・ 要約: バランを内蔵してLNAの入力整合回路として用い、同調ノッチフィルタをLNAに内蔵してWLANやISM帯からのブロッカーに対処する。0.13 μ m CMOSを用い、LNA帯域: 3~5GHz、電圧利得: 19.4dB、NF: 3.5~4.1dB、全帯域にて $S_{11} < -10$ dB、 $P_{1dB} > -9.4$ dBm、IIP3 > -2.9 dBm、ノッチフィルタ最大減衰量: 44dB。消費電力: 24mW/LNA @ $V_{DD}=1.5$ V、7.5mw/Notch Filter、ダイ面積: 1.6mm²。
 - ・ ノッチ周波数: $f_{n1}=2.4$ GHz(減衰量: 6dB)、 $f_{n2}=4.7\sim 5.4$ GHz同調: 減衰量はこの下に
 - ・ ノッチフィルタ減衰量 @5.2GHz: A=45dB/PB=-30dBm、13dB/PB=-20dBm、10dB/PB=-17dBm
- ・ 内蔵バランを含めて差動LNA、差動ノッチフィルタに必要なインダクタを磁気結合型にして面積を低減。
- ・ ノッチ周波数 f_{n1} と f_{n2} の間に並列共振点を設け、すなわちその間にUWBの受信サブ帯域1~3が来るようにしてフィルタインピーダンスを高めて利得向上を図る。・・・ノッチフィルタをオフにすると、利得0.9dB低下



23.3 “An ESD-Protected DC-to-6GHz 9.7mW LNA in 90nm Digital CMOS”

by J.Borremans, IMEC, Belgium (and Vrije Univ. Brussel)

- 要約: 低消費電力、小面積、低NF、広帯域LNAの実現を目指し、90nm CMOSによりインダクタンスを用いない帰還形LNAを試作し、面積 $50 \times 35 \mu\text{m}^2$ 、3dB帯域: DC~6GHz、消費電流: 8.1mA @V_{DD}=1.2V、最小NF: 2.8dB、利得: 17dBを得た。帯域6GHz内で、S₁₁<-10dB (-15~-10dB)、IIP₃: -16~-7dBm。3.2kV HBMのESDを内蔵し、またオプションとして利得切替できる2段目増幅器(3mA)で4dBの追加利得を得た。
- 初段LNAは並列・並列帰還(Mn2によるソースフォロア)、カスコード構成(Mn1-MnCasc)である。
 - ソースフォロアMn2により、入力整合と低NF化を図る。
 - ノードAにおける出力コンダクタンスを一定化するため、負荷をMpLoadとRloadで構成。
 - $g_{mMn1}=80\text{mS}$ 。電圧利得: $A_v=g_{mMn1}R_L$
- 線形特性はMn2による非線形帰還が主要因で、その2次歪みが入力信号と結びついて出力における3次歪みとなる。・・・Mn2のinversion levelを大きくすると、非線形係数が小さくなる。
- ESD用ダイオードの寸法は $19.5 \times 1.5 \mu\text{m}^2$ ・・・ESDの負荷により、NFと整合は若干低下しているが、利得は若干向上している。



入力整合: $g_{mMn2} = \frac{1}{R_S(1 + g_{mMn1}R_L)}$ [1]

NF: $F \approx 1 + \frac{\gamma_1}{g_{mMn1}R_S} + \frac{\gamma_2}{1 + g_{mMn1}R_L} + \frac{1}{g_{mMn1}^2 R_L R_S} + \frac{R_S}{R_{Bias}}$ [2]

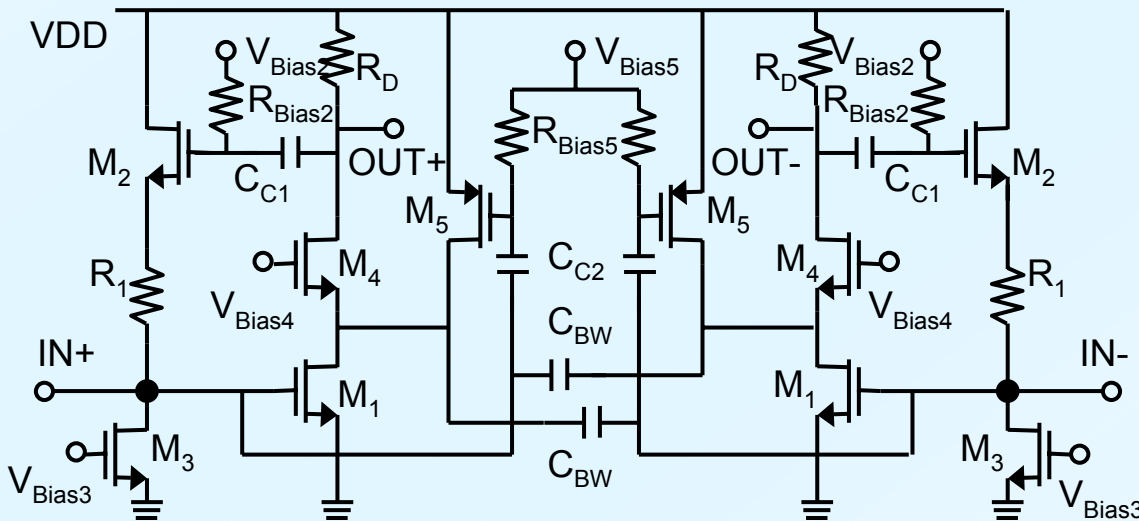
IIP3 $\approx \frac{4}{1 + A_v} \sqrt{\frac{2}{3 \left[\left(\frac{K_2 g_{mMn2}}{g_{mMn2}} \right)^2 + \frac{K_3 g_{mMn2}}{g_{mMn2}} \right]}}$ [3]

R_S: 信号源抵抗
 γ: 余剰雑音係数
 K₂, K₃: g_mのべき級数展開係数

23.4 “A 1.4V 25mW Inductorless Wideband LNA in 0.13μm CMOS”

by R.Ramzan, Linkoping Univ., Sweden

- ・ 要約: インダクタを使用しないLNAを0.13μm CMOSで試作し、消費電力: 25mW @V_{dd}=1.4V、電圧利得: 17dB、3dB帯域: 1~8GHz、NF: 2.7dB @<3GHz、IIP3: -4.1dBm、P_{1dB}: -20dBm、チップ面積: 0.019mm²を得た。ドレイン接地帰還により広帯域50W整合と雑音キャンセルを行った。電流再使用により利得と消費電力特性を改良した。
- ・ 差動LNAはカスコード構成にドレイン接地(ソースフォロア)の並列帰還をかける。
 - ・ 主な雑音源はM1,M2,M3,M5のチャネル抵抗であり、例えばM1のチャネル熱雑音は帰還により入力ゲートに戻ってくるのでかなりキャンセルされる。M2,M5の雑音も少しキャンセルされる。
 - ・ 容量結合で信号を入力するPMOS_M5の電流をM1に流すこと(電流再使用)により、利得を高めると共に抵抗R_Dにおける電圧降下を小さくしてM1,M4が飽和領域で動作するようにする。
 - ・ 入力端子とM2,M5のドレイン間の交差結合容量C_{BW}は、入力容量を中和し、広帯域化と高周波領域の入力整合向上に役立つ。
 - ・ シングルエンド構成の設計パラメータは下式で表される。



$$A_v = -\frac{(g_{m1} + g_{m5})g_{m4}R_D}{(g_{m4} + g_{ds1} + g_{ds5})} = -G_m R_D \quad [1]$$

$$Z_{in} = \frac{1 + g_{m2}R_1}{g_{m2}(1 + G_m R_D)} = \frac{1 + g_{m2}R_1}{g_{m2}(1 + |A_v|)} \quad [2]$$

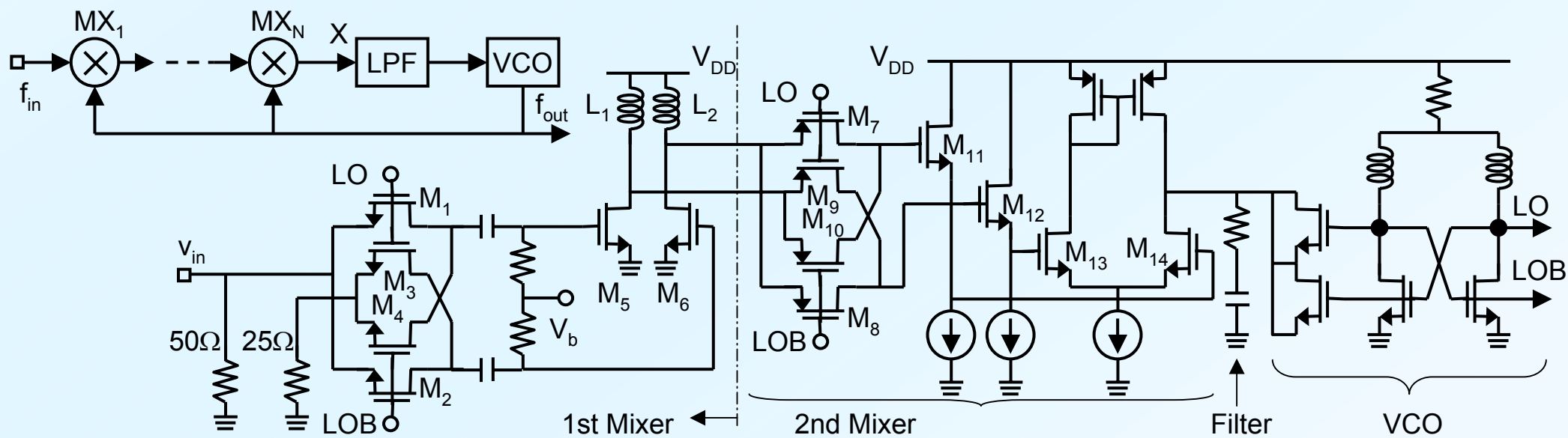
$$\overline{V_{ni}^2} = \frac{kT\gamma_1}{g_{m1}} \left(1 + \frac{1}{1 + |A_v|}\right)^2 \quad [3]$$

$$F = 1 + \left(1 + \frac{1}{1 + |A_v|}\right)^2 \left(\frac{\gamma_1}{4g_{m1}R_S} + \frac{\gamma_5}{4g_{m5}R_S}\right) + \frac{\gamma_3 g_{m3} R_S}{4} + \frac{\gamma_2 g_{m2} R_S}{4(1 + g_{m2}R_1)^2} + \frac{R_1}{4R_S(1 + |A_v|)^2} + \frac{R_D}{4R_S(1 + |A_v|)^2} \quad [4]$$

23.6 “Heterodyne Phase Locking: A Technique for High-Frequency Division”

by B.Razavi, UCLA, USA

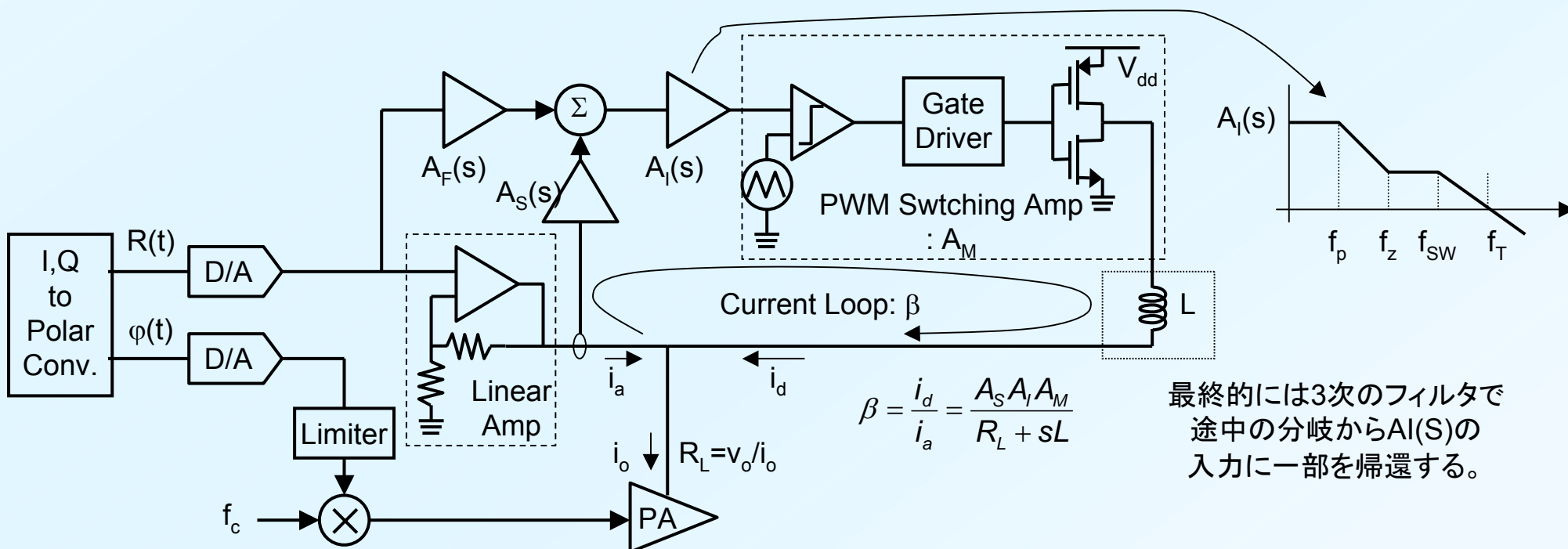
- ・要約:PLL中に複数段のダウンコンバージョンミキサを用いると、任意の整数分周、分数分周ができる。ヘテロダインPLLを0.13 μ m CMOSで試作し、外部同調なしで入力周波数64~70GHzでロックし(入力振幅:-2dBm)、消費電力6mW @Vdd=1.2Vであった。
 - ・アクティブ面積:200 \times 100 μ m²、2ndミキサは位相比較器として動作
- ・図示されていないが、各ミキサ出力にはLPFがある。ダウンコンバージョンミキサをN段用いると、N分周できる。
 - ・任意の整数分周ができるが、Nを増加すると、ループ帯域が狭くなり、VCO負荷が重くなる。
 - ・ロック範囲はほぼVCOの同調範囲に等しく、注入同期分周器より5~10倍広い。
 - ・注入同期分周器のようにQとロック範囲のトレードオフがなく、位相雑音特性が良い。
- ・帰還パスにM分周器を挿入すると、N/M分周ができる。



29.1 “A 2W CMOS Hybrid Switching Amplitude Modulator for EDGE Polar Transmitters”

by T-W.Kwak, KAIST, 韓国 (and Magnachip Semiconductor)

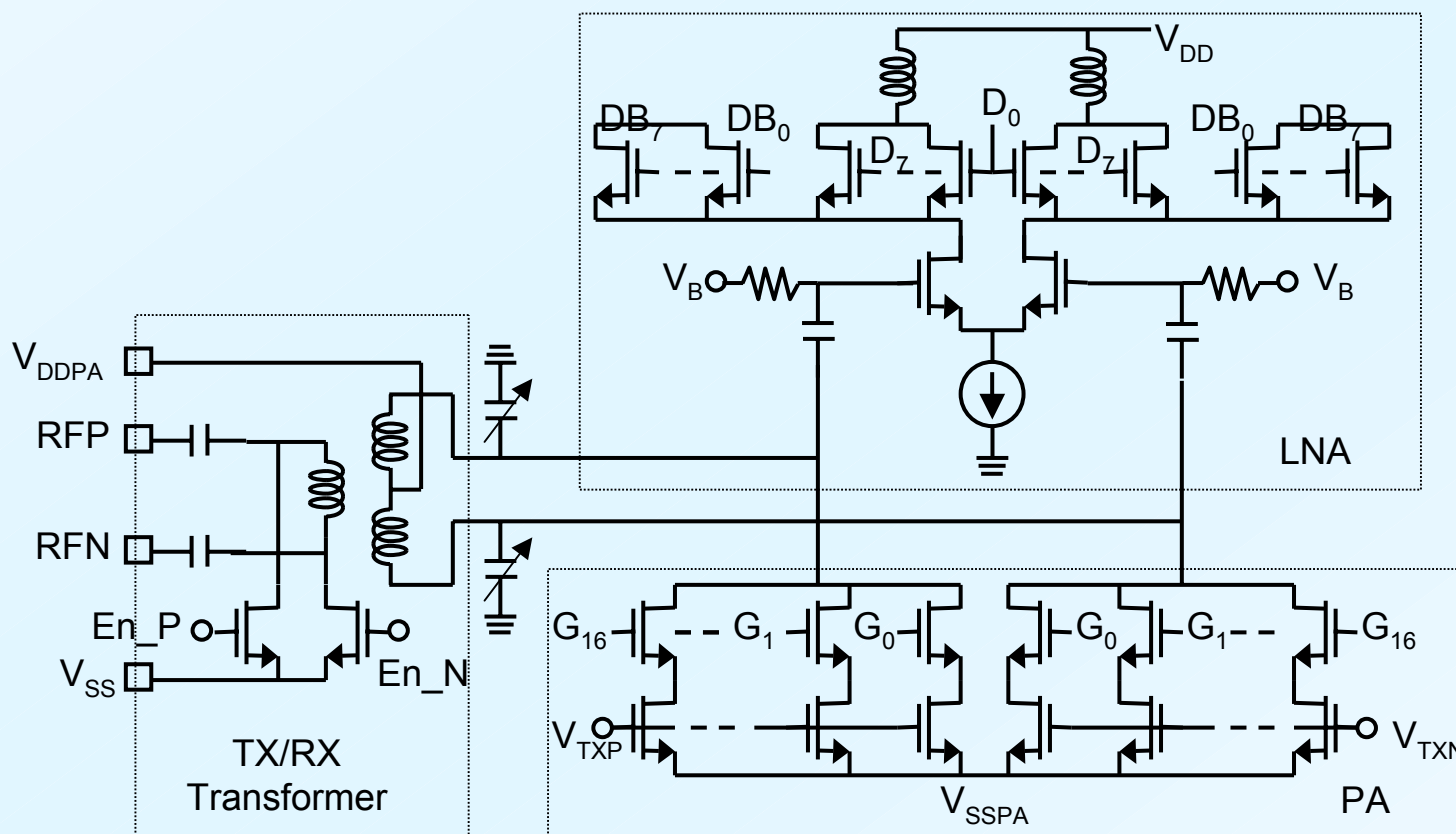
- 要約: E2級で動作する極座標駆動EDGE用電力増幅器の振幅変調器を0.35μm CMOSにより試作した。振幅変調器は線形増幅器とスイッチングD級増幅器のハイブリッド構成で、2MHzスイッチング増幅器の f_T は460kHzで、線形増幅器の帯域は2MHz以上で出力インピーダンスは200mΩ以下である。等価出力インピーダンス4Ωで、PAを最大出力2.25Wまで駆動でき、最大効率88.3%である。
 - 線形増幅器消費電力: 30mW、最大リップル電圧: 12mV_{pp}、チップ面積は4.7mm²。
- 線形増幅器は線形性の良い出力電圧 v_o を制御し、スイッチング増幅器は線形増幅器の出力電流 i_a を検出して増幅し、出力電流 i_o の大部分を供給する。線形増幅器の設計を容易にするため、下記の工夫を行う。
 - 図の電流ループ利得 β を大きくして i_a を小さくする。
 - SW周波数を一定とし、ゼロ点を導入してSW増幅器の f_T を高くする。
 - フィードフォワードパスを追加して、高周波領域におけるSW増幅器の位相遅れを補償する。



31.1 “A Single-Chip Bluetooth EDR Device in 0.13 μ m CMOS”

by D.F.G.Papadopoulos, Advanced Circuit Pursuit, Switzerland

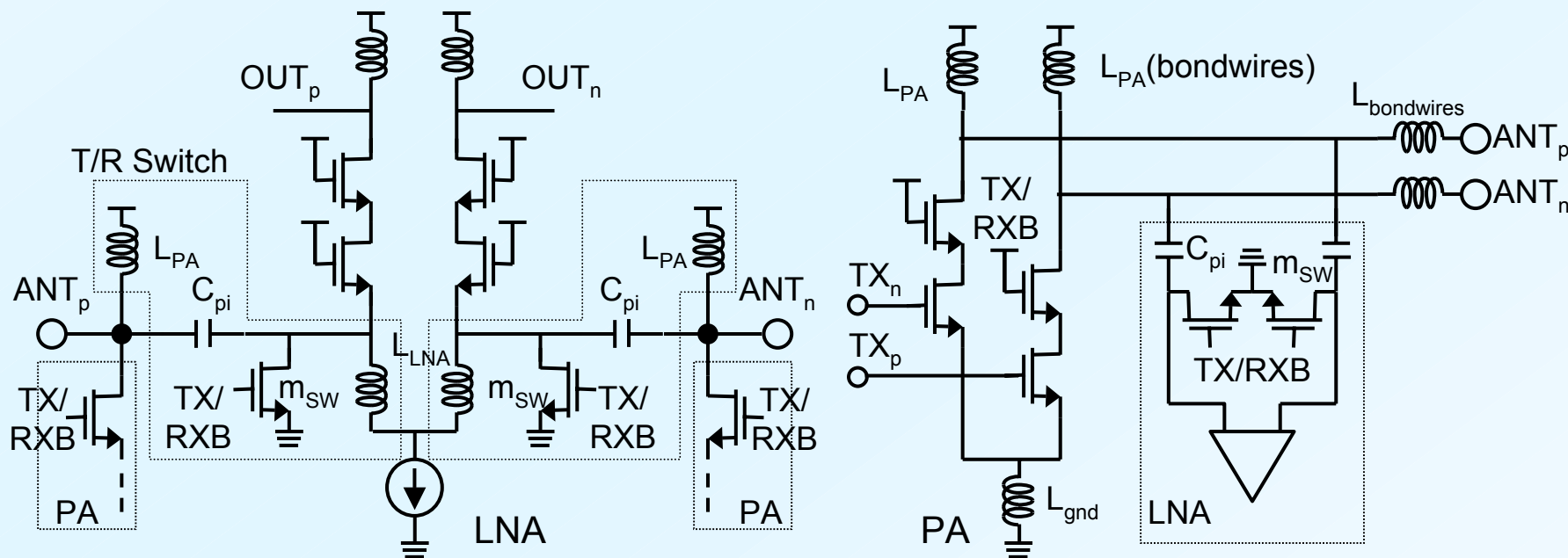
- 要約:新ブルートゥース規格enhanced-data-rate(EDR: 1Mbps/GFSK, 2Mbps/ $\pi/4$ -DQPSK, 3Mbps/8-DPSK)に対応する**完全1チップ**LSIを0.13mm CMOSで作り、面積は11.8mm²である。**RFフロントエンド部に再構築可能変成器を採用し**、受信はローIF方式で受信感度は上記データレートに対応して-88dBm, -90dBm, -84dBmを得、送信は直接変換方式で変調精度5.5%rmsを得た。
 - 電源電圧:1.4-1.65V for RF & Digital core、1.7-3.6V for Regulator input and Digital IO。
 - TX電流:32mA、RX電流:26mA、送信出力:3dBm(-30dB in 2dB steps)
- 変成器は並列共振させて、インピーダンス実部を約50 Ω にする。



- LNAは差動カスコード構成で、利得を電流切替方式で3dBステップで可変する。
- PAは擬似差動カスコード構成で、利得を2dBステップで可変できる。

31.4 “A Fully Integrated RF Front-End with Independent RX/TX Matching and +20dBm Output Power for WLAN Applications” R.Chang, Atheros Comm., USA (and Stanford Univ.)

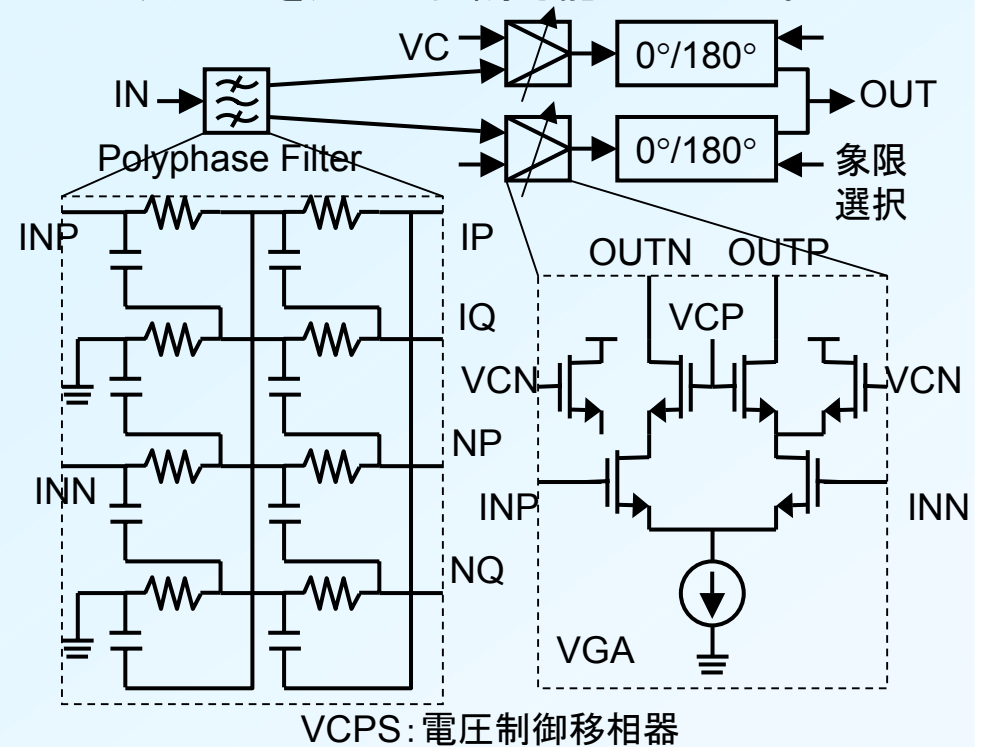
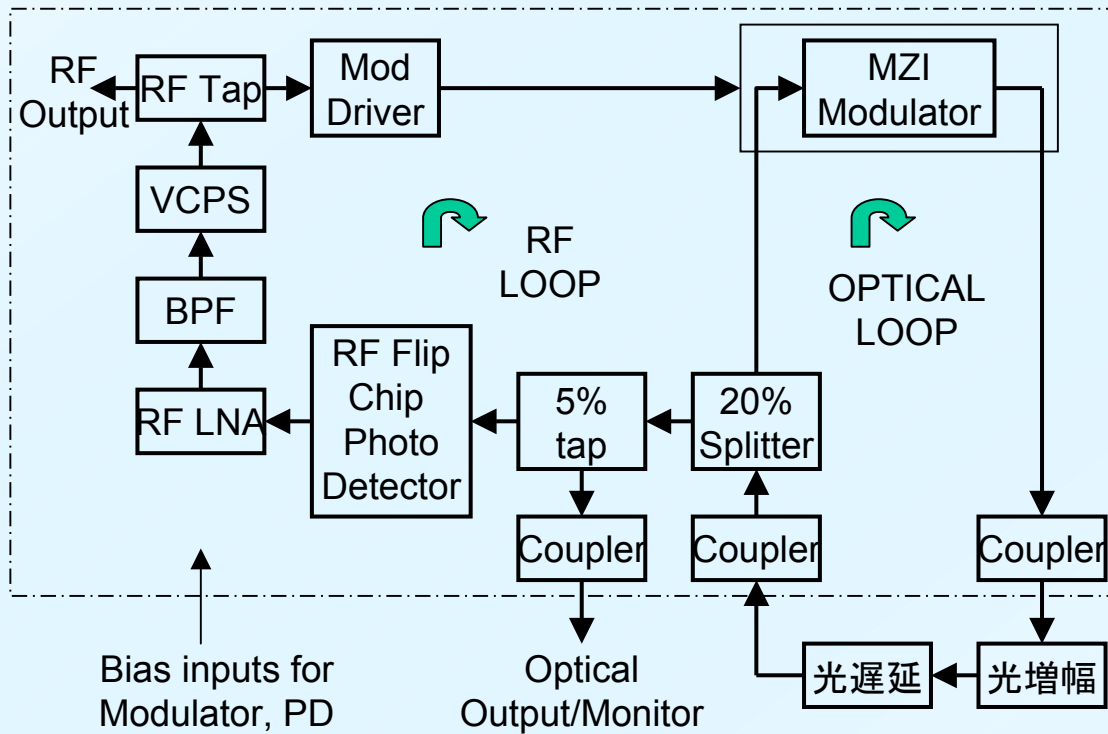
- ・ 要約: 2.4GHz WLAN用RFフロントエンド(PA、LNA、T/Rスイッチ)を0.18 μ m CMOSで試作した。T/Rスイッチとインピーダンス変換回路網を組み合わせて2.4GHzで-15dBのS11を実現し、54Mbps 802.11g信号時の受信感度-73dBm、64QAM OFDM信号で16dBm送信出力時の変調精度-25dBを得た。ダイ面積: 1.2mm²。
- ・ T/Rスイッチと π 型インピーダンス変換回路網を組み合わせて整合を取ると共に、PA出力から見てローインピーダンス、LNA入力に対してはNF最小になるように設定した。
 - ・ LNAモード時は m_{SW} とPAの上部FETはオフで、 π ネットワークが働き、PAモード時は m_{SW} はオンで容量 C_{pi} はアイソレーションとして働き、全体で20dB以上のアイソレーションを確保する。
 - ・ 受信系のNFは5.8dBで1Mbps時の受信感度-94dBm、LNAの電流は8.4mA @Vdd=1.8V。
 - ・ PAはA級で、電流300mA @Vdd=3.5V、飽和出力25dBm、6Mbps時の出力20dBm。
 - ・ カスコード型PAの上のFETおよび容量 C_{pi} には厚い酸化膜を用いる。



32.2 “A Low Phase Noise 10GHz Optoelectronic RF Oscillator Implementation Using CMOS Photonics”

by C.Gunn, Luxtera, USA, (and Forza Silicon)

- ・ 要約: Si Photonics モノリシック集積技術と130nm SOI CMOSを組み合わせ、大部分を集積化した10.2GHz 光電子発振器(OEO)を試作した。10kHzキャリアオフセットの位相雑音は-112dBc/Hzであり、RF部の消費電力は800mW以下であった。
 - ・ 変調器ドライバー消費電力約575mW、他のRF部は200mW、Vdd=1.2V
- ・ Mach-Zehnder干渉計(MZI)を用いて、10GHz RF信号で半導体レーザーをモードロックしている。光遅延線にはファイバを用いる。
 - ・ 光検出器(PD)で電気信号に変換後、LNA、BPFに通し、電圧制御移相器(VCPS)によって二つのループ間の位相を調整する。・・・10.24GHzに調整し、RF出力は0dBmである。
 - ・ BPFは大振幅を得るために非対称Gm回路を用い、PMOSバラクターを用いて同調可能としている。



32.5 "A 1V 600mW 2.1GHz Quadrature VCO Using BAW Resonators"

by S.Rai, Univ. of Washington, USA

- 要約: BAW (bulk-acoustic wave) 共振器を用いた2.1GHz直交VCOを0.13 μ m CMOSを試作し、消費電力600mW @Vdd=1Vで、1MHzキャリアオフセットの位相雑音は-143.5dBc/HzでFOM (figure of merit)は212.1dBであった。I/Q二つのVCOの結合にはtime-varying source degeneration技術を用いた。
 - 同調範囲: 1.5MHz <1%、IQ位相誤差: 1°以下、アクティブ領域: 290 × 360 μ m²
- 同時にLC-QVCOを試作・・・発振周波数2.2GHz、位相雑音:-110.7dBc/Hz @ 1MHz off、FOM: 179.7dB、同調範囲: 300MHz =13.6%、消費電力: 600mW、アクティブ領域: 440 × 1040 μ m²
- BAW共振器の場合、低周波発振し易いので交差結合FETのソース間にデカップリング容量C_Sを挿入。
- time-varying source degeneration技術: 容量C_Sに三極管領域動作FET二個を直列接続し、I/Q-VCOの互いの出力で駆動・・・バイアス電圧を調整することにより、90°位相差を±5°の範囲で調整可能。

$$FOM = 10 \log \left[\left(\frac{f_0}{\Delta f} \right)^2 \frac{1}{L(\Delta f) \cdot P_{diss_mW}} \right]$$

