

ISSCC 2007 報告書  
(IEEE International Solid-State Circuits Conference)  
RF関係ーその2

開催期間: 2007年2月11～15日 (主セッション: 2/12～14)

開催場所: USA サンフランシスコ, マリオット・ホテル

報告者: 中川 准一

- ・ 報告者が注目した論文を4回程度に分けて報告する。今回はその2回目。
- ・ 引用: Digest of Technical Papers, 2007 IEEE ISSCC

## セッション10、17、19のトピック

### Session10: mm-Wave Transceivers and Building Blocks

- ・ 90nm CMOSの $f_T$ は100GHzを超え、60GHzを超える動作の発表が活発化。
  - ・ Siによる実現は、マルチGb/s非免許LAN、自動車レーダー、医療画像の低価格化普及を可能にする。
- ・ 発表10.1、10.3、10.5: マルチGb/s非免許LAN
- ・ 発表10.6: 自動車レーダー

### Session17: Analog Techniques and PLLs

- ・ PLLは、あらゆるLSIに使用される重要な回路ブロックであり、システムの性能消費電力などに影響する。
- ・ 発表17.1、17.2: Wireless Communications用
- ・ 発表17.3~17.9: デジタルシステム用

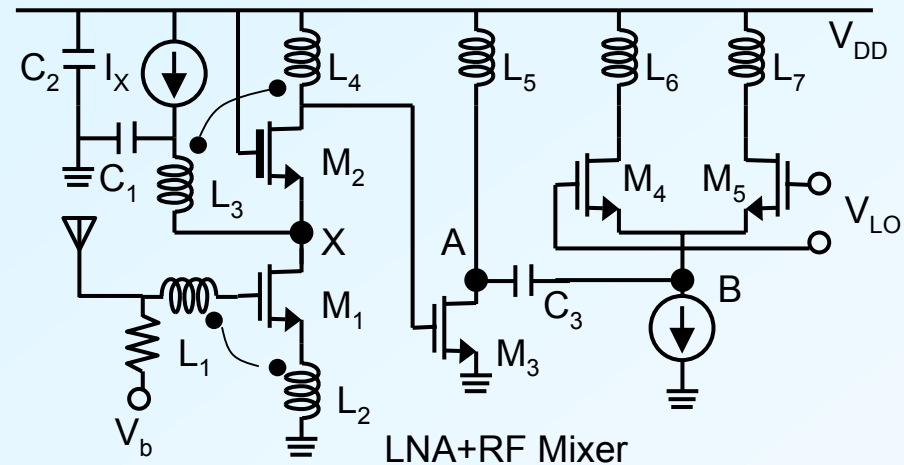
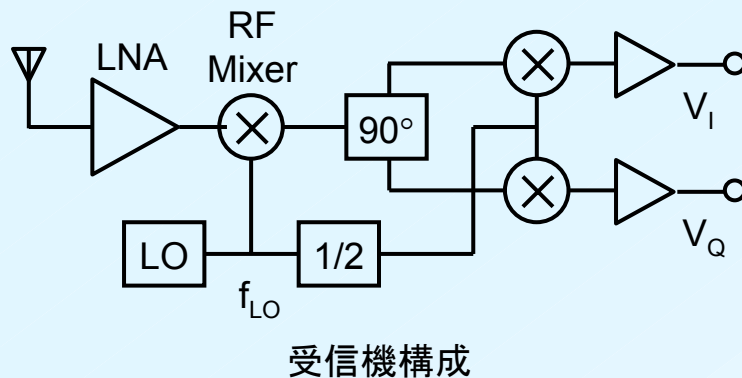
### Session19: Cellular and Multi-Mode Transceivers

- ・ 3Gサービスが本格的に立ち上がり始めて一層の低コスト化が求められ、2.5G以前用の端末の低コスト化要求も留まるところがない。
- ・ 各種サービスの連続接続要求がより強くなり、マルチモード端末の開発が活発化している。
- ・ 発表19.1~19.3: WCDMA送信機の受信帯域雑音を低減して、送信段間SAWフィルタをなくそうとする試み
- ・ 発表19.4~19.5: dual band transceiver (CDMA2000/North American cellular+PCS、TD-SCDMA/190MHz)
- ・ 発表19.6: 再構築可能なソフトウェア無線機

10.1 “A mm-Wave CMOS Heterodyne Receiver with On-Chip LO and Divider”

by B.Razavi, UCLA, USA

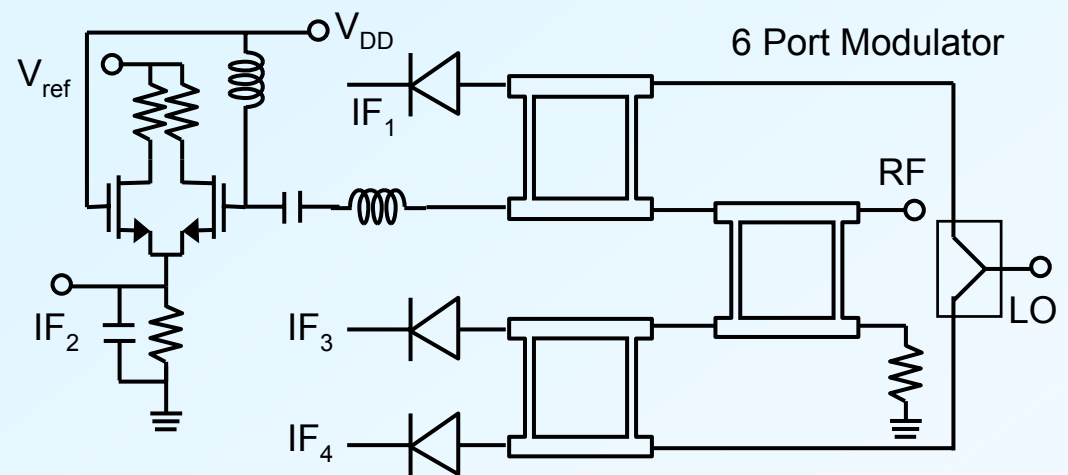
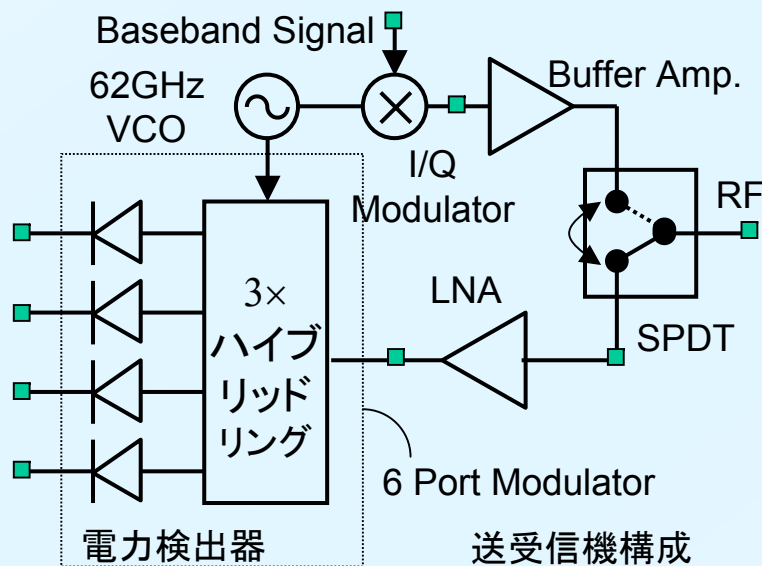
- 要約: 90nm digital CMOSを用いて、49~53GHz(目標: 60GHz)で動作する受信フロントエンド(LNA、ミキサ、局部発振器、1/2分周器、IF\_I/Qミキサ、バッファ増幅器)を試作した。各回路のインダクタが大きな面積を占め、信号経路が長くなって損失と不整合を招くので、レイアウトを工夫した。
  - NF=6.9~8.3dB、Gv=26~31.5dB、 $P_{-1dB}=-25.5dBm$ 、イメージ除去比=44.5dB、IQ不整合: 1.6dB / 6.5°
  - LO入力への漏れ=-47dBm、LO位相雑音=-95dBc/Hz @1MHz offset、Pd=80mW、Vdd=1.8V。
- 60GHz帯の信号に対して $f_{LO}=40GHz$ (実際は35GHz)とし、 $f_{IF}=20GHz$ でゼロIFに変換。
  - 構成メリットは、FEの特で20GHzイメージを減衰でき、かつ $f_{LO}=60GHz$ より位相雑音特性が良い。
- LNAのノードXにおける $M_1, M_2$ による容量を打ち消すためにインダクタ $L_3$ と共振させて、広帯域化と $M_2$ の雑音寄与を小さくする。電流源 $I_x(\approx 0.25I_{DC})$ により、雑音と利得の最適化を行う。
- LNAのインダクタ間の磁気結合は、面積削減のために入れ子にしたことによる結合を示す。
- $L_3, L_4, L_5$ に流れる信号電流の帰還パスにおける寄生容量を小さくするため、金属電極を持つ $C_1, C_2$ を設け、100 $\mu m$ 幅のグランドと入力グランドパッドに接続する。
- $L_5$ によりノードA,Bの寄生容量を打ち消し、 $M_3$ の信号電流を容量結合でミキサに注入する。
- 1/2分周器はMiller式



10.3 “A 60GHz Low-Power Six-Port Transceiver for Gigabit Software-Defined Transceiver Applications”

by C-H.Wang, National Taiwan Univ., 台湾

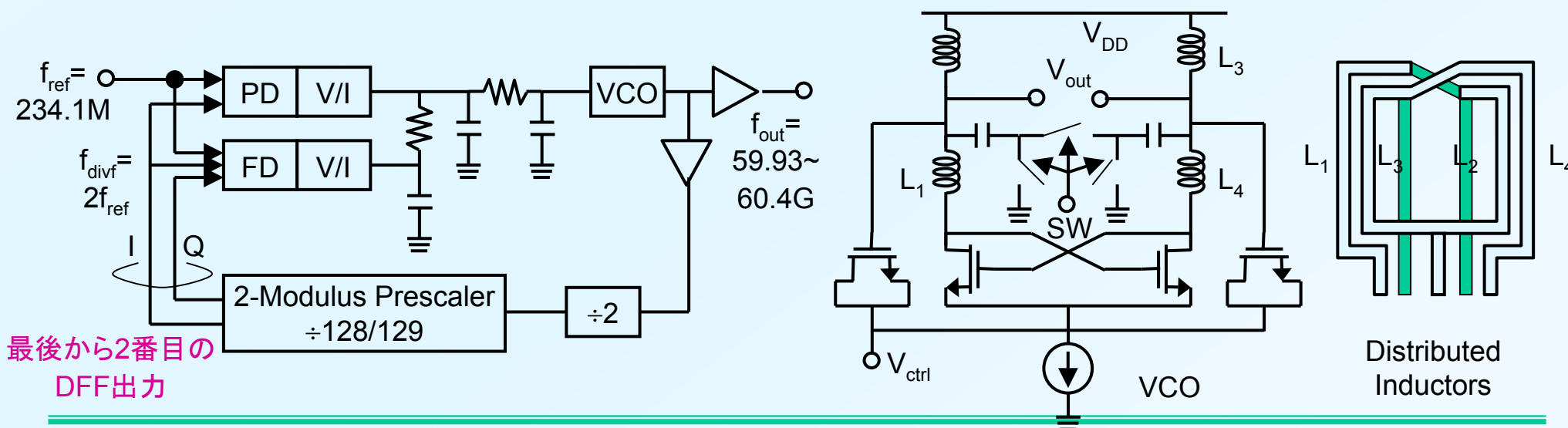
- ・ 要約: 高ビットレート・ソフトウェア無線機の実現に向け、0.13 $\mu$ m CMOSを用いて60GHz送受信機を試作。送信変調器は変形反射型(広帯域方向性結合器とFETスイッチを使用)変調部と90°結合部で構成し、受信復調部は3個のハイブリッドリングと電力検出による6ポート構成とする。下左図の構成で4.5dBの変換利得と4Gb/sの変調帯域を得、消費電力は97.7mWであった。整合回路に薄膜マイクロストリップ線路を用いる。
  - ・ バッファ増幅器とLNAは類似構成で、カスコード増幅段6段で構成、G=20dB, NF=8dB @60~64GHz
  - ・ 消費電力: 36.9mW/BA, 31mW/LNA, 30mW/VCO
  - ・ 0.13 $\mu$ m bulk CMOS ( $f_T=91$ GHz,  $f_{max}=108$ GHz)、1.65  $\times$  1.5mm<sup>2</sup>
- ・ 受信復調回路におけるRF信号とLOの位相および振幅比は4個のIF出力を用いて、実時間校正を行う。
  - ・ 無校正時、外部BPSK信号による変調精度は入力-30dBm時に4%以下であった。
- ・ 外部LO使用時、イメージ除去比は30dBc、LO抑圧比は20dBcであった。



10.5 “A 58-to-60.4GHz Frequency Synthesizer in 90nm CMOS”

by C.Lee, National Taiwan Univ., 台湾

- ・ 要約: 高調波同期位相比較器 (PD) と周波数比較器 (FD)、**分布インダクタを用いたVCO**、**電流再利用ラッチ**を用いたマスタ・スレーブ2分周器、4/5同期分周器と非同期32分周器による2モジュラスプリスケアラによって周波数シンセサイザを構成した。60.4GHz時の位相雑音は-85.1dBc/Hz @1MHz offset、-95dBc/Hz @2MHz offset、消費電力は80mW at Vdd=1.2Vであった。
  - ・ 総分周数: 256/258、同調周波数範囲: 58~60.4GHz (57.9~59.4G, 59~60.5G)
  - ・ 基準周波数スプリアス: -50.75dBc @59.93GHz, -50.40dBc @60.4GHz
  - ・ 90nm CMOS、ダイ面積: 0.95 × 1mm<sup>2</sup>
- ・ **インダクタL<sub>1</sub>, L<sub>4</sub>は交差結合デバイスの寄生容量と共振させ、出カインピーダンスを高める。**
  - ・ 小さなバラクターを用いてリークを低減し、金属電極容量を切り替えて可変範囲を拡大。
- ・ 高調波同期PDを用いて2f<sub>ref</sub>の周波数で比較するので、高調波ロックを防ぐためにFDを併用。
- ・ 2分周器におけるクロック入力Trの伝達コンダクタンスを高めるため、電流再利用するPMOSFETをNMOSFETに直列接続し、容量結合でクロックを両Trに入力する。

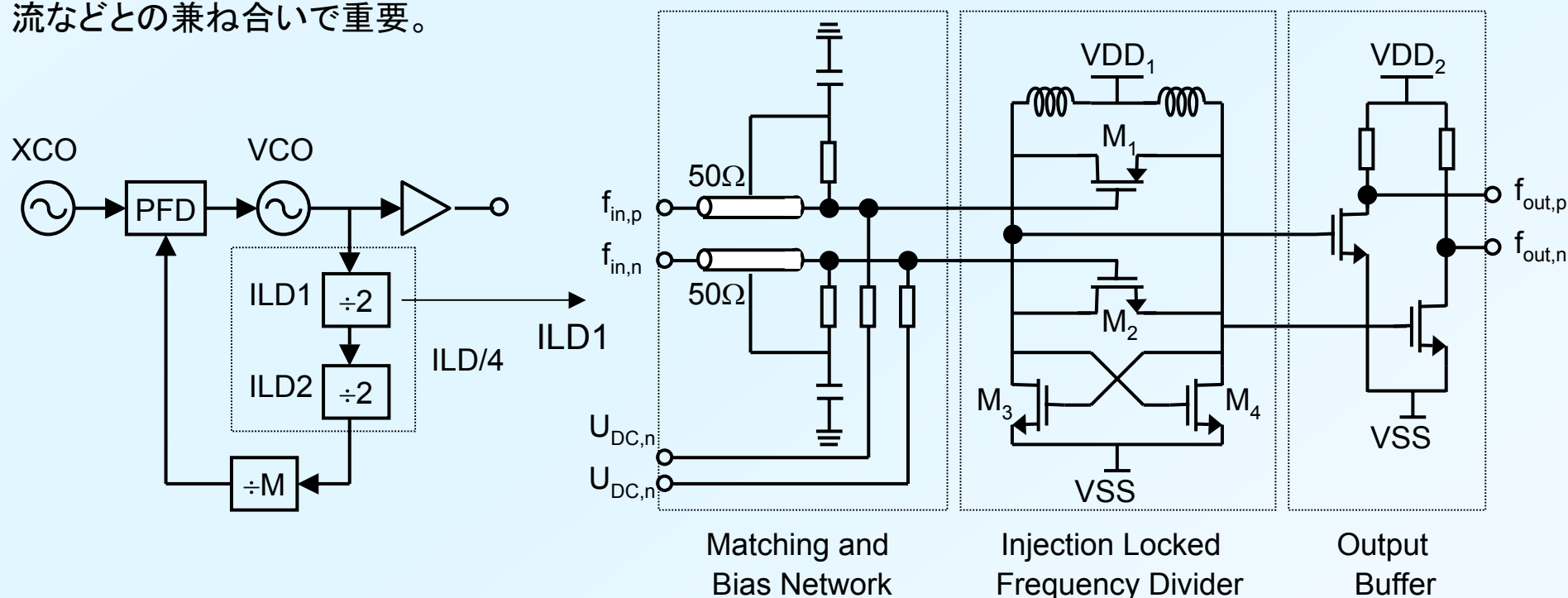




10.6 “A 90GHz 65nm CMOS Injection-Locked Frequency Synthesizer”

by P.Mayr, Ruhr-Univ. Bochum, Germany

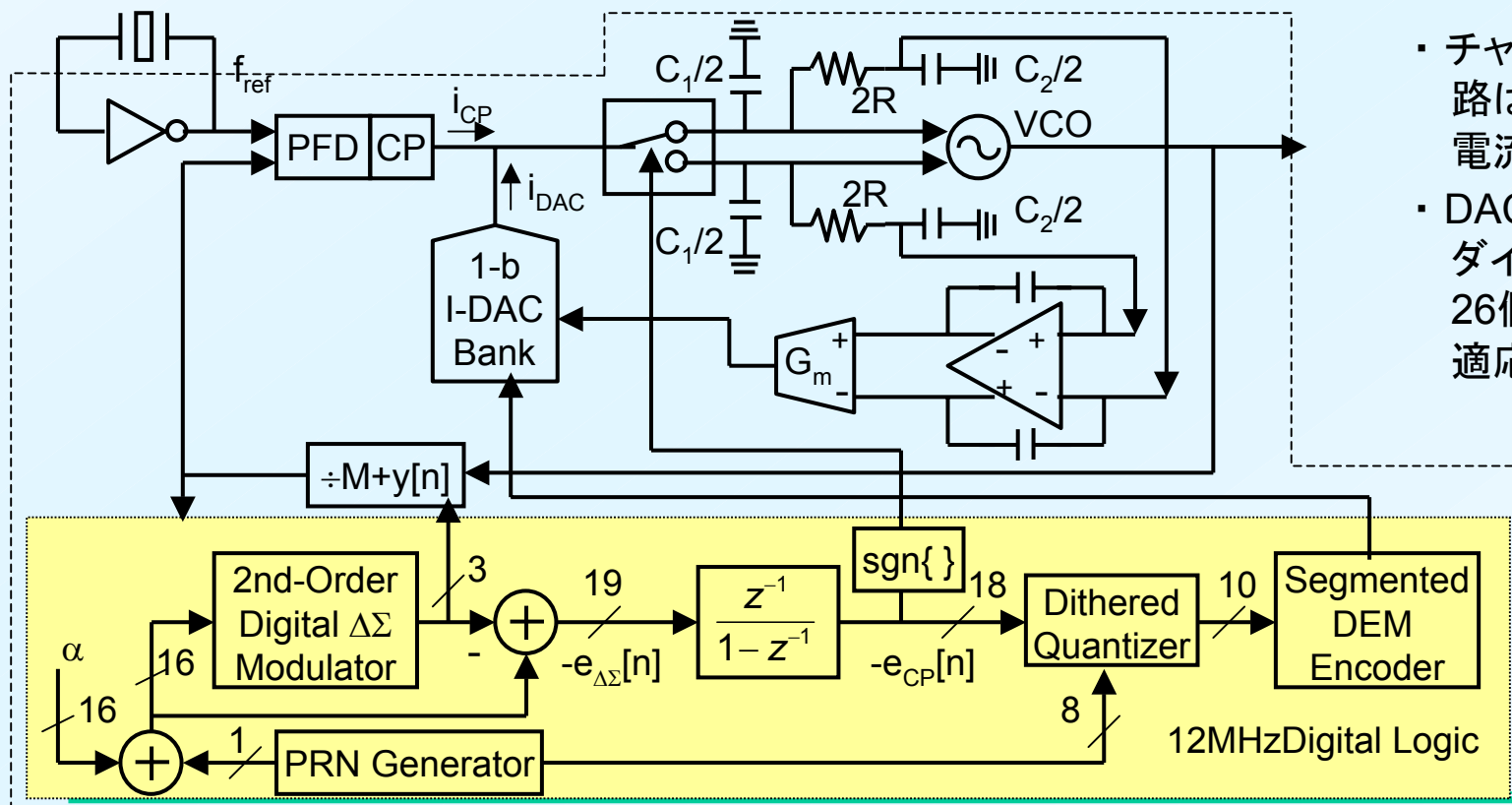
- 要約: 自動車レーダー用を目指し、**注入同期型分周器**を2段含んだ周波数シンセサイザを65nm CMOSで試作し、1段目分周器の同期範囲82~94.1GHz / 消費電力4mW、2段目分周器の同期範囲34.3~42.1GHz / 消費電力8.4mW、あるいは縦続接続時に同期範囲79.7~81.6GHzを得た。チップ面積は $1.15 \times 0.85\text{mm}^2$ 。
  - 分周器本体電流: 7mA / 0.56V、ILD1引き込み範囲: 13.75% @0dBm、ILD/4引き込み範囲: 2.35% @ -1dBm。
- レーダー応用では周波数ランプの線形成が重要なので、引き込み範囲が広く取れる1/2注入同期型を採用し、**寄生容量をLCタンク素子として利用**する。
  - 直接注入同期を相補型で行い、VCOから見た負荷を平衡させている。
  - PMOSによる注入より、NMOSによる注入の同期範囲が広い。…注入Trのサイズ設計が同期幅や消費電流などとの兼ね合いで重要。



17.1 “A Wide-Bandwidth 2.4GHz ISM-Band Fractional-N PLL with Adaptive Phase-Noise Cancellation”

by A.Swaminathan, UCSD, USA

- ・ 要約: 比較周波数12MHz、チャンネル間隔1MHzの2.4GHz帯PLLに**適応位相雑音キャンセル法とDAC校正法**を適用した分数分周周波数シンセサイザを0.18 $\mu$ m CMOSで試作した。ループ帯域730kHz、1MHz切替時間35 $\mu$ s、位相雑音: -101dBc/Hz @100kHz-offset、-124dBc/Hz @3MHz-offsetを得た。ダイ面積は2.2 $\times$ 2.2mm<sup>2</sup>、コア回路の消費電流: 20.9mA @1.8Vである。
  - ・ 基準f-Spur= -52dBc、Frac\_Spur @1MHz= -47dBc、Frac\_Spur @2MHz= -57dBc。
- ・  $\Delta\Sigma$ 処理によって生じるLMS符号誤差 $\text{sgn}[e_{cp}[n]]=(1, -1)$ を直接加えるとフィルタで大きな直流成分が生じるので、フィルタとVCOバラクタを半分にして **$\Delta\Sigma$ 処理誤差は差動モードルートで補正し**、PLLメインルート誤差はコモンモードで同期させる。…従来方式は差動積分回路のルートがない。

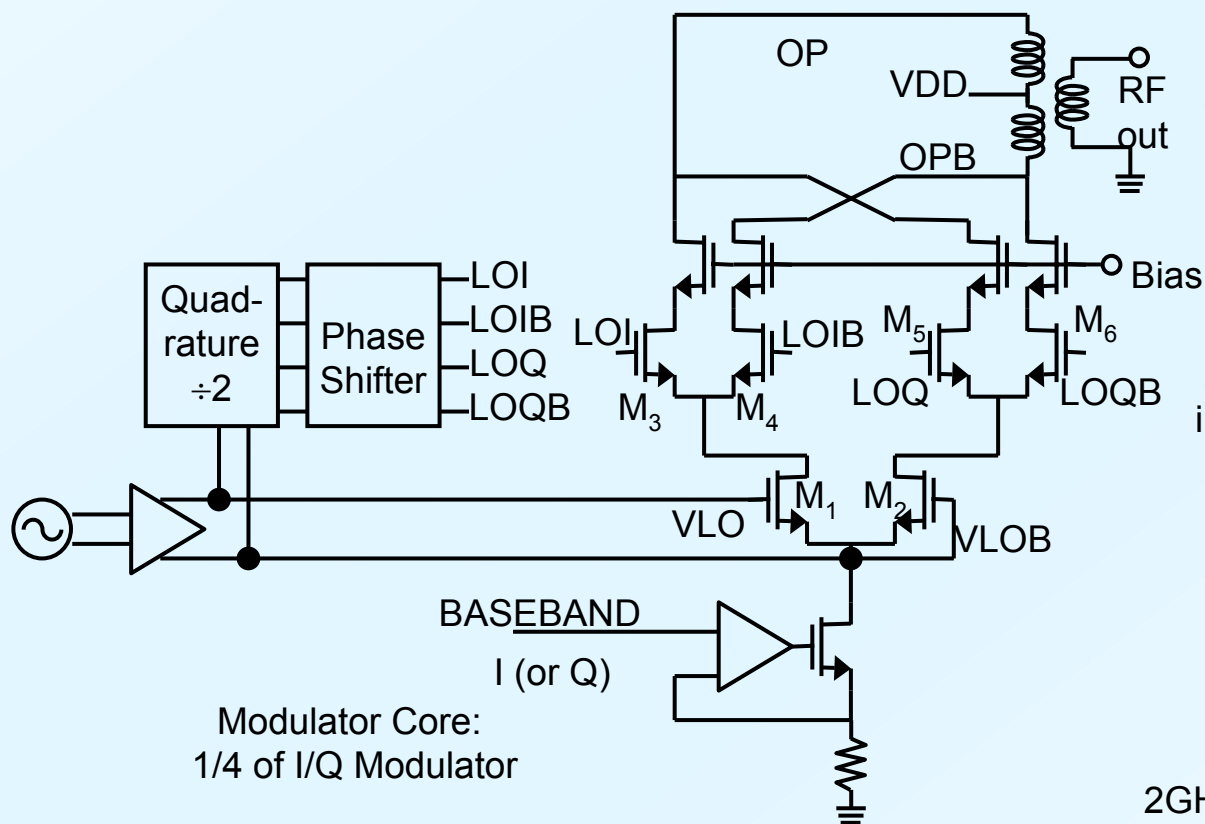


- ・ チャージポンプ用のバイアス回路は1/8周期だけ動作させて低電流化している。
- ・ DACはセグメント化ツリー構造ダイナミック素子整合 (DEM) と26個の加重1bDACの構成で、適応校正法を採用している。

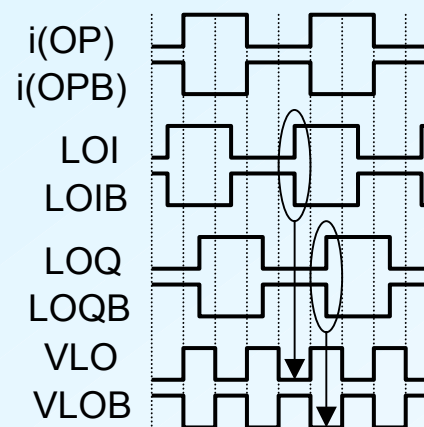
19.1 “Direct-Conversion WCDMA Transmitter with -163dBc/Hz Noise at 190MHz Offset”

by C.Jones, Analog Devices, UK

- 要約: 1710~2025MHz多帯域・直接変換送信機を0.18 $\mu$ m CMOSとpost-passivation インダクタとそれによる内蔵バランを用いて試作した。多段並列変調器とアッテネータの組み合わせで60dBの利得制御と、190MHz離れた受信帯域雑音-163dBc/Hzを得ることができた → SAWフィルタが不要となる。出力大で駆動増幅器が不要。
  - 送信3.8dBm @1950MHz時、雑音:-163dBc/Hz @2140MHz、ACLR:-46dBc、EVM:3.7%、 $I_0=84$ mA
  - @1920MHz時、雑音:-158dBc/Hz @1880MHz (from DCS band)、 $I_0=27\sim 84$ mA at 2.8V
- LOプリングを防ぐために4GHzを採用し、下左図の変調器で2GHLOが遷移するときに切替雑音が出ないように下右図のような波形関係にする。…最適位相幅は約45° for -162dBc/Hz → 自動校正



- 出力バランに8個の変調器を並列接続してオン・オフすることによって18dBの利得制御を行い、更にR-2Rラダーと7個の変調器による利得制御とベースバンド信号の利得制御により60dBの可変範囲を確保。



2GHz and 4GHz LO 波形の位相関係

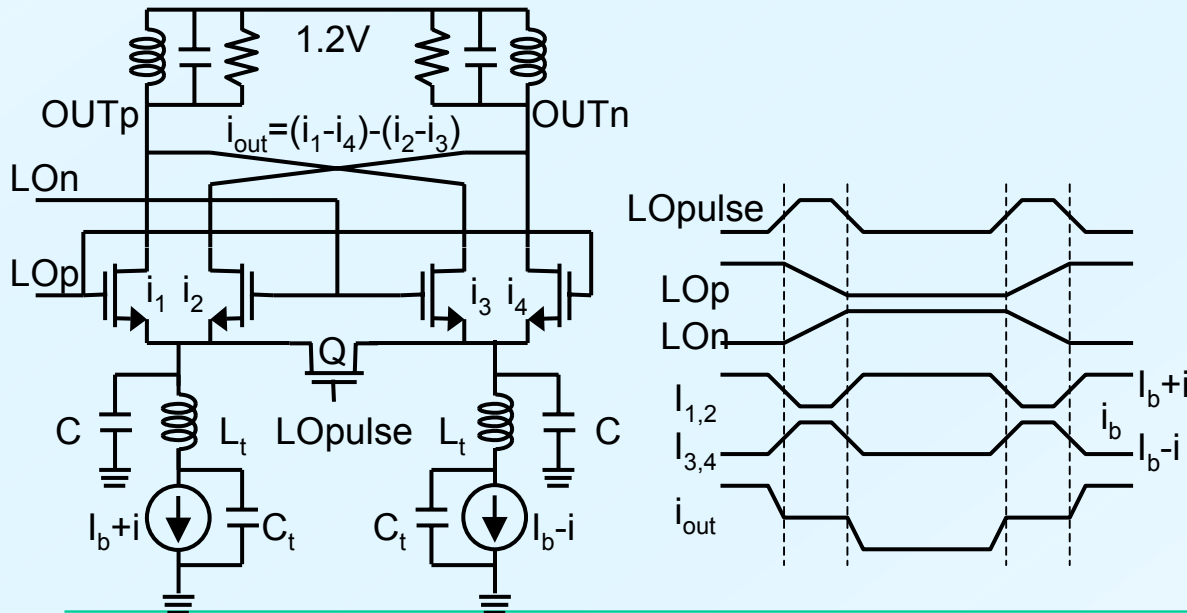
- 出力バランの特性により、高調波レベルは-40dBcであった。



19.2 “A Linear Uplink WCDMA Modulator with -156dBc/Hz Downlink SNR”

by D.F.G.Papadopoulos, Advanced Circuit Pursuit, Switzerland

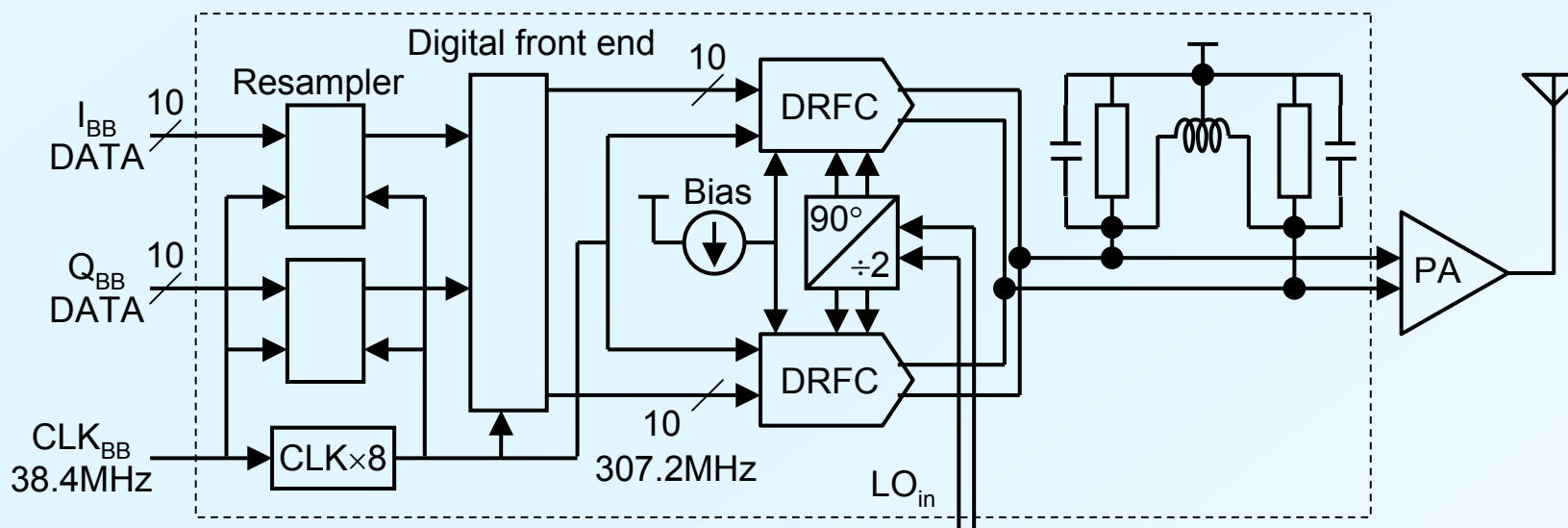
- 要約: WCDMA変調器用ギルバートセル型ミキサに若干の素子を加えて駆動波形を工夫することによって線形特性を改善したミキサを0.13μm CMOSで試作し、Pout=-10dBm時に-49dBc @5MHzのACLRと下り回線帯域で-156dBc/HzのSNRを得た。改善効果はミキサIIP3の6dB改善に当たり、送信(段間)SAWフィルタが不要となる。
  - 変換利得: -5dBc、OIP3: 13dBm、キャリアリーク: -45dBc、イメージ除去比: -43.5dBc、EVM: 3%。
  - Pd=113mW、Vdd=1.2V、ダイ面積: 1.6×0.77mm<sup>2</sup>      L ACLR: -70dBc @10MHz
- ミキサの線形性はLOスイッチが遷移するとき劣化するので、遷移時に出力に信号電流が流れないように、図のようなLopulseをLOから発生して2組のスイッチのソースをトランジスタQで短絡し、両スイッチ組に同じ直流電流のみが流れるようにする。
  - トランジスタQが短絡したとき、スイッチソースの寄生容量電荷再配分ができるだけ起こらないようにする必要がある。従って、電流源寄生容量は信号電圧依存性があるため、ソース直列インダクタL<sub>t</sub>を挿入する。



19.3 “A WCDMA Transmitter in 0.13mm CMOS Using Direct-Digital RF Modulator”

by P.Eloranta, Nokia, Finland

- ・ 要約:2005年の発表29.2の技術をWCDMA用に改良し、90dB以上の電力制御範囲、出力-2dBm時に-58dBc @5MHzおよび-61dBc @10MHzのACPRを得た。利得27dBの外付けPAを用いて、2%以下のEVM、-35~25dBmの電力範囲を得た。0.13 $\mu$ m 1.2V CMOSプロセスを用い、ダイ面積:2.1 $\times$ 1.9mm<sup>2</sup>。
  - ・ 出力-2dBm時にアナログ部消費電力92mW(46mW / Po=-45dBm)、デジタル部消費電力65mW
- ・ **デジタルRFコンバータ(DRFC)**:10b、**サンプリング周波数:307.2MHz=38.4M $\times$ 8**、上位6MSB:63個のユニットセル、下位4LSB:MSBの1/16電流の15個のセル、4個のMSBバイアスセル、8個のLSBバイアスセル、4+4+2個のダミーセル...2進データを温度計式データに変換してセルを駆動
  - ・ 各セルはギルバート平衡ミキサ型で、下の電流源にLO信号を印加し、上のスイッチペアに流れる電流をベースバンド信号で切り替える。
  - ・ ベースバンドIQ信号の高調波成分を除くため、デジタルフロントエンド(イメージ抑圧ノッチ用4段IIRフィルタとローパス用4段FIRフィルタ)に通す。
- ・ 最大出力時、イメージ除去比は-40dBcで、主劣化要因はLOパスの位相不整合である。

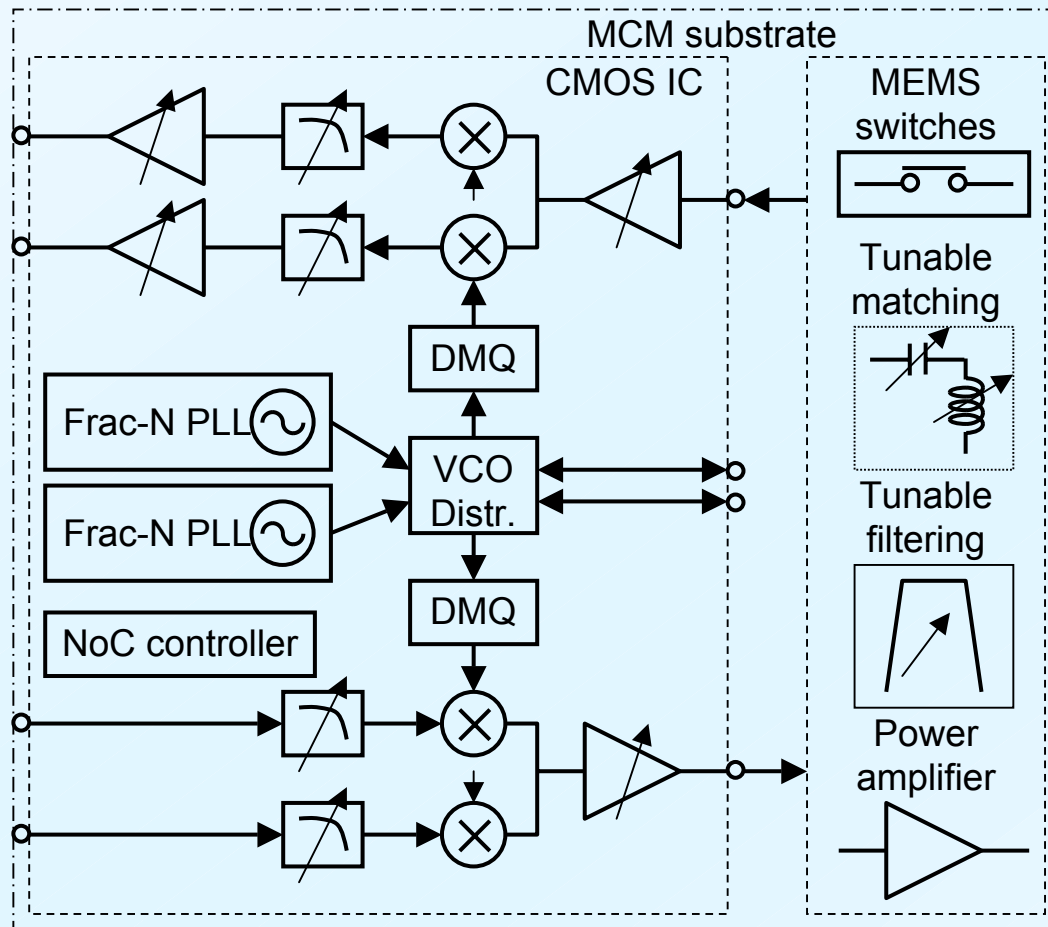


- ・ 出力範囲60dBで、最大歪み-50dBc以下を得た。
- ・ 利得27dBの電力増幅器を用いて、25dBm出力時、-41dBc @5MHzのACPR、-125dBm/Hzの受信帯域雑音を得た。

19.6 “A Fully Reconfigurable Software-Defined Radio Transceiver in 0.13mm CMOS ”

by J.Craninckx, IMEC, Belgium, Samusung, and Univ. of Lecce

- ・ 要約: 多規格で動作可能でRX,TXと2個のシンセサイザを含む完全再構築可能なSDRを試作した。MEMSスイッチと組み合わせたLNAにより、干渉除去用スイッチ切替フィルタの構成可能性が検証された。受信ベースバンド部は350kHz~23MHzの帯域と雑音特性をプログラム可能である。RXは6dBのNF、-9dBmのIIP3、90dBの利得を有する。0.13 $\mu$ m 1.2V CMOSプロセスにより、受信消費電流62~120mA、送信消費電流56~89mAであった。
  - ・ IC送信部: ACPR: -42dB、EVM: 2.2%、 $I_0=5mA$  @ $P_{1dB}=-15dBm$ 、帯域可変幅: 1~16MHz



- ・ 今回、LNAは1.8GHzと5GHz帯で設計。
- ・ ダウンミキサは電流型で7bプログラム利得可変。
- ・ チャネルフィルタはGm-Rローパス型で次数(2,4,6)と帯域(350kHz~23MHz)は独立設定可能。
- ・ 可変利得増幅器は同様な構成で、更に雑音レベルを制御可能。
- ・ 以上の特性設定は、受信信号品質に基づいて最適設定される。
- ・ FDD用にLOを2個備え、ダイレクトコンバージョンのプリングを防ぐため、分周・逡倍・直交(DMQ)ブロックを使用して6GHz~150MHzのLOを発生。
  - ・ 2~20可変分周器とDLLを使用
- ・ 送信側も受信側と同様な技術を使用、各部のプログラム設定はブロック毎にNetwork-on-chip(NoC)で行う。