

ISSCC 2007 報告書  
(IEEE International Solid-State Circuits Conference)  
RF関係ーその1

開催期間: 2007年2月11～15日 (主セッション: 2/12～14)

開催場所: USA サンフランシスコ, マリオット・ホテル

報告者: 中川 准一

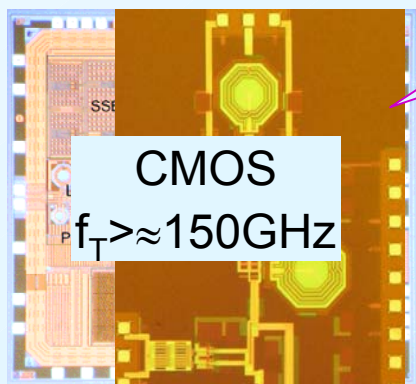
- ・1968～2002年: (株)日立製作所・中央研究所、および通信関連事業部において、主に移動無線機器、特にその無線高周波部の開発に従事。
- ・2003年～: NPO法人アナログ技術ネットワークに所属。
- ・ISSCC2005から連続参加。

- ・ 報告者が注目した論文を4回程度に分けて報告する。今回はその1回目。
- ・ 引用: Digest of Technical Papers, 2007 IEEE ISSCC

全体の印象

全周波数(≈100GHz)を席卷するCMOS

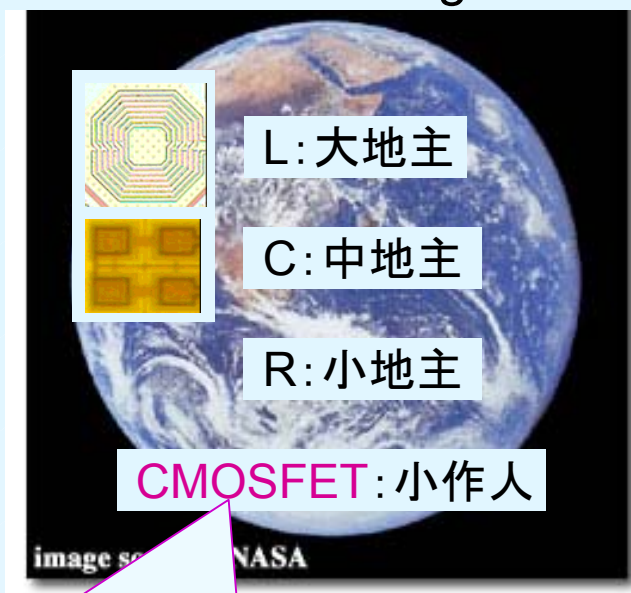
…ミリ波領域の回路開発が本格化。



私、100GHzの山を  
登りきるわよ！

UWBなどいろんなシステムが  
実用化されて、RFフロントエンドの環境が  
どんどん悪くなるわね！  
設計者の方々、回路方式を工夫してうまく  
使いこなしてね！

CMOS RF-Analog World



高周波アナログ世界では肩身が狭い！  
大地主をのさばらせないように、  
知恵を出してよ!!!



CMOSFETに代わって、報告者の影の声です。

## ISSCC 2007 無線システム関連セッション

全32セッションのうち、無線システム関連の発表のあったセッションとその名称:

- #4 RF Building Blocks :2/12PM聴講
- #6 UWB & mm-Wave Communications Systems :2/13AM
- #10 mm-Wave Transceivers and Building Blocks :2/13AM聴講
- #17 Analog Techniques & PLLs : 2/14PM
- #19 Cellular and Multi-Mode Transceivers :2/14PM聴講
- #23 Broadband RF and Radar :2/15AM聴講
- #29 Analog & Power Management Techniques :2/15PM・・・1件
- #31 WLAN / Bluetooth :2/15PM前半聴講
- #32 TD : Trends in Wireless Systems :2/15PM後半聴講

上記セッションの発表の機関・国を分類すると、次ページの表のようになる。

- ・ 高周波技術の観点から、下記セッション中にも興味あるものがあるが省略する。

- #11 TV Tuner / RFID・・・7件
- #12 Gigabit CDRs and Equalizers・・・7件
- #24 Multi-Gb/s Transceivers・・・7件
- #30 Building Blocks for High-Speed Transceivers・・・9件

参考:ISSCCの発表論文集はダイジェスト誌としてIEEEより刊行されており、本年のダイジェスト誌のページ数は656ページ。各論文はレターサイズ2ページで、図表6~7を含む。

無線システム関連発表の機関・国

session	#4	#6	#10	#17	#19	#23	#31	#32	
RF件数	8/8	8/8	8/8	9/9	9/9	8/8	4/4	5/8	
機関	大学 官庁	米国:2	米国:3	米国:2	米国:2	米国:1	米国:2	米国:1	
			フィンランド:1	台湾:2	フィンランド:1	スイス:1	スウェーデン:1	ベルギー:1	
			ベルギー:1	ドイツ:1	オランダ:1		ベルギー:1	台湾:1	
			シンガポール:1		オーストリア:1		台湾:1		
	産学 共同	米国:1	米国:1	米国:2	韓国:1	中、米:1	米国:2	米国:1	
		イタリア:2		蘭、米:1		ベ、韓、伊:1	独、澳:1	ドイツ:1	
		ドイツ:1					伊、澳:1		
		台湾:1							
	企業	米国:1	オーストリア:1		米国:2	日本:2	オランダ:1	米国:2	米国:1
		米、日:1			韓国:1	澳、独:1			ドイツ:1
						英国:1			
						フィンランド:1			
国別計	米国:27	ドイツ:5	台湾:5	ベルギー:4	ベルギー:4	フィンランド:3	蘭、伊、韓:3	澳、日:2	

#29 : 1件...韓国企業、 ・国別計:複数国発表は筆頭国を採用

・採択全論文内訳(事務局発表)...大学:51%、企業:49%、 米国:39%、極東:31%、欧州:30%

## セッション4、6のトピック

### Session4: RF Building Block

- ・ セッション4.1、4.3:
  - ・ 携帯機器における実用動作電力レベルにおける電力増幅器効率が重要視されている。
  - ・ 電力増幅器PAの高効率線形化技術・・・極座標(振幅パスと位相パス)駆動
- ・ セッション4.4、4.5、4.2:
  - ・ 各種の無線システムが提案され、実用化されているので、受信回路には多様な干渉波、妨害波が入ってくるので、受信回路におけるシステム仕様満足は重大課題である。
  - ・ RF-IC外付け部品をなくして、小形、低コスト化する要求が非常に強いので、歪み除去回路を内蔵する。
  - ・ 出力増幅器の負荷変動安定性を高める自動制御回路を内蔵する。

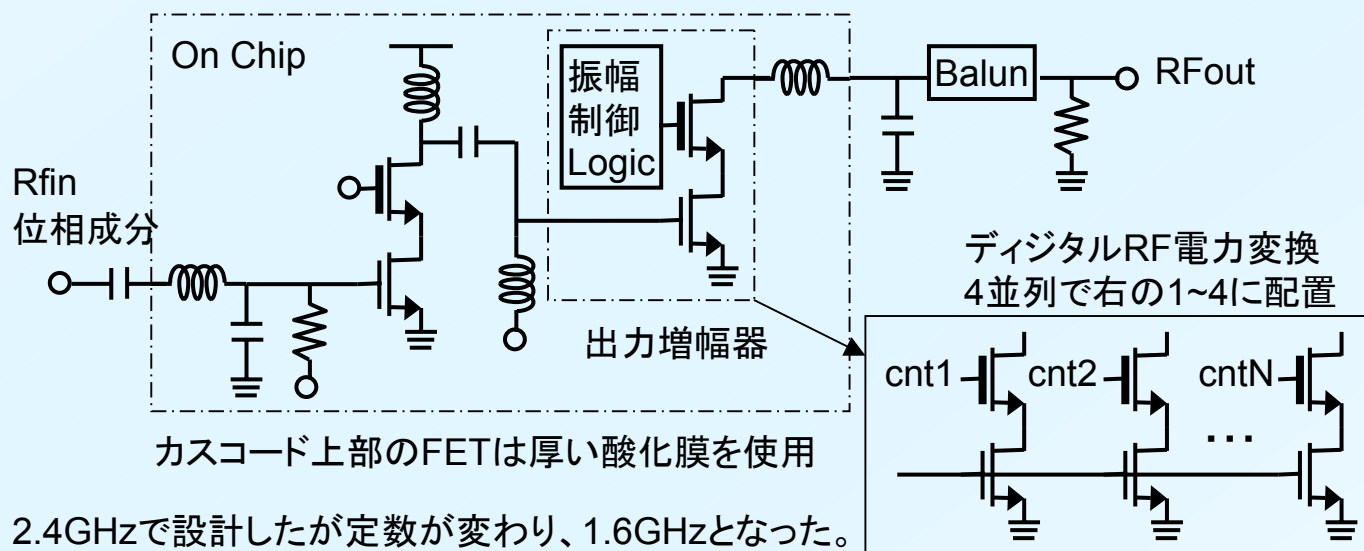
### Session6: UWB (Ultra Wide Band) and mm-Wave Communications Systems

- ・ UWBの本格実用化を迎えて、USA : 3.1~10.6GHzの高帯域用トランシーバICの開発が活発。
  - ・ 480Mb/s以上の高速データ速度: 短距離マルチメディア用 ← multi-band OFDM, DS-UWB
  - ・ エネルギー効率が低い=低電力対データ速度比: センサー(ネットワーク)用 ← pulse-based schemes (ex. PPM: Pulse Position Modulation)
- ・ セッション6.2: multi-band OFDM
- ・ セッション6.3、6.4: PPM

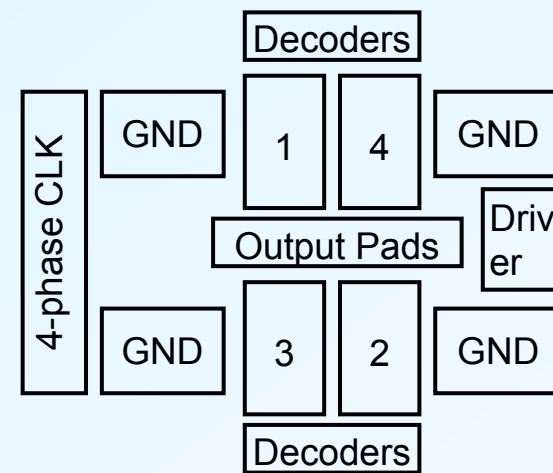
4.1 “A Digitally Modulated Polar CMOS PA with 20MHz Signal BW”

by A.Kavousian, Stanford Univ., USA

- 要約: IEEE 802.11g / 64QAM OFDM用PAの効率を向上するため、極座標駆動とし、位相成分増幅用の64個の定包絡線増幅器を6ビットの振幅成分による4倍オーバーサンプリングと4倍線形補間によってデジタル的にオン・オフする。
  - PA部+デコード部を0.18 $\mu$ m CMOSで試作し、ベースバンドI,Q信号を振幅・位相成分に分解する部分などをFPGAで構成した。・・・1.3 × 1.4mm<sup>2</sup>
  - 20MHz信号帯域、1.6GHz、13.6dBm出力、-26.8dB変調精度で、7.2%の効率を得た。
- 従来方法: OFDM信号のピーク対平均電力比は10dB以上であり、A級増幅の効率は5%以下である。
- 駆動増幅部と64個のユニット出力増幅器(4並列)を完全差動構成とする。・・・図はシングルエンド表示
  - 6ビット+4倍オーバーサンプリング+4倍線形補間(20MHzクロック × 4相)
  - 出力増幅器を4並列共通重心レイアウトにして、熱分布を一様化し、線形動作範囲を広げる。
- 出力増幅部: 1.7V / 247mW、駆動増幅部: 2.2V / 66mW、ロジック部: 1.8V / 247mW



2.4GHzで設計したが定数が変わり、1.6GHzとなった。

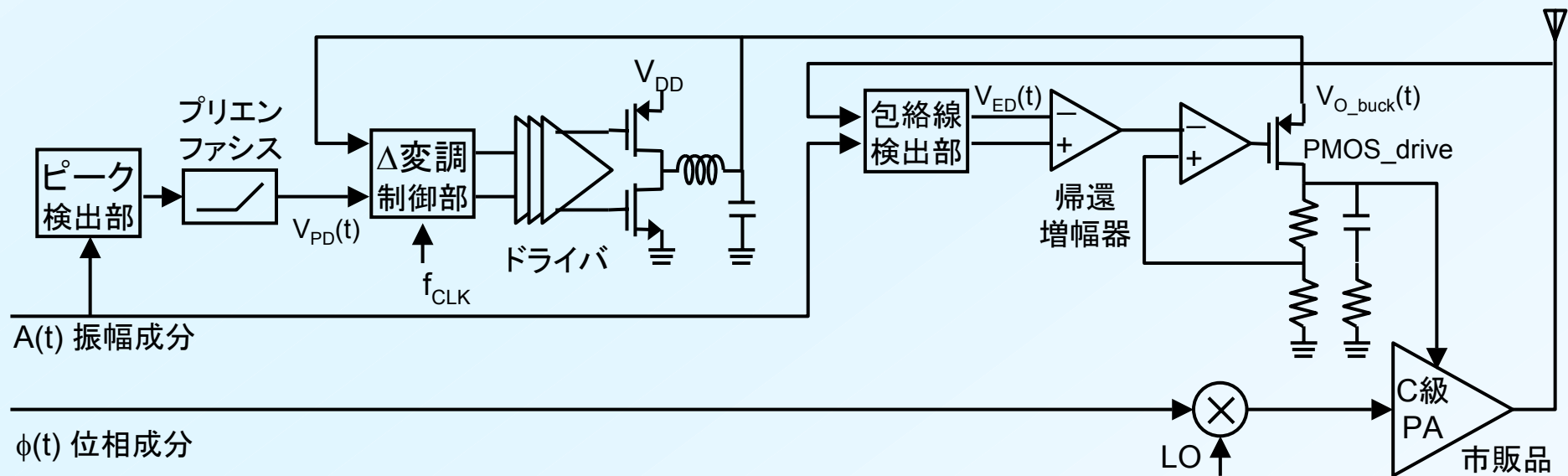


共通重心レイアウト

4.3 “Combined Linear and Dmodulated Switched-Mode PA Supply Modulator for Polar Transmitters”

by J. Kitchen, Arizona State Univ., USA

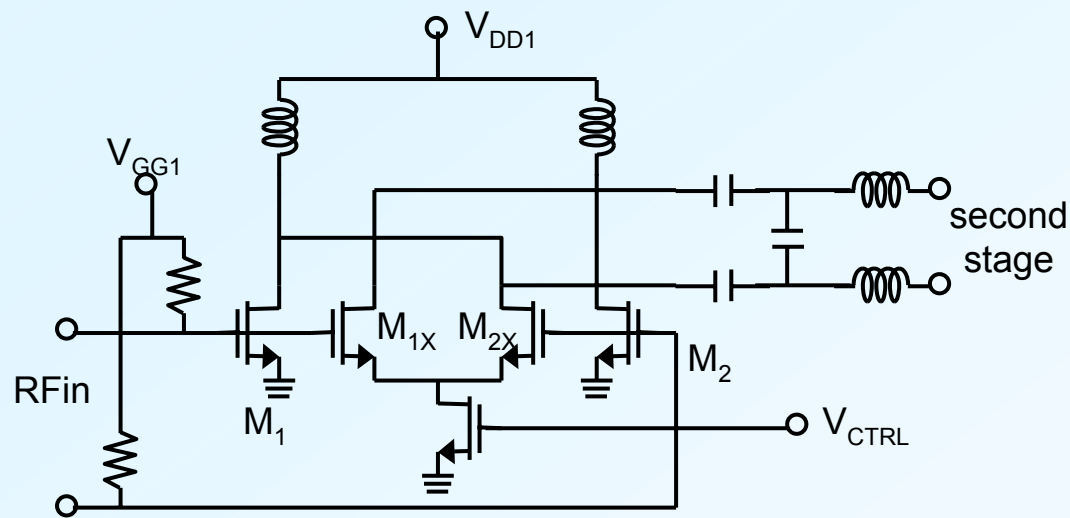
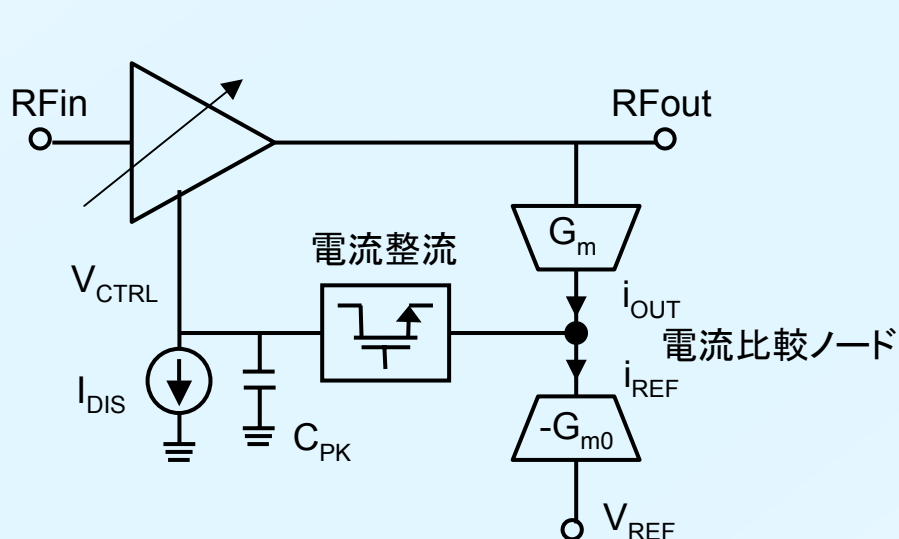
- 要約: 極座標駆動するC級PAを振幅成分駆動する電源部を線形ドロップモードとスイッチモードの合成とし、特に後者の雑音特性を改善するために $\Delta$ 変調を用い、広帯域で高効率を達成した。
  - 最大入力帯域: 4MHz、入力振幅電圧ダイナミックレンジ: 20dB、SNDR@最大出力: 75dB
  - 最大電源効率@最大出力(1.2W): 75.5%、 $\Delta$ 変調クロック周波数: 10MHz
  - 電源変調部、包絡線検出部、帰還増幅器を0.25 $\mu$ m CMOSで試作、2.1  $\times$  2.0mm<sup>2</sup>、3.6V / 3.3V
- PA出力の包絡線とA(t)振幅成分を比較してPAの電源電圧を変化する線形低ドロップ電源部の電源電圧を、 $\Delta$ 変調switched-mode buck converterを用いて平均包絡線信号に応じて変化させる。
  - スイッチ電源電圧は3.6Vで、他の回路電源電圧は3.3V。
- $\Delta$ 変調スイッチ電源部から出た高域雑音は、ドロップ電源部の出力FETで減衰される。
  - $\Delta$ 変調スイッチ電源部の等価帯域を広げるため、入力段にデジタルプリエンファシスを挿入。
- 1625kb/s 8PSK 900MHz信号による極座標駆動により、ACPRを10dB改善した



4.2 “A 3W 55%PAE CMOS PA with Closed-Loop 20:1 VSWR Protection”

by F.Carrara, Univ. di Catania, Italy, and STMicroelectronics, Italy

- 要約: E級モードに近い飽和状態で動作するGSM用CMOS PAの負荷変動を検出してPAの利得を変化させる帰還回路ループを電流モードにすることにより、ループにおける低周波数ポールが唯一つとなってループが広帯域となり、20:1のVSWRを検出でき、出力3W時に最大負荷効率55%を得た。
  - E級モードに近い飽和状態では、出力ノードの電圧は電源電圧の2~3倍となり、FET酸化膜劣化を引き起こす。…負荷変動を高速に検出して出力を低下させる必要がある。
  - 下左図のように、出力電圧と基準電圧を電流に変換後、その差分(誤差)電流を整流し、容量で積分した電圧で増幅器の利得を制御する。…poleは $C_{PK}$ によるものが一つ
  - 0.25 $\mu\text{m}$  (Bi)CMOS、 $1.8 \times 1.8\text{mm}^2$ 、 $P_o=3\text{W}$  at  $V_{dd}=2\text{V}$  with PAE=55%
- 誤差電流整流方式は、電圧整流における整流器電圧降下がないので、検出精度が高くなる。
- 電力増幅器は完全差動型2段で、初段が可変利得増幅(下右図)、2段目 $W/L=40\text{mm}/0.25\mu\text{m}$ 
  - $M_1, M_2$ のゲート・ドレイン容量が $M_{1X}, M_{2X}$ によってある程度キャンセルされ、安定度が向上する。



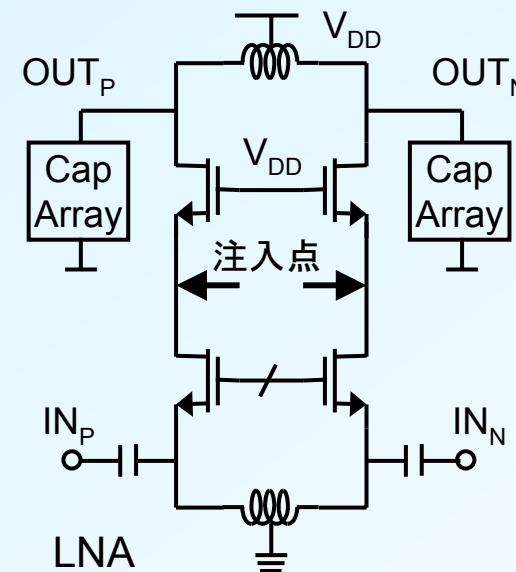
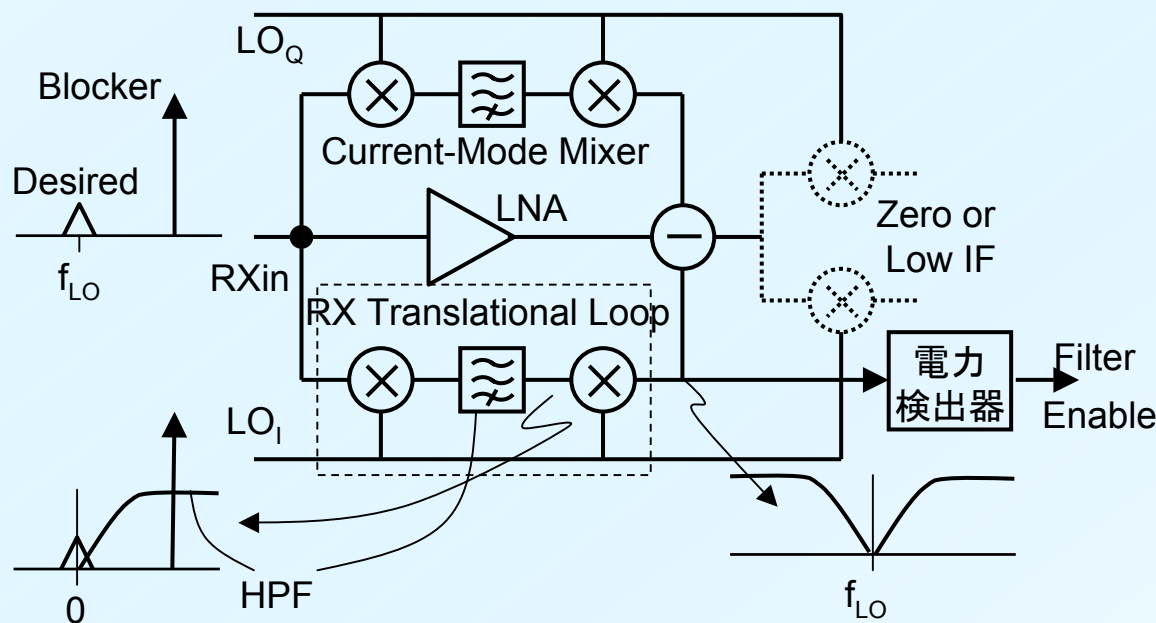
可変利得増幅器と段間整合回路



4.4 “A Blocker Filtering Technique for Wireless Receivers”

by H.Darabi, Broadcom, USA

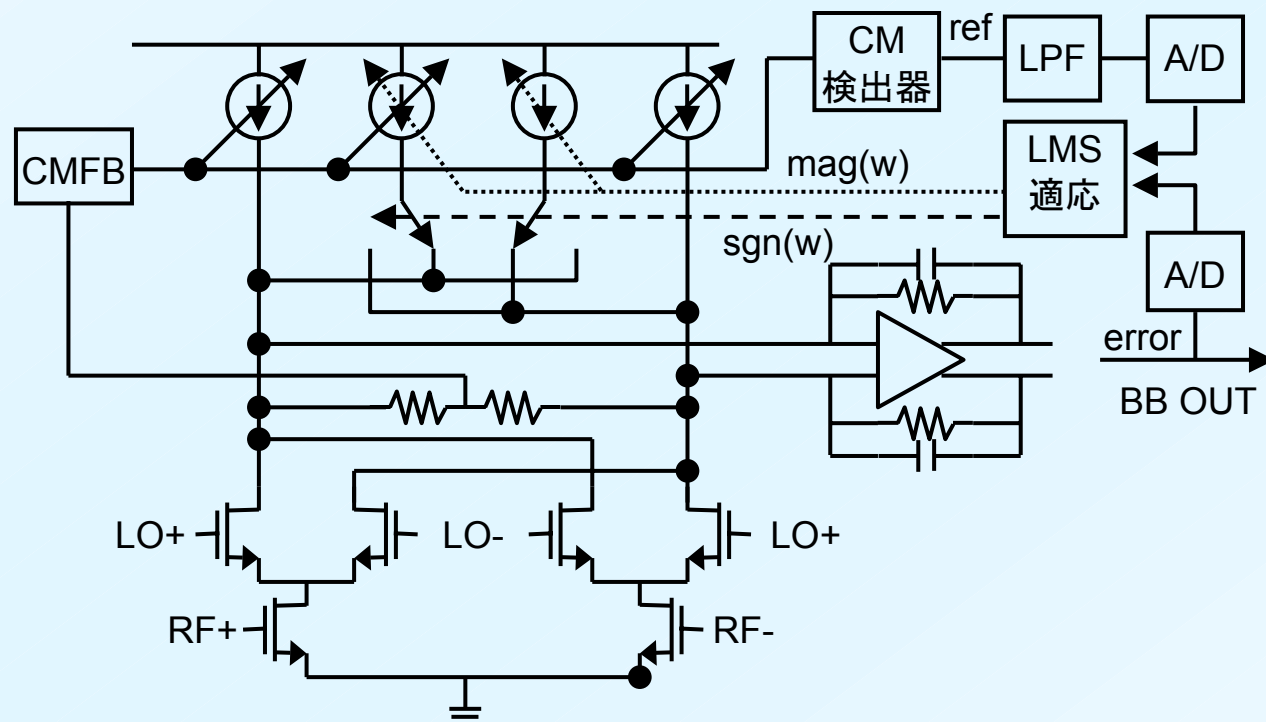
- 要約: GSM / PCSの帯域端より80MHz離れたブロッカーを除去するしてミキサへの線形特性要求を緩和するため、受信波をフィードフォワードフィルタリング(ゼロ(低)IF→HPF→アップコン=狭帯域ノッチ)して希望波を除去し、位相反転したブロッカーをLNAの出力に加算してブロッカーを除去する。
  - 狭帯域ノッチの減衰量は21dB、LNA利得は20.9dBで、NF6.8dBはフィルタオフ時より2.9dB大きい。
  - 下左図の実線部分を65nm CMOSで試作。アクティブ面積:0.28mm<sup>2</sup>、LNA:8mA、各ミキサ:10.5mA
- 所望の減衰量を得るにはフィルタリングパスの位相と利得を主パスと整合させる必要がある。
  - ミキサのダウンとアップで基本利得は1で、最初のミキサの伝達コンダクタンスをLNAのそれに合わせる。
  - HPFのコーナー周波数をできるだけ低くし、ミキサを広帯域にして遅延を小さくする。
- NFが劣化するが、不要となるSAWフィルタの挿入損失約3dBでまかなえる。
  - LNAにはブロッカーが入力されるので、線形性の優れるゲート接地方式を採用。



4.5 “A 0.13 $\mu$ m 1.5V CMOS I/Q Downconverter with Digital Adaptive IIP2 Calibration”

by K.Dufrene, Infineon Technologies, Germany

- ・ 要約: ゼロ (or 低) IF受信機ではLNA、ミキサによる2次歪み成分がダウンコンバートされた信号帯域に落ちるので、compensation or cancellationが必要である。この論文は、ミキサのIP2除去のため、**ミキサ出力のコモンモードを検出してその同相IP2成分から差動IP2成分を推定してミキサ電流源負荷を連続時間帰還制御**することにより、約85dBmのIIP2を得た。
  - ・ ミキサ1dB変換利得低下レベル: 3dBm、IIP3: 12dBm、DSB入力換算雑音: 5.1nV/ $\sqrt{\text{Hz}}$ @100kHzoff。
  - ・ 0.13 $\mu$ m CMOSで試作。I<sub>0</sub>=48mA @2GHz LO, Vdd=1.5V, ダイ面積: 2mm<sup>2</sup>
- ・ 同相IP2成分とベースバンドからの差動IP2成分の相関デジタル処理をLMS適応ブロックで行い、ミキサ直流同相帰還と統合した電流源負荷の電流源アレイをデジタルコードで切り替える。
  - ・ 統合により、IP2除去回路の直流オフセットを低減でき、ミキサ差動負荷の平衡がよくなる。

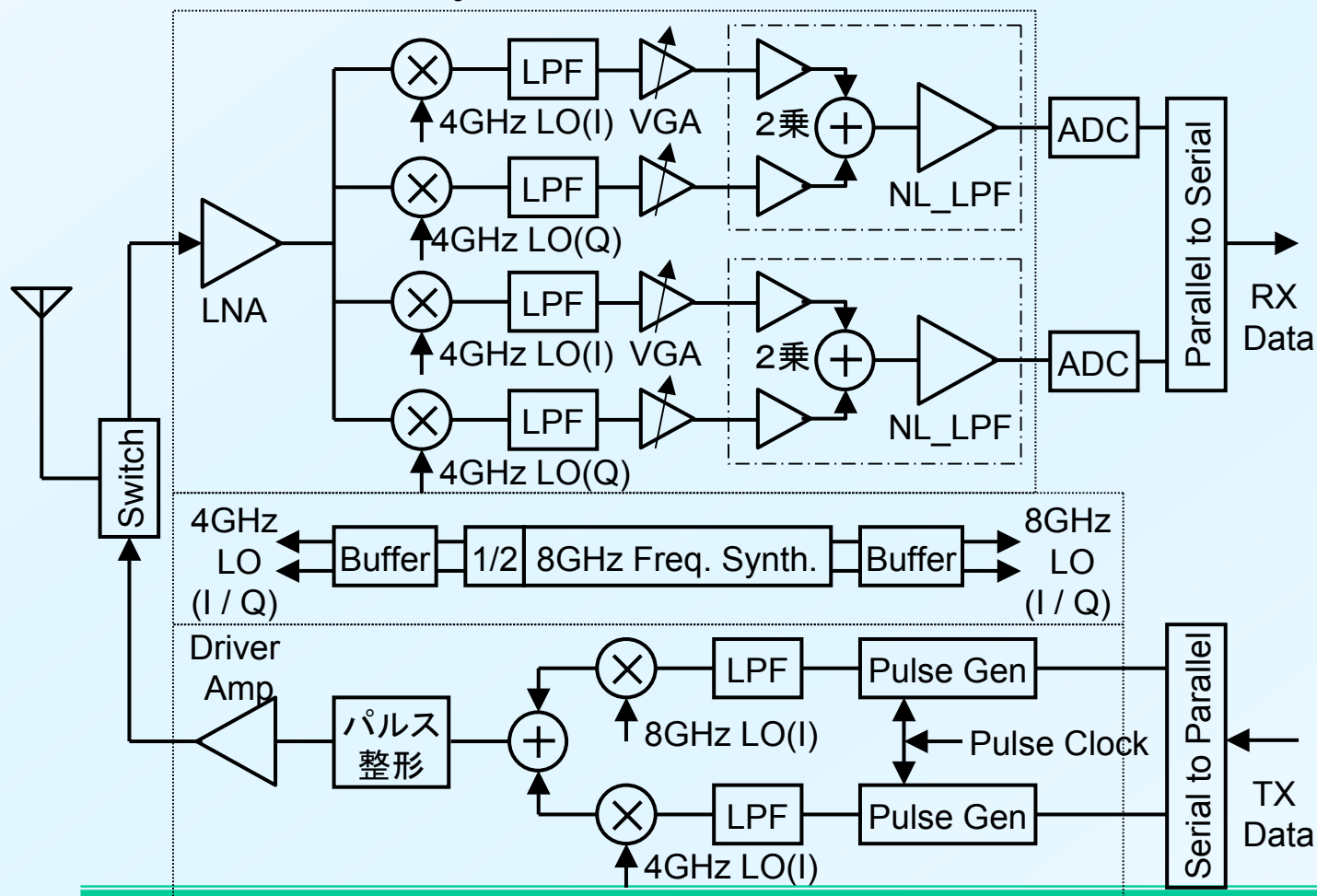


- ・ また、入力信号のステップ変化によるベースバンドトランジェントを非常に小さくする。
- ・ 試作チップに、電流モードI/Qギルバートミキサ、1ポールフィルタ用差動演算増幅器、LO\_2分周器、RCバイクワッドベースバンドフィルタ(静的直流オフセットキャンセル、20dB利得)、比較器、論理回路を含んでいる。

## 6.2 “A 0.18 $\mu$ m CMOS Dual-Band UWB Transceiver”

by Y.Zheng, Institute of Microelectronics, Singapore

- ・ 要約: UWB低帯域3~5GHz、高帯域7~9GHzの両帯域で同時送受信可能なトランシーバで、送信にDSBアップコンバージョン、受信にSSBダウンコンバージョン方式を用い、非同期高速データ速度を実現する。
  - ・ RX: NF=9.4dB、IIP3=-10.3dBm @4GHz、=-8.2dBm @8GHz、IIP3=-76dBm、感度:-79~ -76dBm
  - ・ TX: Po=-2dBm @B=2GHz for each band、300Mbps @BER10<sup>-3</sup>、400Mbps @BER10<sup>-2</sup> for each band
  - ・ 0.18 $\mu$ m CMOS、I<sub>0</sub>=55mA / TX、76mA / RX @V<sub>dd</sub>=1.8V、ダイ面積: 16.7mm<sup>2</sup>

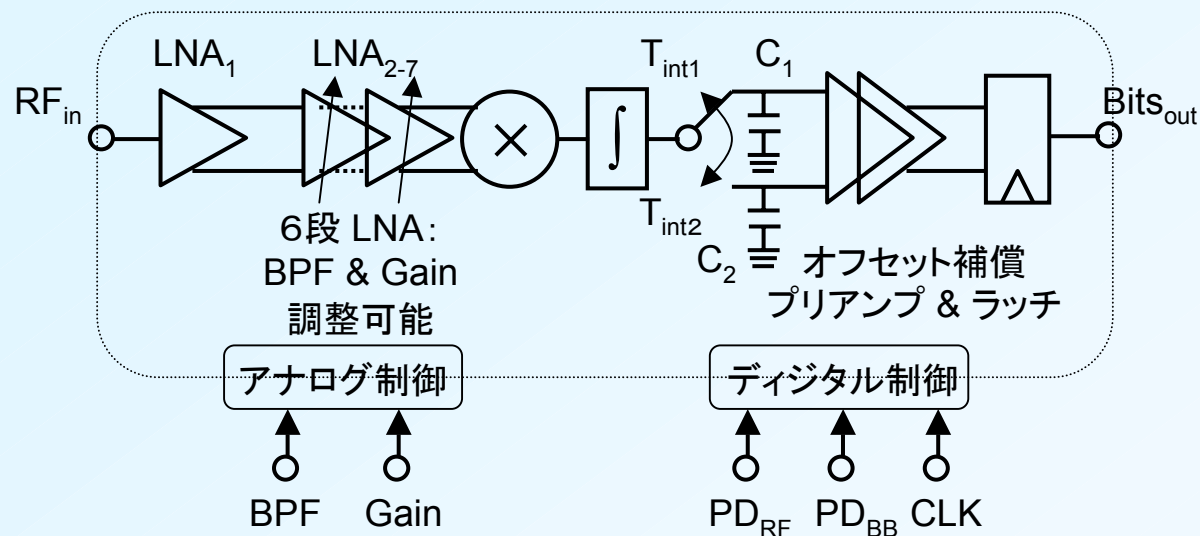
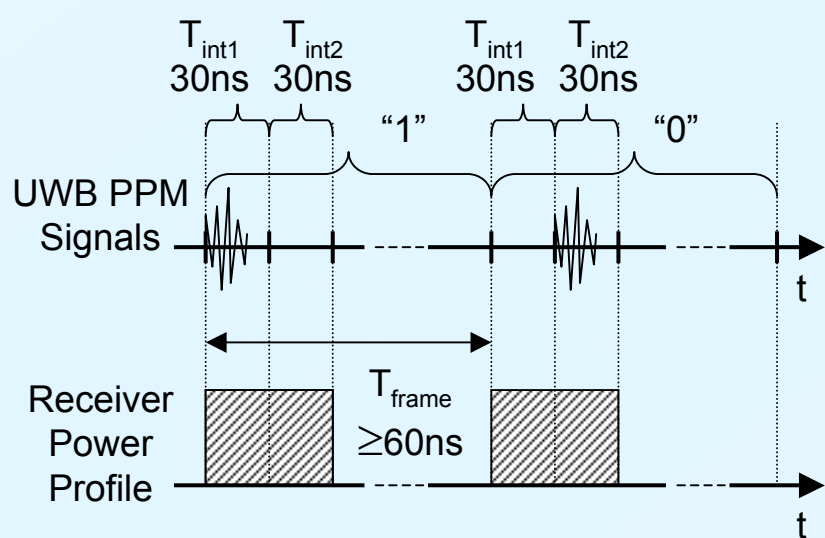


- ・ 自己同期変復調方式:
  - ・ 送信: 両帯域のデータを各々パルス発生器でDS-SS(1GHzクロックとXOR)し、それぞれをDSBアップコンバージョン。
  - ・ 受信: 両帯域の受信信号を各々SSBダウンコンバート後、IQ信号を2乗して加算する。...LOの位相不確定問題を除き、非同期検波できる。
- ・ 送信ミキサ、駆動増幅器、LNAにインダクターを用いたピーキングと帰還により広帯域化。
- ・ 受信ミキサ後段のLPFのカットオフは250MHz。

6.3 “A 2.5nJ/b 0.65V 3-to-5GHz Subbanded UWB Receiver in 90nm CMOS”

by F.S.Lee, MIT, USA

- 要約ト: 3~5GHzの3副バンドを用いたPPMによる10kHz~16.7Mb/sのUWB非同期受信機を90nm CMOSで試作し、RF部とBB部共に0.65Vで動作する。Duty cycling方法、同調形BPF、エネルギー起動BBにより、100kb/s時に受信感度=-95dBm @BER=10<sup>-3</sup>を得、上記データ速度で2.5nJ/bを得た。
  - パルス帯域: 500MHz、フロントエンド利得: 40dB、同NF: 8.6dB、瞬間消費電力: 35.8mW。
  - ダイ面積: 1×2.2mm<sup>2</sup>
- T<sub>frame</sub> は伝送レートf<sub>B</sub>の逆数であり、受信機が動作している時間は頭のT<sub>int1</sub>, T<sub>int2</sub> (=30ns)期間のみで、データ“1”, “0”に応じてT<sub>int1</sub>またはT<sub>int2</sub>にパルスが存在する。…最高16.7Mb/s時は常時オンとなる。
- 6段LNAを3.4、3.9、4.4GHzに同調し、チャンネル選択を行う。…MOSバラクターを使用
- プリアンプ時の高速ラフ捕捉のため、後段の復調部に工夫を行っているが、省略する。



## 6.4 “A 47pJ/pulse 3.1-to-5GHz All Digital UWB Transmitter in 90nm CMOS”

by D.D.Wenzloff, MIT, USA

- ・ 要約: RF発振器なしで3.1~5GHzの3チャンネルの搬送波に同調したPPM信号を全デジタル処理によって発生するUWB送信機を試作した。。PPM信号のスペクトルをFCC要求窓に入れるため、500MHzチップレートでDelay-based BPSK (DB-BPSK) スクランブリング(拡散)を行う(スペクトル振幅を約10dB低減)。10Mb/sデータ速度における全消費電力は47pJ/bであった。
  - ・ 3チャンネル中心周波数: 3.45, 4.05, 4.65GHz、パルス帯域: 550MHz、固定PPM遅延: 30ns
  - ・ パルス繰返し周波数: 10kHz~16.7Mb/s、エネルギー: 9.6nJ/pulse~43pJ/pulse
  - ・ 90nm CMOS、ダイ面積: 0.2×0.4mm<sup>2</sup>、V<sub>dd</sub>=1V、待機電力: 96μW
- ・ **Delay-based BPSK (DB-BPSK)**:、通常のBPSKにおける位相は0° と180° であるが、**DB-BPSKの位相は0° と90°** としている。・・・これによって、2乗操作を行う受信機におけるエネルギー検出を可能としている。パルスに5RFサイクル以上含んでいると、スペクトルの主ローブはBPSKと変わらない。
- ・ デジタル処理回路は複雑で省略。