

# ISSCC 2006 報告書

(IEEE International Solid-State Circuits Conference)

(RF関係) — その4 (最終回)

開催期間: 2005年2月5～9日 (主セッション: 2/6～8)

開催場所: USA サンフランシスコ, マリオット・ホテル

Session26 and 32からの抜粋

報告者: 中川 准一

26.1 “A 750mW 15kHz 1/f Noise Corner 51dBm IIP2 Direct-Conversion Front-End for GSM in 90nm CMOS”, University of Pavia (Italy)

- GSM用ダイレクトコンバージョン・フロントエンド
  - integrated NF=3.5dB for 1~100kHz
  - 1/f noise corner=15kHz
  - IIP2min=51dBm (max:68dBm) @ Vdd=750mV
  - IIP3=-10.5dBm
- pseudo-differential mixer: Figure 26.1.2
  - 擬似差動型は電源電圧低くでき、IIP3もよいが、IIP2が悪い。
  - 2次コモンモード・コンダクタンス利得がIIP2の劣化要因。
  - ミキサ出力のコモンモードを検出して、擬似差動に帰還をかける。
    - ループ利得は(1)式で表され、低周波で高利得が得られる。
    - A: オペアンプ利得、 $r_{ds,ML}$ :  $M_L$ の出力抵抗
    - $R_1$ と $M_L$ を並列にして電圧効果を小さくし、かつ負荷抵抗ばらつきを小さくする。
- 雑音:
  - Figure 26.1.2の $L_1$ - $C_1$ フィルタで低減されるが、LNAとの間で最適化設計を行う。
    - $G_{LNA}=23\text{dB}$ ,  $g_{m,mixer}=24\text{mS}$ ,  $G_T=31\text{dB}$  @ 10kHz
- IC:
  - Sactive=2.7mm<sup>2</sup>
  - $I_{LNA}=5\text{mA}$ ,  $I_{mix}=5\text{mA}\times 2$  @ Vdd=750mV

$$G_{loop} = \frac{1}{2} A \cdot g_{m,M_{CM}} \cdot (R_1 // r_{ds,M_L}) \quad (1)$$

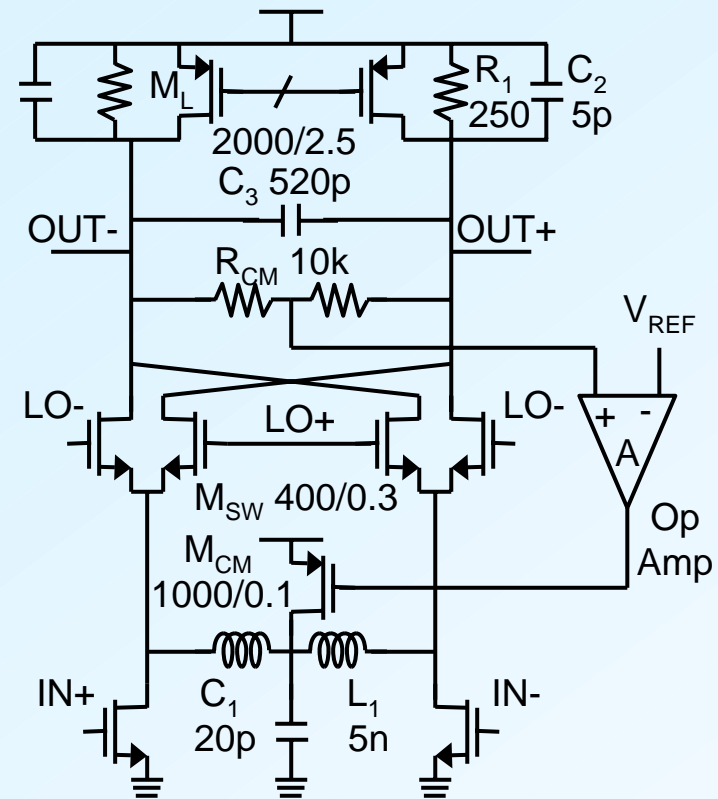


Figure 26.1.2: Mixer schematic.

26.2 “A 5.4mW GPS CMOS Quadrature Front-End Based on a Single-Stage LNA-Mixer-VCO”, Univ. of Pavia, S.T. Microelectronic, et. (Italy)

- LNA-mixer-VCOを縦積みにして消費電流を低減: Figure 26.2.1 (Figure26.2.3と統合して変更)。
  - 図の構成により、VCOにおけるトランジスタ $M_3, M_4$ はソース接地として動作し、LCタンクが使用可能となる。
    - 両ソース間の容量Cが発振周波数で短絡。
  - 電源電圧の増加を防ぐため、ミキサ出力を電流で取り出し、ベースバンド増幅器の入力をバーチャルグランドとする。
    - ミキサ出力の寄生容量の影響小さくできる。
- LNAはVCOのバイアス電流源として動作するので、フリッカ一雑音(位相雑音に影響)を小さくする必要がある。
  - トランジスタ $M_0$ のソース・ディジェネレーション・インピーダンスとして、I/Q共用の $L_s$ 以外に低周波用のトランジスタ $M_s$ を直列に接続。
- 性能:
  - 0.13 $\mu\text{m}$  CMOS,  $S_{\text{active}}=1.5\text{mm}^2$
  - FET for VCO and mixer: thick oxide gate
  - $G=36\text{dBm}$
  - integrated  $\text{NF}=4.8\text{dB}$  for 3~5MHz
  - $\text{IIP3}= -19\text{dBm}$ ,  $P_{1\text{dB}}= -31\text{dBm}$
  - $\text{PM}_{\text{out}}= -104\text{dBc/Hz}$  @ 1MHzoffset

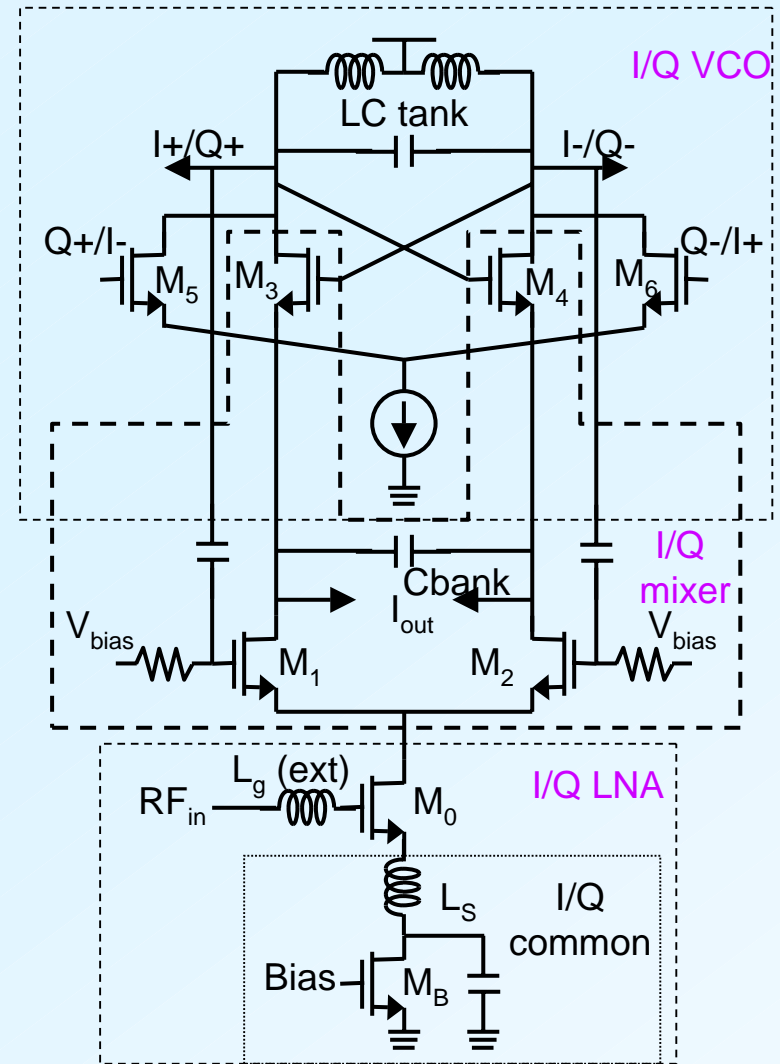


Figure 26.2.1: LNA-mixer-VCO cell (modified)

## 26.4 “Wideband Image-Rejection Circuit for Low-IF Receivers”, Hitachi and Renesas Technology (Japan)

- low-IF (IF=200kHz)-GSM/EDGE受信機を対象に、デジタル信号処理によりI/Qの利得と位相ミスマッチ、および周波数特性を補償し、次隣接妨害波であるイメージを50dBc以下に抑圧: Figure 26.4.2 (+ Figure 26.4.3)
  - テスト信号周波数:  $f_{LO} + f_{IF} + \alpha$  (IF帯域内で4点: 100, 170, 230, 300kHz)。
  - ADCビット数: 14bits。
  - 4テスト周波数により、 $a_1 \sim a_4, b_1 \sim b_4$ を求め、周波数特性はFIRフィルタの係数を変更。
  - 誤差検出回路の頭でアップ・コンバートして収束時間の短縮する。
- 0.25 $\mu$ m BiCMOS
  - test IC: LNA + I/Q mixers + PGAs + LPFs + fractional-N synth. + test SG
  - $I_0=80\text{mA}, V_{dd}=2.8\text{V}$
- other digital circuits in FPGA: 46k gates

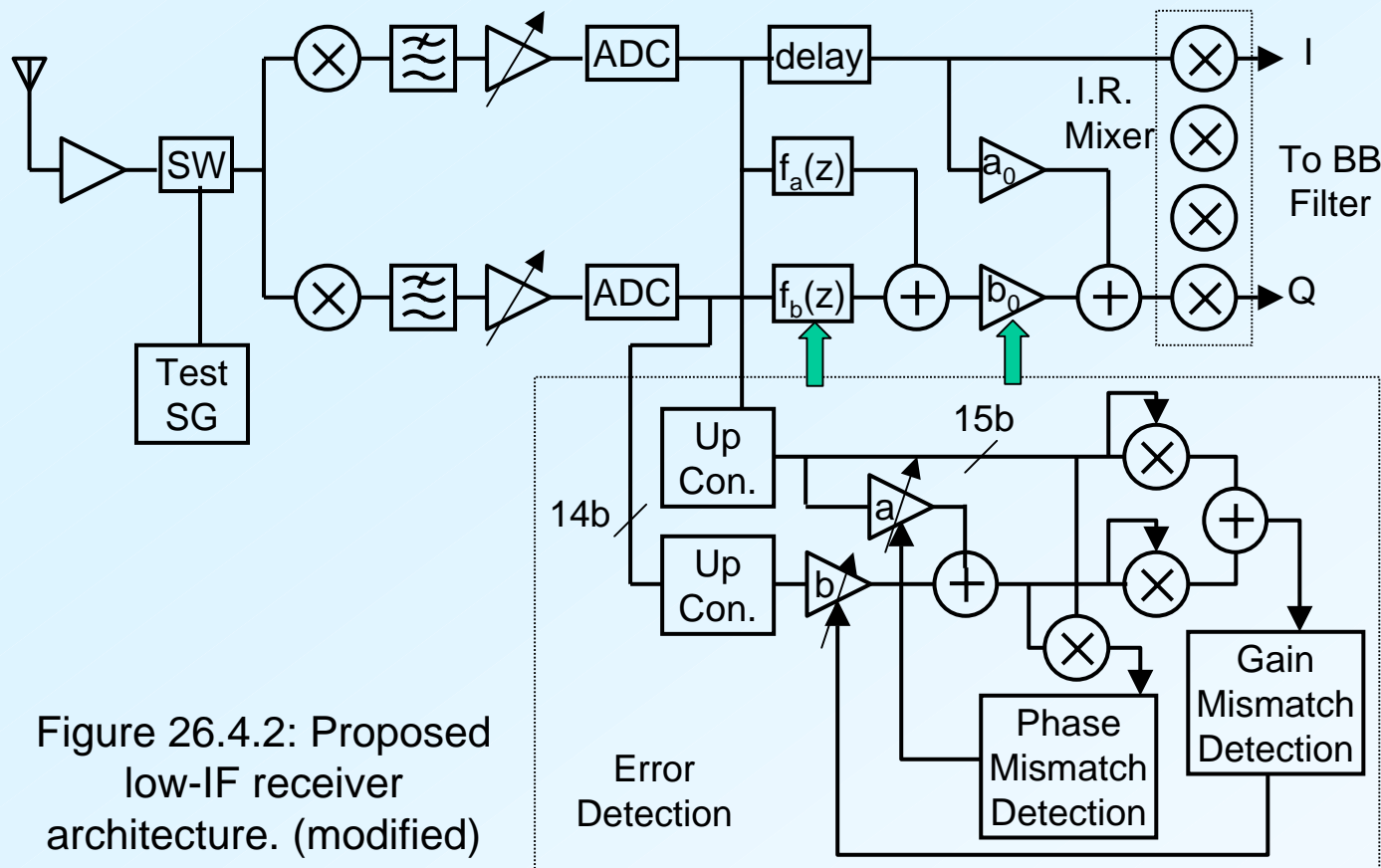


Figure 26.4.2: Proposed low-IF receiver architecture. (modified)

## 26.5 “A 1.8GHz Spur-Cancelled Fractional-N Frequency Synthesizer with LMS-Based DAC Gain Calibration”, UCSD (USA)

- ・ 分数N分周周波数シンセサイザにおいて、PFDのデッドゾーン、チャージポンプの利得不整合、補正DACの不整合を総合的に補正する方法を提案し、整数分周型位相雑音と同程度の(僅かに劣る)性能を実現。

・ Figure 26.5.1:

- ・ Spur CancellationにおけるDACの周期量子化雑音をランダム化するため、3次 $\Delta\Sigma$ 変調を行う。
  - ・ 上位5ビット: 温度計型、下位3ビット: 2進型
- ・ Figure 26.5.2のような不整合誤差をソースフォロアで受け、分周 $\Delta\Sigma$ 位相誤差の符号列と相関を取って、1b相関値を1b $\Delta\Sigma$ ADC(Figure 26.5.4)に入力後、積分してDACを更新する。
  - ・ DACのバイアス電流を変更。
  - ・ 1b $\Delta\Sigma$ ADCのDCオフセットは別途校正。
- ・ 性能: 0.18 $\mu\text{m}$  CMOS,  $V_{\text{dd}}=1.8\text{V}$ ,  $I_0=16\text{mA}$ :5mA補正用
  - ・  $f_{\text{Xal}}=14.3\text{MHz}$ ,  $f_{\text{Ref}}=14.3\text{MHz}/4$
  - ・  $V_{\text{CO}}\approx 40\text{MHz/V}$ ,  $B\approx 400\text{kHz}$
  - ・ 帯域内雑音=-98dBc/Hz、総積分雑音=0.82°/1k~10MHz
    - ・ 整数分周型との差は3dB/20k~10MHz、0.14°
  - ・ DAC利得校正前より、30dB @ 1MHz off 改善。

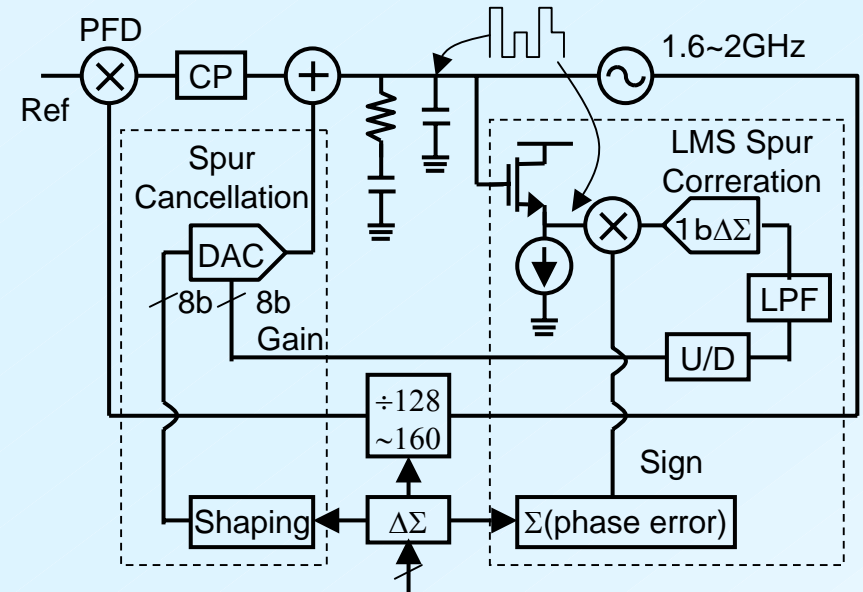


Figure 26.5.1: Fractional synthesizer system with gain-calibrated spur-cancellation.

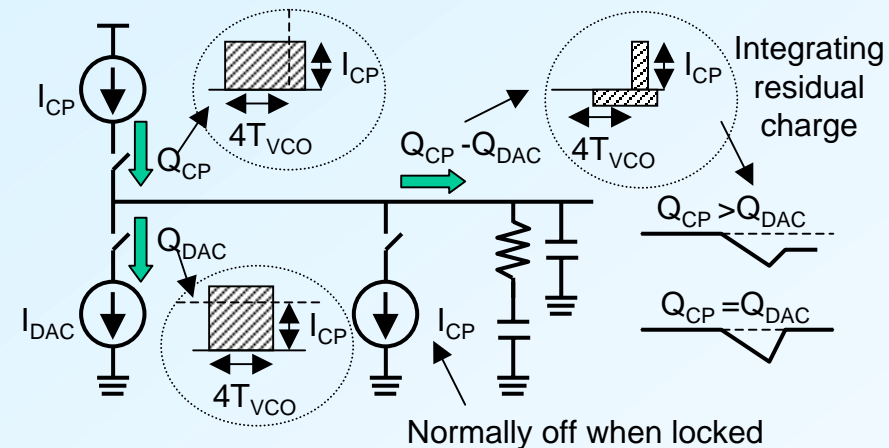


Figure 26.5.2: Linearized CP/DAC and integrated residual charge due to their mismatch.

32.1 “A PVT-Tolerant Low-1/f Noise Dual-Loop Hybrid PLL in 0.18 $\mu$ m CMOS” ,

Seoul National University (オランダ)、Silicon Image (USA)

- ・比較周波数を大きくできないシステムのCMOS-VCOの1/f雑音を抑圧するため、広帯域アナログPLLと狭帯域デジタルPLLを組み合わせる: Figure 32.1.1
  - ・アナログPLL部がデジタルPLL制御されるDLOとして動作。
  - ・分周器Div1を用いるので、同調範囲はVCOの同調範囲のL場合、例えば20倍となる。
- ・デジタルPLLにおけるTime-to-digital converter (T2D) : Figure 31.1.2
  - ・T2Dの出力は10ビット。
    - ・clk\_inとfb\_clkの立ち上がり位相差t1時間電流I1でCを充電、両clkがハイの時にCを放電、放電期間中に電圧Vxが基準電圧Vcになるまでの時間を計数、I1 : I2=k : 1。
  - ・ $\Delta\Sigma$ 変調器 + VCO出力5位相: ジッタ低減
- ・性能: 0.18 $\mu$ m CMOS, VDD=1.8V, P=50mW
  - ・ただし、DLF,  $\Delta\Sigma$ -modはFPGA
  - ・出力周波数10~170MHzで、約150ps-pp(ほぼ一定(140MHz付近で200ps-pp))
  - ・アナログPLL帯域は1.5MHz以上で、この帯域内のVCO雑音が抑圧される。
    - ・VCO: -123.5dBc/Hz  $\rightarrow$  出力: -122.6dBc/Hz @ 100kHz

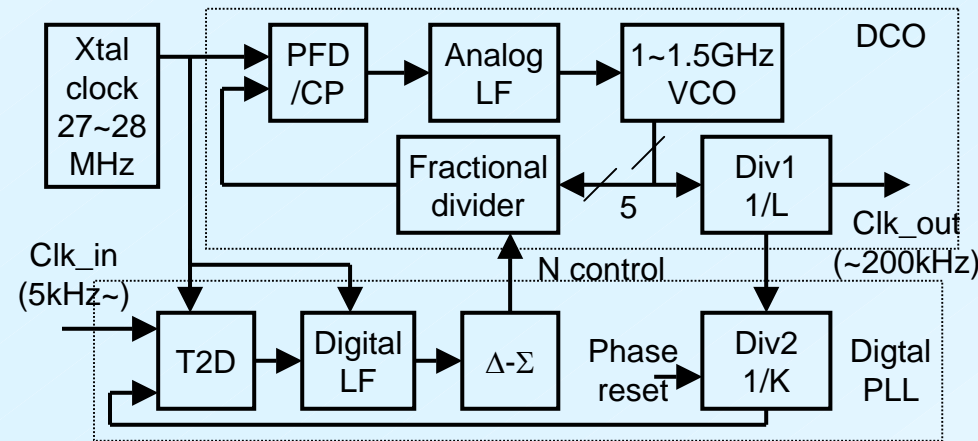


Figure 32.1.1: Dual-loop hybrid PLL block diagram.

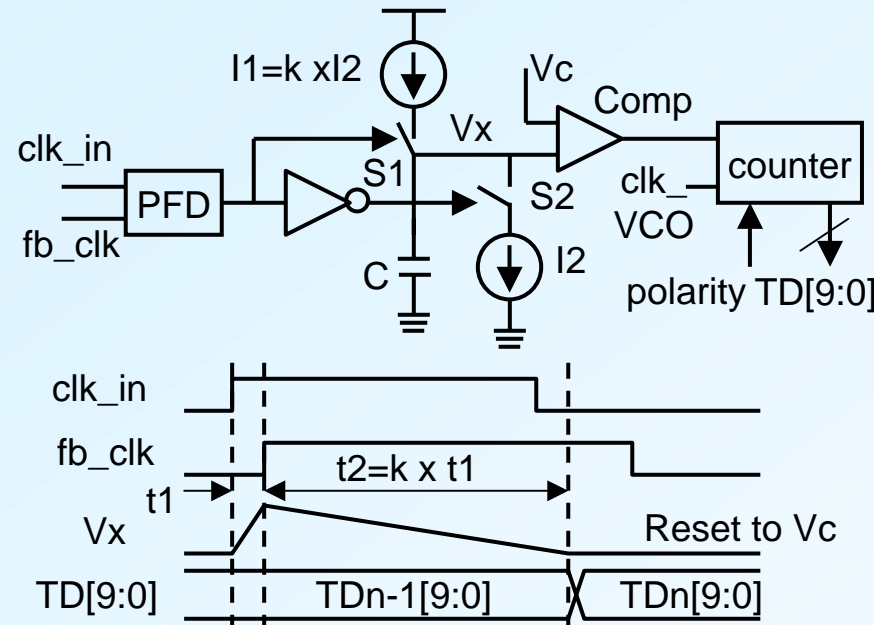


Figure 32.1.2: Time-to-digital (T2D) (a) block diagram, (b) timing diagram .

32.4 “A Spur Suppression Technique for Phase-Locked Frequency Synthesizers”,  
National Taiwan University (Taiwan)

- 周波数・位相比較器 (PFD) とチャージポンプ (CP) をN段分散させ、その際の位相遅延回路 ( $\theta_d = 2\pi/N$ ) の精度要求を緩和するため、PPMにより位相誤差をランダム化する。
- PFDとCPをN段均等分散: Figure 32.4.1
  - 基準信号と帰還信号の位相差は各段で等しいので、CPの利得を1段構成の1/Nにでき、スプリアスレベルを小さくできる。
  - N=4のとき、遅延時間  $t_d = T_{REF}/4 \times (1+\alpha)$  の誤差  $\alpha = -0.2 (-20\%)$  によるスプリアスレベルは1段構成時より、12dB小さい。差分式は(1)
- 遅延時間  $t_{d0} = T_{REF}/4 = t_d + \tau/2$  を理想状態とし、誤差  $\tau$  をPPMによりランダム化してスプリアスを消滅させる: Figure 32.4.4
  - 各段を少遅延と多遅延のパスに分け、擬似ランダム2進列  $c_i = 2^{10} - 1$  でどちらかのパスを選択。
- 性能: (スプリアスレベルは1段構成より10dB改善)
  - 0.18 $\mu$ m CMOS, VDD=1.8V, Pd=18mW, 1 $\times$ 0.9mm<sup>2</sup>
  - $f_c = 4.8$ GHz,  $f_{IQ} = 2.4$ GHz
  - スプリアスレベル @ 1Mhzoffset = -55dBc/Hz
  - 位相雑音 @ 1Mhzoffset = -110dBc/Hz

$$20 \log \left[ \frac{1}{2} \cos \frac{3\pi(1+\alpha)}{4} + \frac{1}{2} \cos \frac{\pi(1+\alpha)}{4} \right] \text{ [dB]} \quad (1)$$

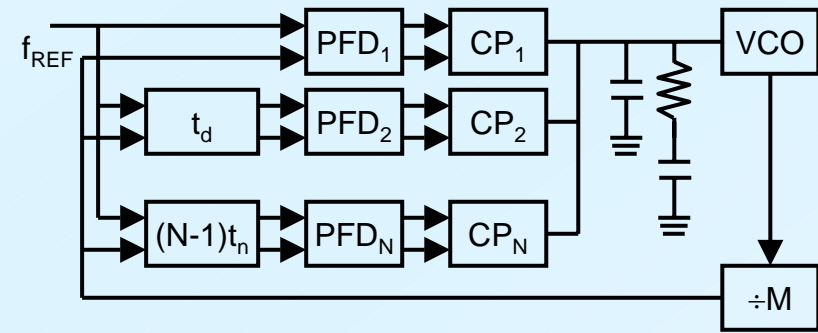


Figure 32.4.1: An integer-N frequency synthesizer with distributed PFDs and CPs.

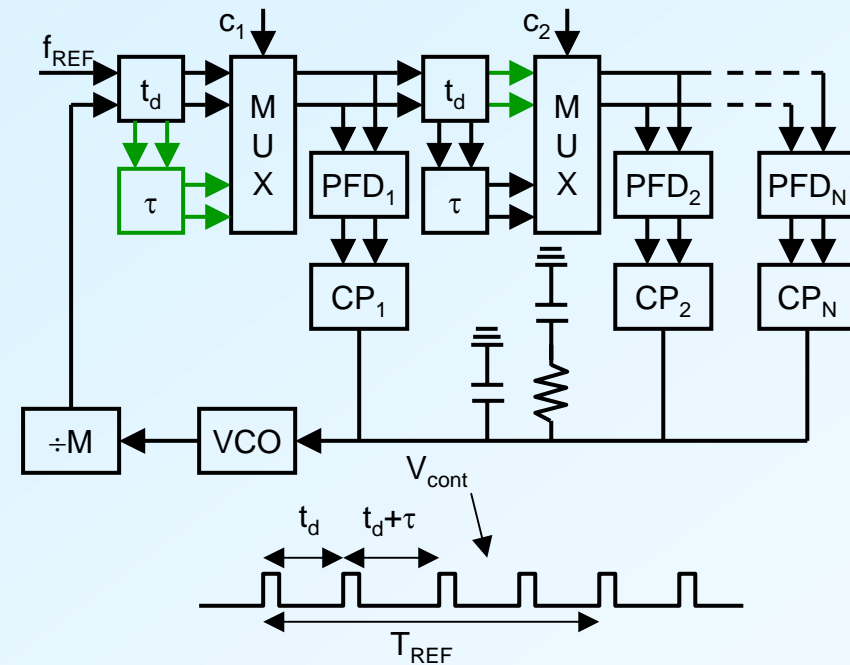


Figure 32.4.4: Frequency synthesizer architecture.

### 32.5 “A 6.25GHz 1V LC-PLL in 0.13μm CMOS”

Texas Instruments (USA)

- 6.25~12.5Gb/sバックプレーイン直列通信用の6.25GHz<sub>LC</sub>-quadrature-VCOを含むPLLを電源電圧1Vで設計し、低ジッターを実現。
- 電源電圧1Vでは、チャージポンプ(CP)を構成するN-FET,P-FETが三極間領域になるような出力電圧時に、CP出力電流が低下する。
  - 上記電流低減領域をFigure 32.5.3の回路により、CP\_OUT電圧がrail電圧±5mVにした。
- 低ジッターを実現するには、CPTランジスタのオフ時リーク電流を低減する必要がある。このリーク電流は出力電圧にも関係する:Figure 32.5.4
  - オフ時のCPリーク電流を図中のP1,N1でモデル化し、レプリカ回路で出力電圧を再現するため、帰還制御でN2に電流を流し、N3でリーク電流(1n~10μAの範囲)をキャンセル。
- 性能: 0.13μm CMOS, VDD=1V, P=25mW
  - output jitter=0.57ps<sub>rms</sub> over 1k~1GHz
    - f<sub>REF</sub>=62.5MHz with jitter=2.5ps<sub>rms</sub>
    - f<sub>REF</sub> spur= -115dBc
  - S<sub>PLL</sub>=0.43mm<sup>2</sup>

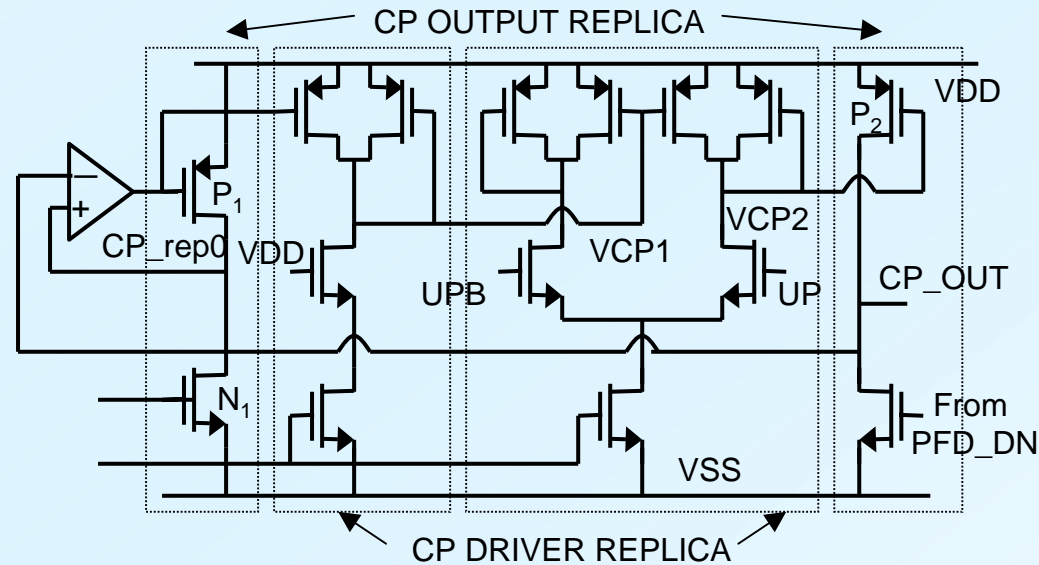


Figure 32.5.3: Schematic of rail-rail CP design (top half).

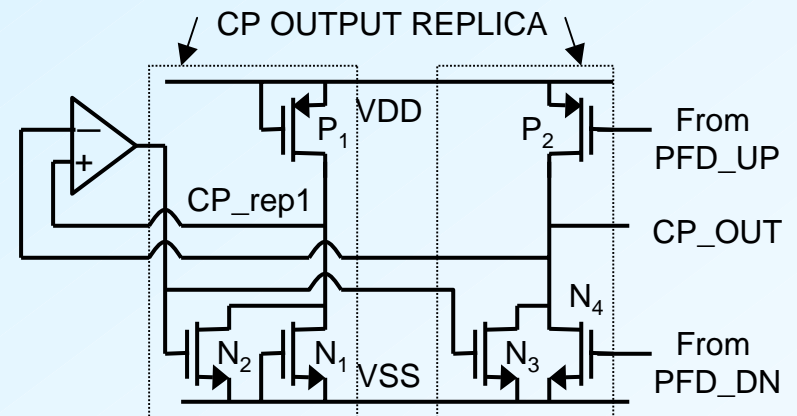


Figure 32.5.4: Schematic of leakage cancellation CP design.