

ISSCC 2006 報告書

(IEEE International Solid-State Circuits Conference)

(RF関係) — その3

開催期間: 2005年2月5～9日 (主セッション: 2/6～8)

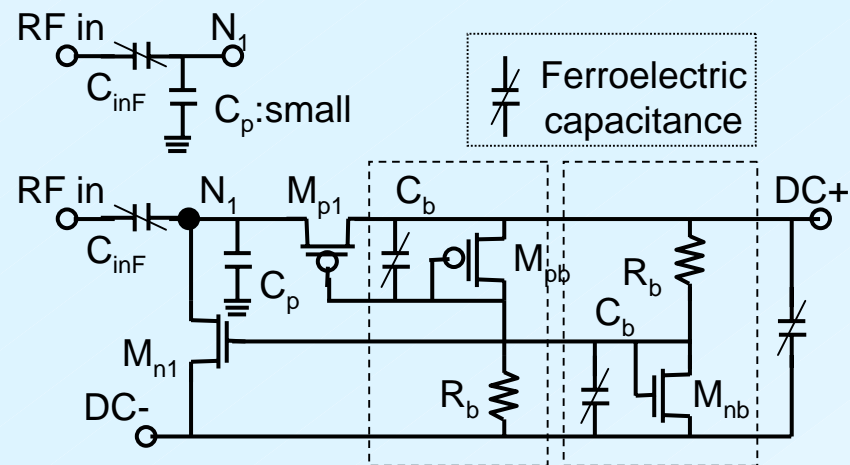
開催場所: USA サンフランシスコ, マリオット・ホテル

Session17, 19, 20, and 25からの抜粋

報告者: 中川 准一

17.2 “A Passive UHF RFID Tag LSI with 36.6% Efficiency CMOS-only Rectifier and Current-Mode Demodulator in 0.35mm FeRAM Technology”, Fujitsu Lab., Japan

- 2kb FeRAM を持った書き換え可能受動タグ
- 全波整流器の変換効率36.6%:Figure 17.2.2~3 (部分図)
 - NMOSだけでなく、PMOSも用いる。
 - Figure 17.2.2の半波整流器における高効率化:
 - V_{th} 補償回路に付随する浮遊容量をPMOS diode M_{p1} によって入力ノードN1から切り離し、入力浮遊容量を小さくする。
 - 入力結合容量 C_{inF} を強誘電体で構成し、面積を小さくする。
 - Figure 17.2.3の全波整流器における高効率化:
 - Figure 17.2.2の半波整流器をミラーにして積み重ね、アンテナ正負端子に非対称接続することにより、アンテナ負端子はACグランドとなり、負端子の浮遊容量は効率を劣化させない。
 - 出力電圧より、変換効率重視設計。
 - 変換効率36.6% @935MHz、従来例:16.6%。
- 復調器を電流比較型にすることにより、線形動作領域が広がり、27dBの電力幅。…(Figure 17.26)
 - 過電流保護(OCP)に電圧損失が無視できる。



Internal V_{th} cancellation circuit (IVC)

Figure 17.2.2: Proposed half-wave Rectifier.

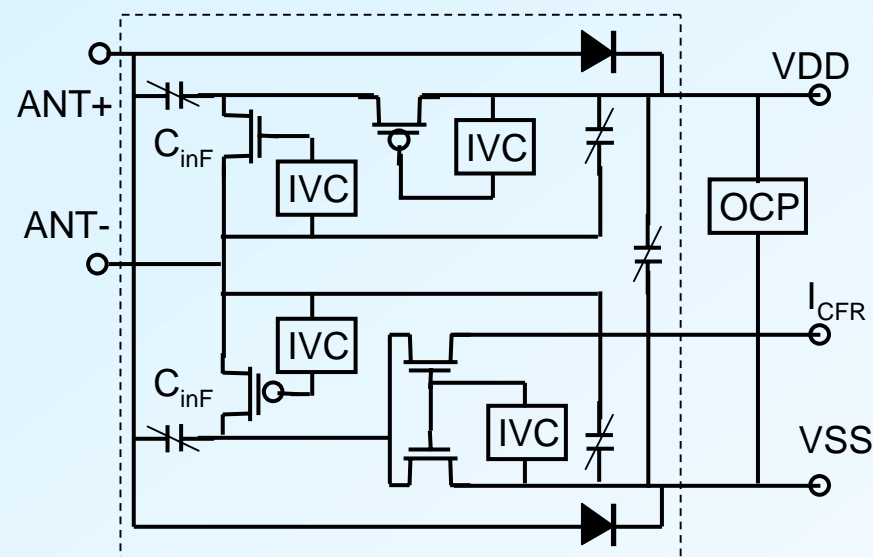


Figure 17.2.3: Proposed full-wave Rectifier.

19.5 “A 4.1mW 79dB-DR 4th-order Source-Follower-Based Continuous-Time Filter for WLAN Receivers”, California Institute of Technology

- WLAN用受信機のベースバンド連続時間フィルタを低消費電力で実現。
- 2次連続時間フィルタの基本構成: Figure 19.5.1 (部分図)
 - 単一ブランチ型: Figure 19.5.1(a)
 - 正帰還はMOSの出力抵抗により自動的に安定。
 - MOSの出力コンダクタンスが伝達コンダクタンスより十分大きく、全ての g_m が等しいとき、フィルタの伝達関数は(1)式、パラメータは(2)式、Kは直流利得。
 - 入力FETの g_m と電流源の出力抵抗 R_{out} で決まるループ利得が大きく、線形性が良い。
 - V_{ov} が低いほど g_m が大きい→低電流、雑音少。
 - 0.18 μ mプロセス、 $V_{sat}=250mV$ 、 $V_{GS1,3}=450mV$ 、 $V_{DDmin}=1.8V$ で、 $V_{swing}=400mVpp$
 - (b)の回路では、 $V_{DDmin}=1.35V$ 、但し、電流は2倍。
- Figure 19.5.2 の4次フィルタの遮断周波数は10MHz。
 - $P_d=4.1mW$ (2.28mA @ 1.8V)
 - $IIP3=17.5dBm$, $P_{-1dB}=5dBm$, $N_{in-eq}=7.5nV/\sqrt{Hz}$, $D=79dB$ for $HD3=-40dB$

$$H(s) = 1 / \left(s^2 \frac{C_1 C_2}{g_{m1}^2} + s \frac{C_1}{g_{m1}} + 1 \right) \quad (1)$$

$$\omega_0 = \frac{g_{m1}}{\sqrt{C_1 C_2}}; \quad Q = \sqrt{\frac{C_2}{C_1}}; \quad |K| = 1 \quad (2)$$

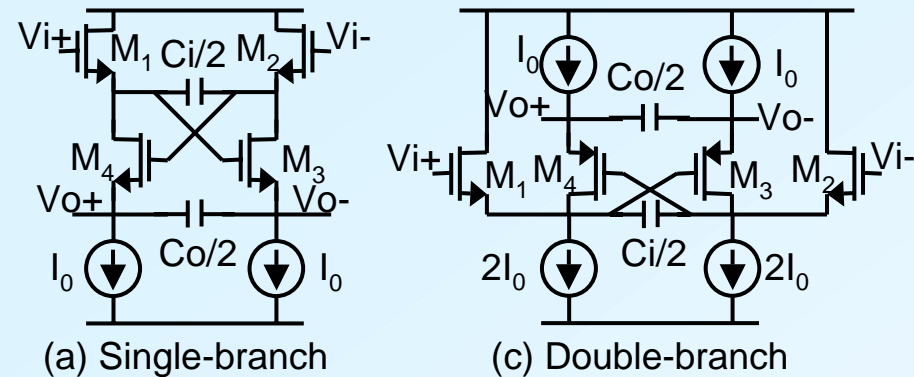


Figure 19.5.1: Basic 2nd-order continuous-time filter cell.

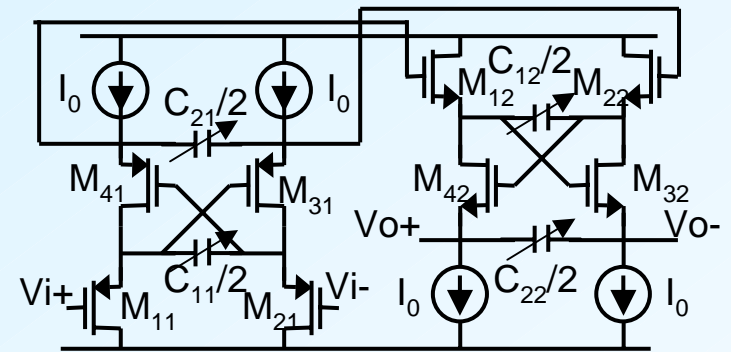


Figure 19.5.2: The 4th-order filter structure

20.1 “A 5GHz 108Mb/s 2x2 MIMO Transceiver with Fully Integrated +16dBm PAs in 90nm CMOS”, Intel (USA)

- 2x2 MIMO送受信機 in double-oxide strained Si 90nm CMOS:
 - 空間ダイバーシティ・マルチプレックスが実現できる、今回は前者の結果報告で帯域20MHzで108Mb/sを実現。
 - LNAとPAの入・出力整合回路はパッケージの金属層に形成。
 - PAによるVCOプリングとMIMOクロストークを避ける周波数構成分配とレイアウトに注意。
 - ベースバンドフィルタとVGAは10~100MHzの範囲でプログラマブル。
- PAにおけるAM-PM変換の補償: Figure 20.1.3
 - PAは擬似差動2段構成で、AB級。
 - OFDMのピークファクターが大きいので、PAの入力容量変化を図の回路のバラクターによって補正し、位相シフトを補正。
- 性能: (1x1 mode: 54Mb/s, 2x2 mode: 108Mb/s)
 - 1x1 受信感度: -75.5dBm for AWGN, -68dBm for 25ns Rayleigh fading
 - 2x2 受信感度: -62.5dBm for 25ns Rayleigh fading
 - 送信出力: (64QAM, 1.4V)
 - 1x1: 16dBm(EVM:-25dB), 2x2: 13dBm(EVM:-27dB)
 - 消費電力: (RX:1.4V, TX: 1.4/3.3V)
 - 1x1 mode: 170mw/RX, 8401mW/TX
 - 2x2 mode: 280mW/RX, 1400mW/TX

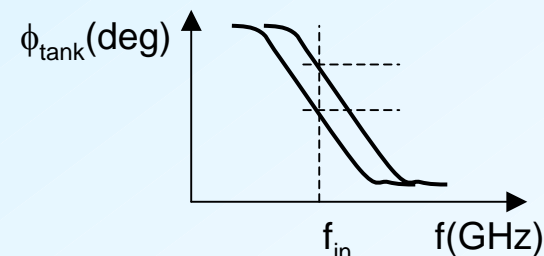
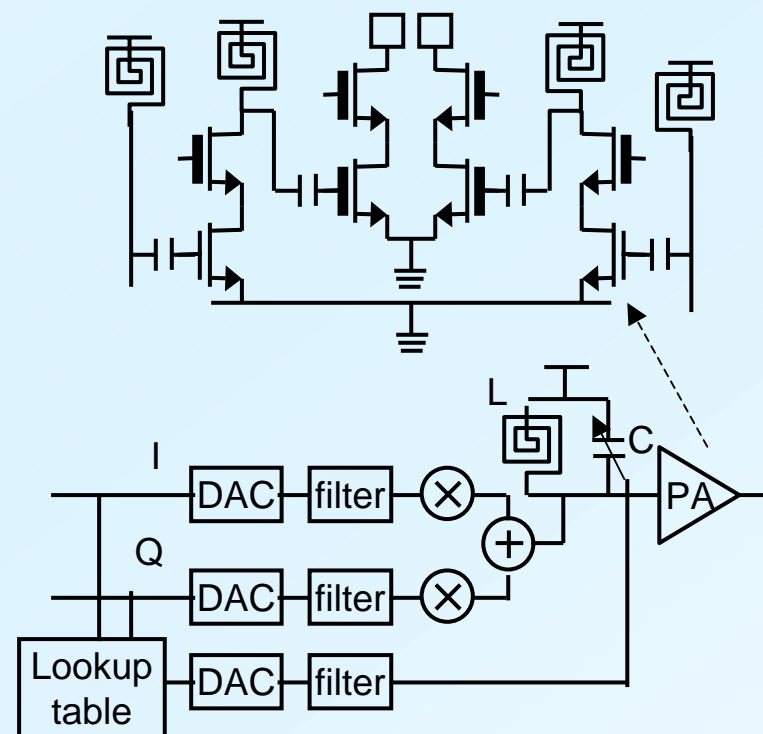


Figure 20.1.3: A varactor controlled by the baseband IQ data counteracts the signal-dependent phase shift in the PA

20.4 “A Highly Linear Direct-Conversion Transmit Mixer Transconductance Stage with Local Oscillation Feedthroug and I/Q Imbalance Candellation Scheme”, Broadcom and IQ-Analog

- ・ WLAN(5.24GHz)用送信機
- ・ 伝達コンダクタンス回路によりI/Qミキサを電流駆動するBB-RF直接変換：
 - ・ 伝達コンダクタンス回路にLOフィードスルー(LOFT)と利得調整機能を持たせる: Figure 20.4.2
 - ・ M1,M2に帰還をかけ、線形性を改良。
 - ・ R3~R12が大の時、 $g_{meff} = 1/R1 \times R9/R7$
 - ・ R1,R2を変えて利得を変えるとオフセット変化するので、図の後段で行う。
 - ・ M5,M6/M7のW/L比で利得決まるので、M7を選択可変にする。
 - ・ ミキサーまでのLOFTはBB_LOFT_IP,_INで、ミキサのLOFTはRF_LOFT_IP,_INで補正。
- ・ 補正基礎: 校正用BB正弦波 F_{BB} を入力し、PA出力の包絡線をスペクトル分析する。その F_{BB} 成分(F_{LO})はLOFTに、その $2F_{BB}$ 成分(F_{IM})はI/Q不平衡に起因する。
- ・ 補正手順:
 1. I/Qに正弦波を入力し、 F_{LO} と F_{IM} を測定。
 2. 利得を最小に絞って、RF_LOFT_IN,_INをRF_IDACで変えて、RF_LOFTを除去する。

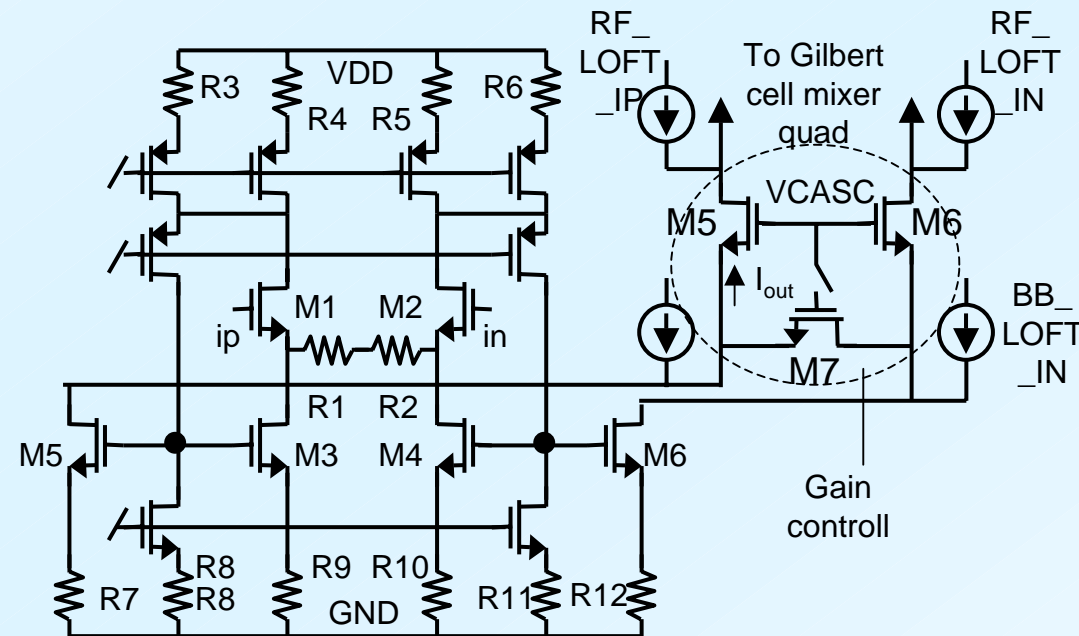


Figure 20.4.2: Transconductance-stage schematic.

3. 利得を最大にし、BB_IDACでBB_LOFY_IP,_INを変えて、BB_LOFTを除去。
 4. 利得を最大のまま、 F_{IM} が最小になるように、BB信号の振幅と位相を調整。
- ・ 性能:
 - ・ LOFT<32dBc, イメージ除去<-46dBc
 - ・ EVM<-40dB in A-band, <-41dB in G-band
 - ・ 0.18 μ m CMOS

25.1 “A Multipath Technique for Canceling Harmonics and Sidebands in a Wideband Power Upconverter” University of Twente (オランダ)

- ・アプコンバータ+ミキサ=power upconverterの非線形性による高調波と側帯波をフィルタを用いずにマルチパス信号処理により除去: Figure25.1.1 (部分図)
 - ・入力信号を位相が $2\pi/n$ ずつ異なる n パスに分岐し、それぞれ同一非線形回路を通した後、位相を元に戻して合成。
 - ・基本波と $(jn+1)$ 高調波は同相合成され、他は位相が分散する。
- ・トランスコンダクタンスミキサを用い、差動対にBB信号を印加し、共通ソースをクロックで順次グランドに周期接続する: Figure21.1.2 (部分図)
 - ・実際の回路は、ダブルバランス型トランスコンダクタンスミキサ。
 - ・18相の場合、 $\omega_{LO} + \omega_{BB}$, $17\omega_{LO} - \omega_{BB}$ は同相加算され、他は次のどれか、あるいは二つ以上の組み合わせでキャンセルされる。
 - ・M: マルチパス、B: 平衡、D: 33%デューティクロック
- ・0.13 μm CMOS, $V_{DD}=1.2\text{V}$, $S_{\text{active}}=0.14\text{mm}^2$
 - ・ $P_o=8\text{mW}$ to 100Ω load with $\eta_{\text{drain}}=11\%$
 - ・高調波: -48dBc、サイドバンド&イメージ: -39dBc
 - ・消費電力: 72mW/PU、156mW/クロック系

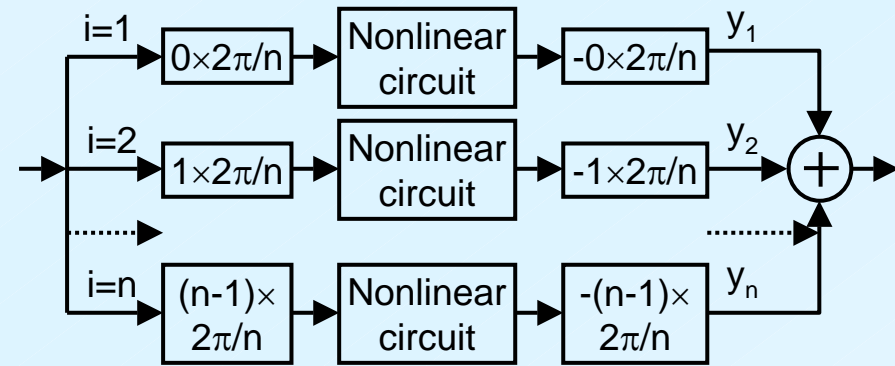


Figure 25.1.1: n-path polyphase circuit.

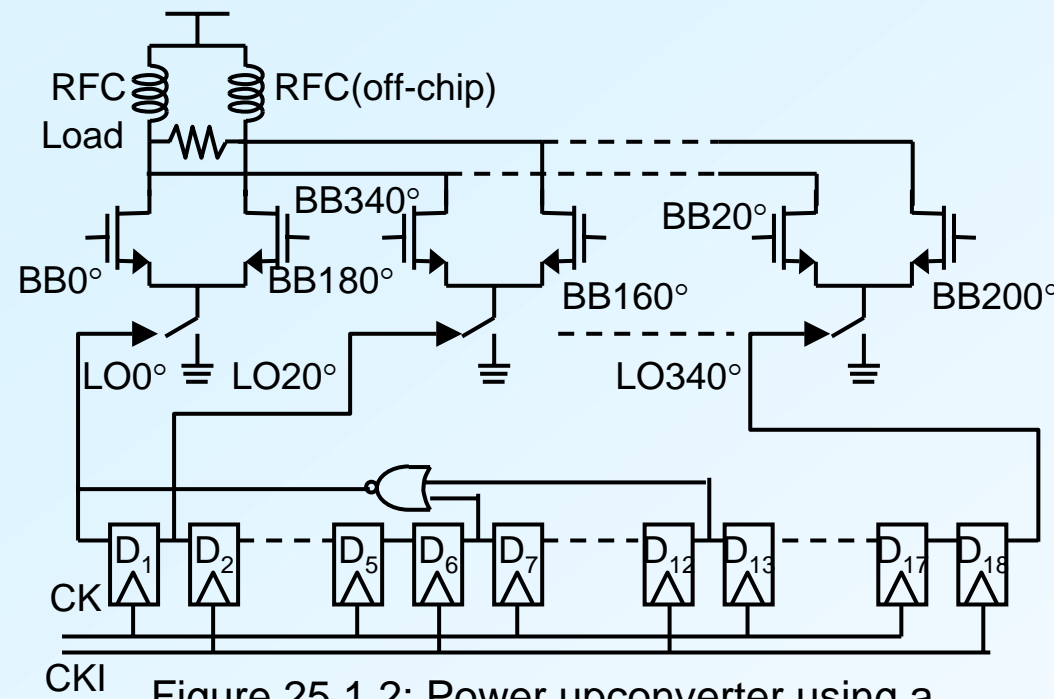


Figure 25.1.2: Power upconverter using a polyphase 18-th architecture.

25.2 “A Complex Image Rejection Circuit with Sign Detector Only”

UCSD (USA)

- zero- or low-IFシステムにおける振幅と位相のI/Q不整合の新しい自動補正法による回路規模の低減。
 - イメージ除去補正と不整合誤差の検出はデジタル-デジタル、アナログ-デジタル、アナログ-アナログ法がある。
 - 複素ベースバンドS/Hとデジタル処理による符号検出によるアナログ-デジタル法による適応帰還方法を採用: Figure 25.2.4
 - 振幅誤差を α 、位相誤差を θ としてI/Qチャンネルに等配分されていると考える。
 - 70dBのイメージ除去非を得るため、符号は 2^{20} サンプルの累積後に求める。
 - 100fFの容量アレイによる可変範囲;
 α : $\pm 6\%$ //step0.24%, θ : ± 3.5 //step0.014%
 - 最悪収束サイクル数: $2^{20} \times 2^8$ 。
- 性能:
 - 0.13 μ m CMOS, VDD=1.2V, Pd=23mW, 0.8 \times 0.45mm²
 - 標本化速度: 40MS/s for 10MHz symbol rate
 - 5MS/s - 15b $\Delta\Sigma$ ADC \times 2
 - イメージ除去比: ~ 65 dB for 256QAM

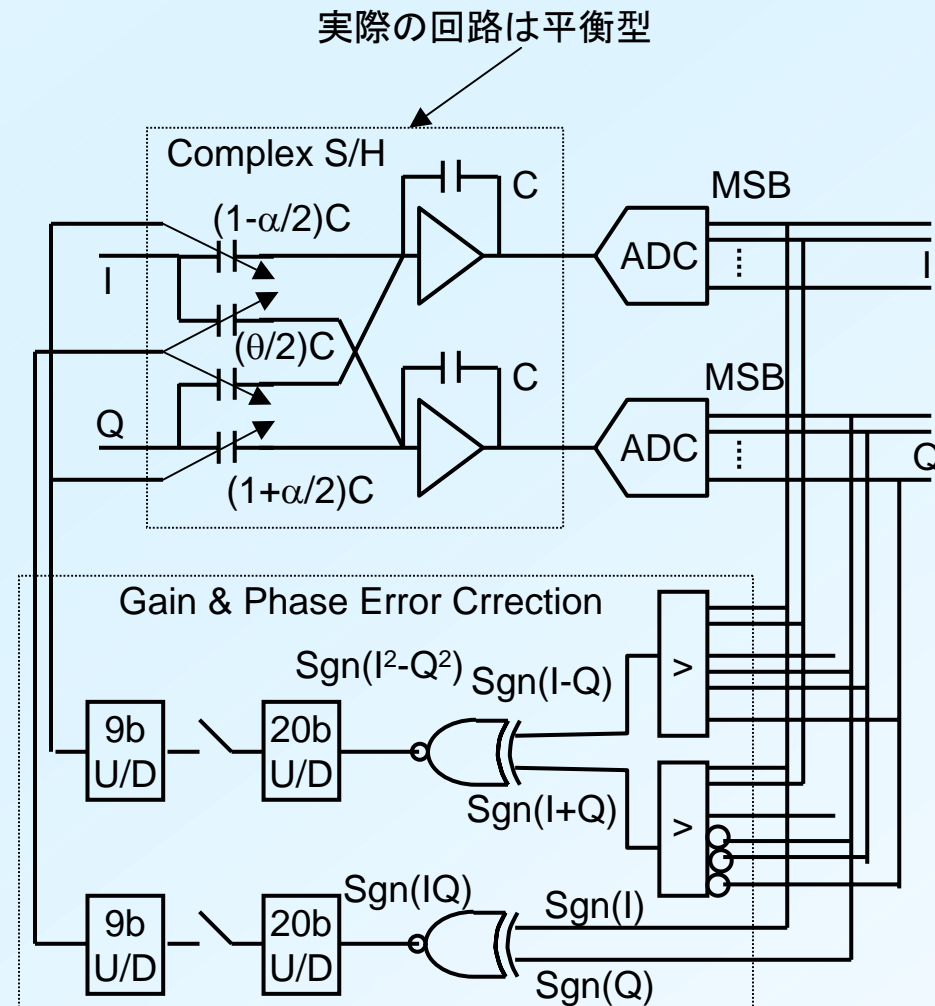


Figure 25.2.4: Complex S/H cpmcept image-rejected with digital detectors.

25.5 “A 2.2GHz Sub-Harmonic Mixer for Direct-Conversion Receiver in 0.13μm CMOS”

UCB (USA)

- 受信ダイレクトコンバージョンにおける直流オフセット要因のうち、RF端子へのLOリーク低減をサブハーモニックミキサの2段連続で実現: Figure 25.5.1
 - 理論変換損失: $\pi/2 \approx 4\text{dB}$: Figure 25.5.2
 - 最初のみキサ(SHM)のイメージは直流なので、前置増幅器は直流を短絡する誘導負荷とする。
 - 上段SHMの共通ソースのLOリーク周波数は $2f_{LO}$ であり、下段SHMを並列することによって $4f_{LO}$ とする。
 - 電流駆動受動ミキサ後段の増幅器雑音の寄与を低下するため、SHM出力負荷は高インピーダンスとする。
 - IFの帯域は7MHz。
- 性能: 0.13μm CMOS, VDD=1.2V
 - G=4.5dB, NF=11dB @ IF=1MHz, RF≈2.2GHz
 - 1/f corner=100kHz
 - LO leakage= -95dBm, 2LO leakage= -91dBm at SHM-input (@ LO= -18dBm)
 - SHMのIIP2=35dBm, IIP3=0dBm
 - SHM dc offset=0.7mV without calibration
 - 消費電力: 7.2mW/preamp. 5.5mW/LO-buffer

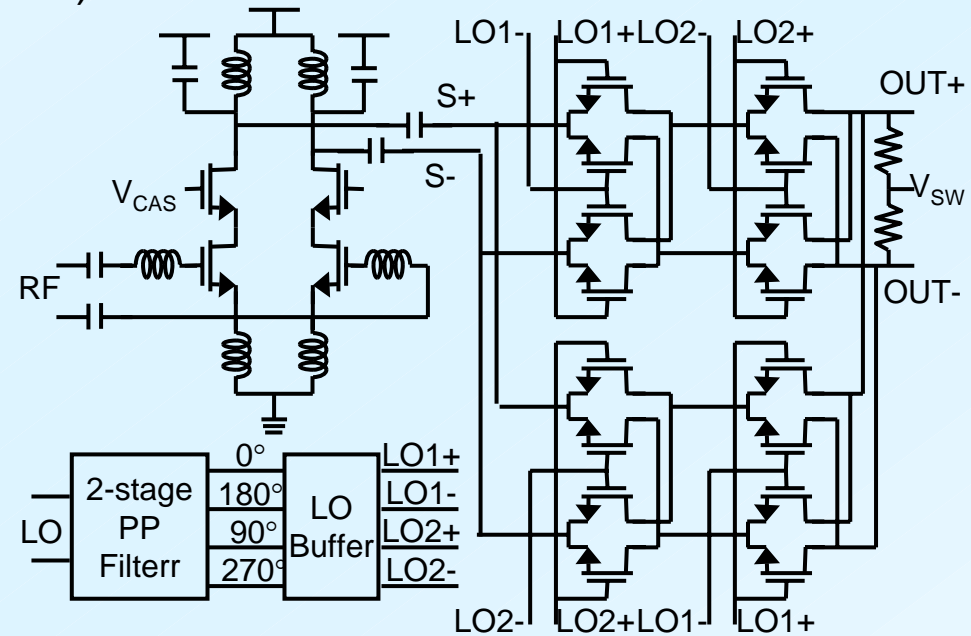


Figure 25.5.1: Schematic of the sub-harmonic mixer.

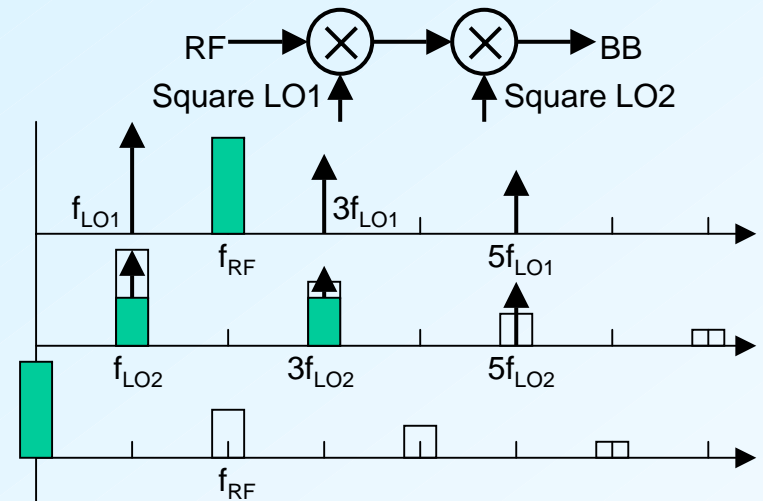


Figure 25.5.2: Sub-harmonic mixing action in f-domain.