

# ISSCC 2006 報告書

(IEEE International Solid-State Circuits Conference)

## (RF関係)ーその2

開催期間:2005年2月5～9日(主セッション:2/6～8)

開催場所:USA サンフランシスコ, マリオット・ホテル

Session6, 10, and 11からの抜粋

報告者:中川 准一

6.4 "A 1.1V 3.1-to-9.5GHz MB-OFDM UWB Transceiver in 90nm CMOS"

NEC, Japan

- RXはダイレクトコンバージョン
- 3.1~9.5GHz with 12sub-bands of 528MHz width
  - シンセサイザの構成: (Figure6.4.1)
    - 8.4GHz quadrature-VCO, 1/2分周器×5個, 2:1 MUX×3個, SSB mixer×2個, VGA, Buffer, PLL,  $f_{ref}=16.5\text{MHz}$
- LNA: 寄生容量の低減・・・Figure 6.4.2
  - FET-M2 in deep N-well + shielded capacitor-C1
  - M2-sourceをボディと容量シールドに接続
- Mixer: LOリークの低減・・・Figure 6.4.5
  - ギルバート型ミキサのスイッチングペアFETのボディにそれぞれ疎調、微調電圧を与えてLOリークを-36dBcまで低減
  - 送信アップコンバータとシンセ内出力SSBミキサに適用
- RX-Mixer後のLPF: (Figure 6.4.3)
  - 3次楕円フィルタを擬似差動OTAを用いて1.1V動作を実現
- $V_{DD}=1.1\text{V}$ ,  $P\text{-TX}=131\text{mW}$ ,  $P\text{-RX}=224\text{mW}$ 
  - 90nm 1P6M CMOS,  $S\text{-active}=3.5\text{mm}^2$
- MB-OFDM: multi-band orthogonal frequency division multiplex
- UWB: ultra wide band
- OTA: operational transconductance amplifier

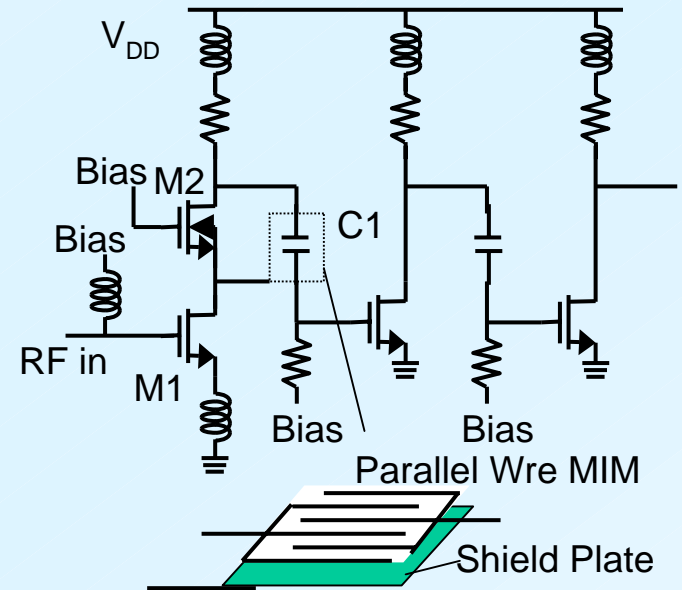


Figure 6.4.2: LNA schematic.

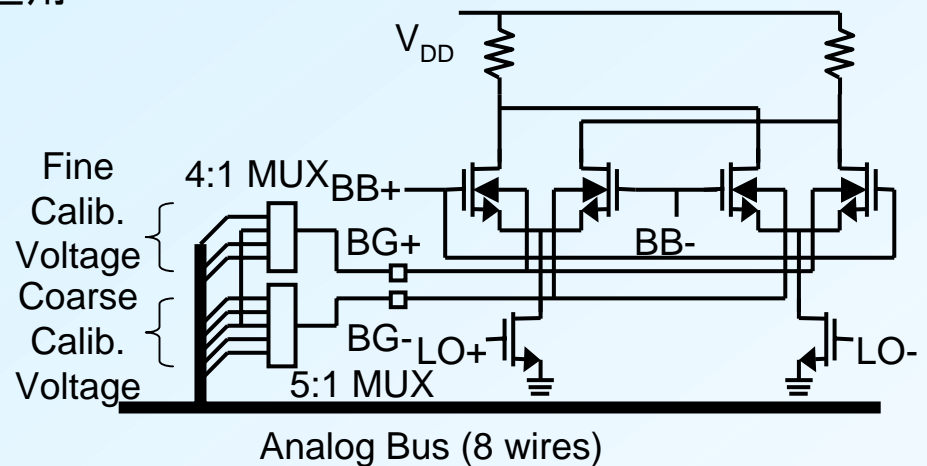


Figure 6.4.5: Analog bus bulk biasing.

10.1 "A 77GHz 4-Element Phased Array Receiver with -Chip Dipole Antennas in Silicon",  
10.2 "A 77GHz 4-Element Phased Array Transmitter with -Chip Dipole Antennas in Silicon"

California Institute of Technology

- ・ オンチップ・アンテナ構造: Figure 10.1.1 (原図の部分)
  - ・ Siの誘電率11.7と大きいので、放射電力はSi基板に吸収される。それを基板裏面から効率よく放射するため、Si半円球レンズを使用。
  - ・ ICチップの下三層の金属層を用いてチップエッジにダイポールアンテナを形成。アンテナインピーダンスは約45Ω。
  - ・ 受信側は、ダイポールのそれぞれをLNAの差動入力とする。
  - ・ 送信PAはシングルエンドで、アンテナとの接続法不明。
- ・ 伝送線路は、differential microstrip tub transmission lines.
  - ・ 放射や不要な結合を防ぐため。
  - ・ 平衡レイアウト、等長配線。
- ・ LO局所移相器: Figure 10.2.3 (原図の部分)
  - ・ 各ミキサの隣に移相器を配置し、結合による移相誤差を除去。また、伝送線路の総長を短くでき、利得の平衡度が向上。
- ・ VCO LO=52GHz, 2nd LO=26GHz,  $f_{ref}=52\text{GHz}/1024$
- ・ 120nm SiGe BiCMOS with  $f_T=200\text{GHz}$ 
  - ・ chip size = 6.8mm×3.8mm
  - ・ RX: 9mm<sup>2</sup>, TX: 17mm<sup>2</sup>

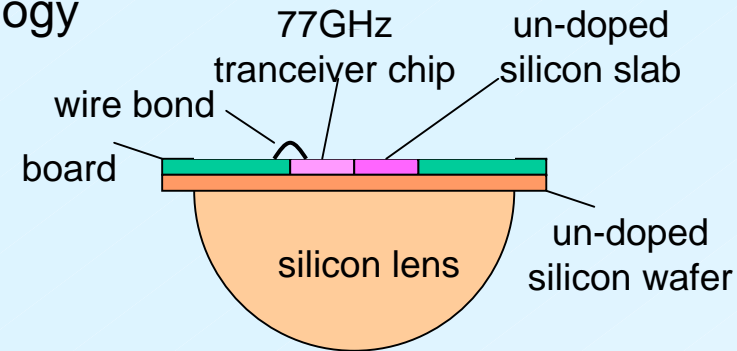


Figure 10.1.1: Chip, board, and lens antenna setup configuration.

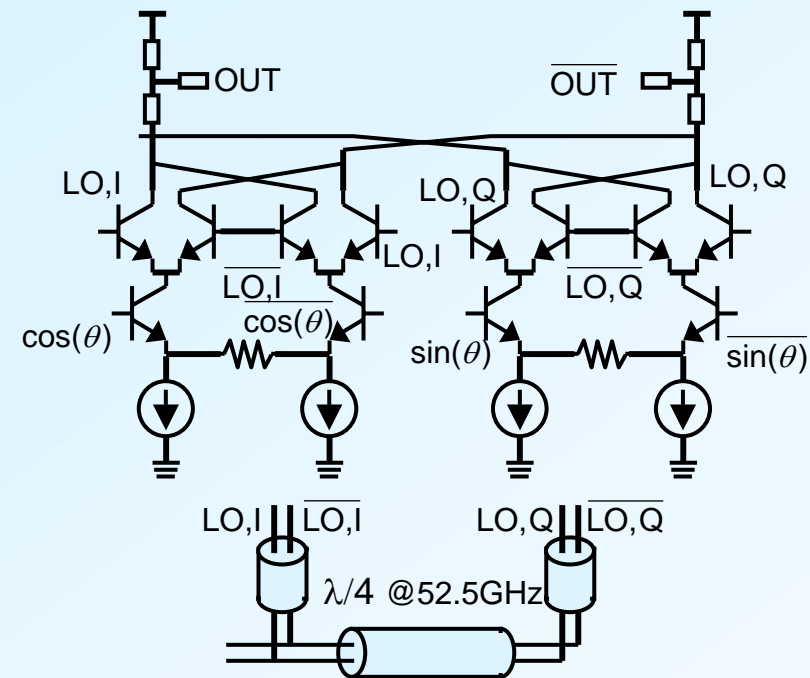


Figure 10.2.3: 52GHz phase rotator

## 11.2 “A 2.3GHz LC-Tank CMOS VCO with Optimal Phase Noise Performance”

Technical University of Denmark and Mälardalen University (Sweden)

- current-biased **VCO with double switch pair**: Figure 11.2.1
  - Hajimiri's and Lee's impulse sensitivity function (ISF) theoryを用いて、DS-VCOとSS-VCO (single switch)の位相雑音を比較。
  - NMOSとPMOSのチャネル雑音係数が等しければ、LCタンクとバイアス電流が等しければ、DS-VCOの位相雑音はSS-VCOの-6dBとなる。
  - NMOSとPMOSの特性が非対称の場合、PMOSソースのインピーダンスが低いので、NMOS ISFはCpar(LCタンクとグランド間)に依存しないが、PMOS ISFはCparに依存してPMOSによる位相雑音が支配的となる。
  - **Cparを小さくすることが重要**: FET特にPMOSのサイズ、インダクタとバラクタのグランド間容量、VCO負荷容量を小さくすること。
- 0.35 $\mu$ m CMOS with 4M, top metal layer thickness=2 $\mu$ m
  - L=2.6nH with Q=11 @2.3GHz
  - 寄生容量を減らすため、Lの下のシールドはなし。
  - floating MIM capacitors and accumulation-MOS varactorを使用。
  - SS-VCOも同時に試作し、約6dBの位相雑音差を確認。
  - 位相雑音: -100dBc/Hz @  $f_{\text{off}}=100\text{kHz}$ , -134dBc/Hz @  $f_{\text{off}}=1\text{MHz}$ , at conditions of  $f_{\text{osc}}=2.3\text{GHz}$ ,  $V_{\text{dd}}=2.5\text{V}$ ,  $I_{\text{B}}=4\text{mA}$

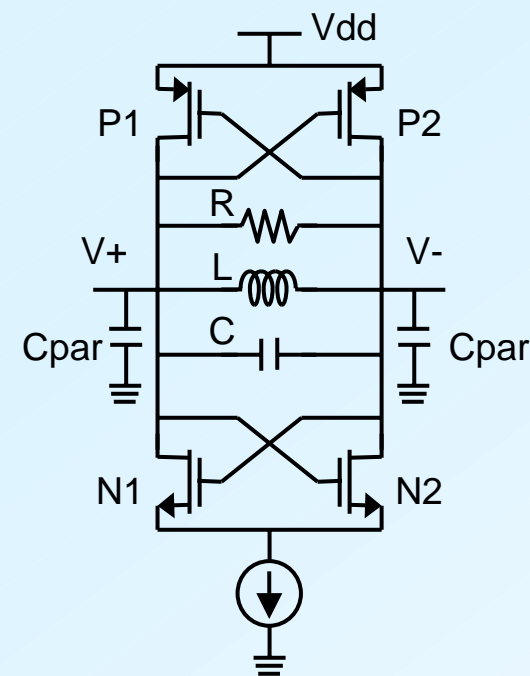


Figure 11.2.1: Simplified schematic view of the DS-VCO. (modified)

### 11.3 “A Phase-Noise Reduction Technique for Quadrature LC-VCO with Phase-to-Amplitude Noise Conversion”

UCLA

• 5GHz energy-circulating QVCO: Figure 11.3.1 (原図の部分)

- $f_0$ で発振する二個のDS-VCOの上下ソースノードをそれぞれ $2f_0$ のLCタンクで結合。
  - 交差結合FETはtriode modeで動作し、ソースノードを $2f_0$ で上下する。
  - triode modeのFET抵抗はテイルソースノードの容量 $C_{tail}$ を駆動できるように十分低くする。
    - $[2\pi R_{on}(V_{gs}=V_{DD})C_{tail}]-1 > 2f_0$
  - L5/L6の値をL3/L4より数倍大きくして、高調波で電源またはグラウンドに短絡するのを防ぐ。
  - 左右のペアの間で、エネルギーが主タンク $f_0$ とテイルタンク $2f_0$ の間で回転しながらやり取りされる。
  - 主タンクの電流はテイルタンクにも流れるので、 $f_0$ は主タンクのLCで決まる周波数より低くなる。
- 単体DS-VCOより消費電力が2倍になるが、位相雑音は3dB改善される。

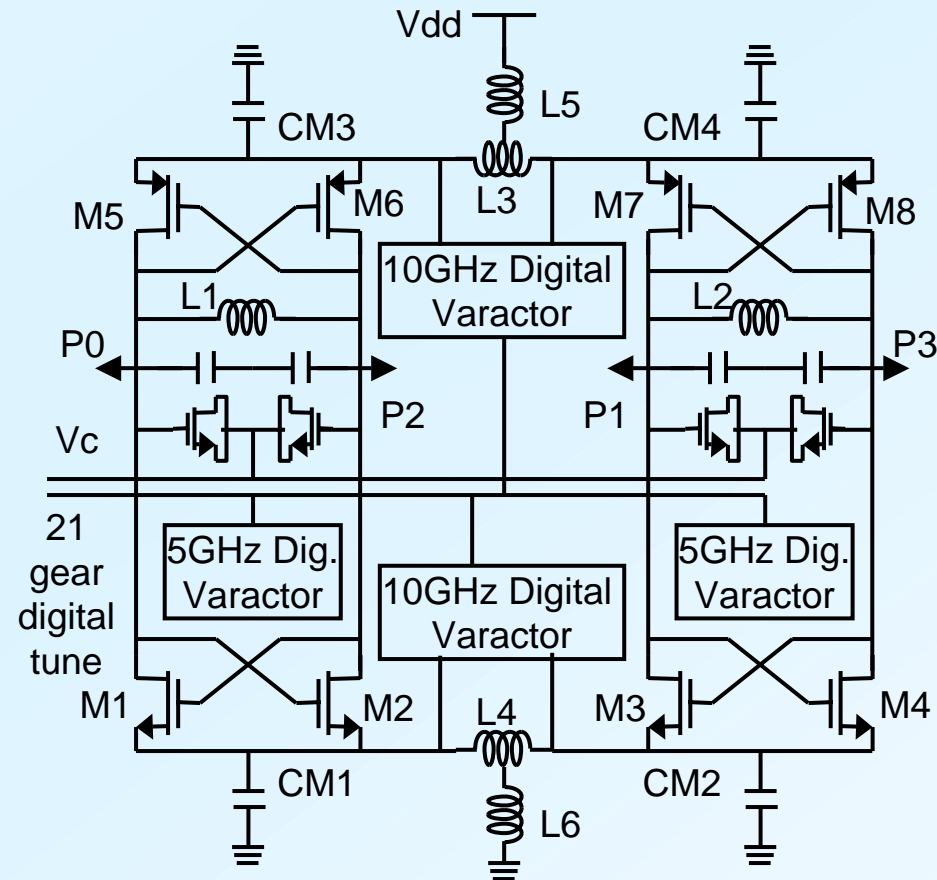


Figure 11.3.1: Energy-circulating QVCO.

- 一方のVCOの雑音はテイルタンクを通過して他のVCOに影響して振幅雑音となるが、振幅制限作用によって低減される。
- 位相雑音: 約 -133dBc/Hz @  $f_{off}=1\text{MHz}$

## 11.5 “A 5GHz Resistive-Feedback CMOS LNA for Low-Cost Multi-Standard Application”

Intel

- Figure 11.5.1のLNAと測定用のドライバーバッファを試作。
  - 0.5~8.2GHz, G=25dB, NF=1.9~2.6dB, OIP3=21dBm @2GHz, OIP3=8.8dBm @5.8GHz。
  - G=25dB, NF=2dB, IIP3=-14dBm @ 5GHz,  $V_{cc}=2.7V$ ,  $P_{dc}=42mW$ ,  $area=0.025mm^2$  for LNA?
  - 90nm CMOS with a **high resistivity epi/substrate**, MIM capacitor and precision poly resistor.

LNA:

- $M_1$ - $M_2$ :  $g_m$ -enhanced cascode amplifier → 電圧利得 $\approx$ 13dB
- $M_3$ : source follower feedback buffer  $\cdot C_{PFB}$ は寄生容量 $C_L$ を補償し、広帯域化する。

moderate frequenciesにおける入力抵抗は、(1)式

$M_3$ ソースを見た入力インピーダンスは、(2)式

- これと $C_2$ の寄生容量分3%を共振させる。

NFは、(3)式

- $r_t$ は配線、ビア、電源抵抗などを含む入力ループの総抵抗  $\cdot R_o$ はgenerator抵抗
- $K_1$ はチャネル抵抗、 $R_B, R_L, M_2$ の雑音を含む係数

$$R_{in} \cong \frac{R_F}{1 + A_V} \cong \frac{R_F}{A_V} = \frac{1k}{20} = 50 \quad (1)$$

$$L_{EQ} \cong C_{gs3} \frac{R_L}{g_{m3}} = \frac{R_L}{2\pi f_{t3}} \quad (2)$$

$$F \cong 1 + \frac{r_t}{R_o} + \frac{R_o}{R_F} + K_1 \frac{f_{-3dB}}{f_t} \cong 1 + \frac{r_t}{R_o} + \frac{R_o}{R_F} + 2 \frac{f_{-3dB}}{f_t} \quad (3)$$

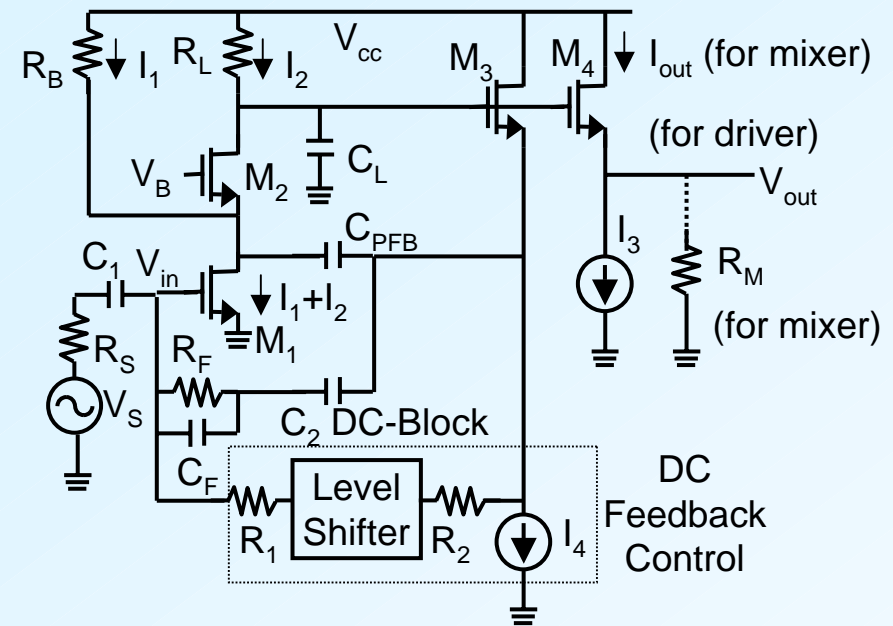


Figure 11.5.1: Simplified LNA schematic diagram.

## 11.6 “A 3 to 5GHz CMOS UWB LNA with Input Matching using Miller Effect”

Virginia Tech. and 韓国ETRI

- LNAの構成: Figure 11.6.1・・・ $L_s$ の付加がキーポイント
  - ミラー効果を見れば、source-degenerated MOSFETの入インピーダンスはLCR直列回路で表される。
  - ミラー効果を考慮した等価回路: Figure 11.6.2
    - $C_1$ :ミラー容量、 $L_1$ : $M_1$ gと $M_2$ s間の電圧利得により生じる、 $R_1$ : $L_1$ のQに関係し、小さい、 $C_2$ :大きい。
    - $M_2$ のサイズとバイアスが $C_1, L_1$ の値に影響する。
  - 高周波では $C_2$ と $R_1$ が無視できる。
    - 従って、Figure 11.6.2をチェビシェフバンドパスフィルタとみなして広帯域整合できる。
  - $M_1$ のゲートから見たインピーダンスの抵抗成分を雑音最適ソースインピーダンスの抵抗成分より少し小さくすることによって、帰還量が減って高利得を得ることができる。
    - 整合設計と雑音最小設計の最適化が可能。
- 3~5GHzにおいて、 $G > \sim 15\text{dB}$ ,  $NF < \sim 2.3\text{dB}$ 
  - $S_{11} < -10.5\text{dB}$ ,  $S_{22} < -13.1\text{dB}$
  - $IIP3 = -9\text{dBm}$ ,  $P_{-1\text{dB}} = -23\text{dBm}$
- TSMC 0.18 $\mu\text{m}$  CMOS
  - $I_0 = 6.4\text{mA}$ ,  $V_{dd} = 1.2\text{V}$
  - $740\mu\text{m} \times 850\mu\text{m}$

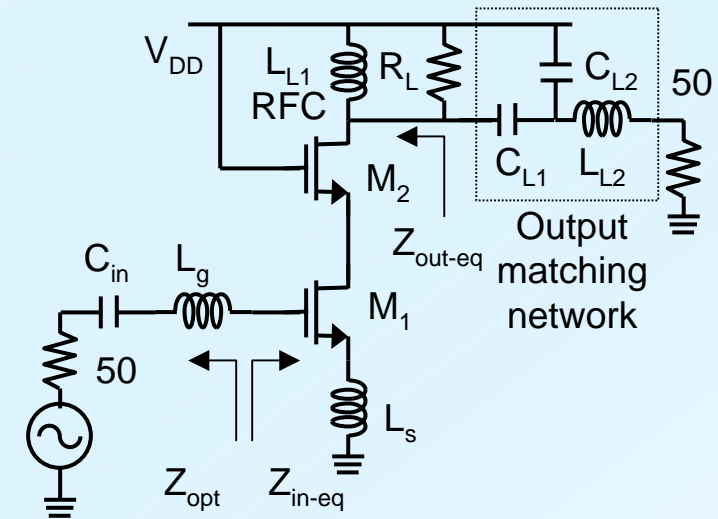


Figure 11.6.1: Overall LNA structure.

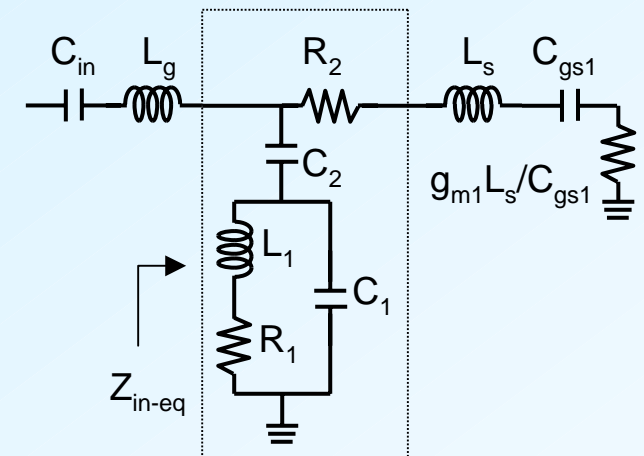


Figure 11.6.2: Equivalent circuit including Miller Effect.