

# ISSCC 2006 報告書

(IEEE International Solid-State Circuits Conference)

(RF関係)

開催期間: 2005年2月5～9日 (主セッション: 2/6～8)

開催場所: USA サンフランシスコ, マリオット・ホテル

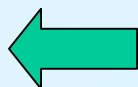
報告者: 中川 准一

- ・1968～2002年: (株)日立製作所・中央研究所、および通信関連事業部において、主に移動無線機器、特にその無線高周波部の開発に従事。
- ・2003年～: NPO法人アナログ技術ネットワークに所属。
- ・ISSCC2005に続いて参加。

## 全体の印象

!!! 止まらない流れ!!!

- ・オールCMOS化
- ・無線システム on chip 化
- ・マルチバンド・マルチモードSoC化
- ・マルチスタンダードSoC化  
(例: セルラーとWLANの統合)



- ・プロセスの微細化 → 高集積・高機能化
- ・FETの高性能化 → BJTの駆逐
- ・デバイス特性ばらつき補償回路の積極利用
- ・信号処理技術の進化 ↓ ↓  
・アーキテクチャー(筋の良さ)の勝負

● ISSCC2005,2006、および日経エレクトロニクス2006.1.30号「ワイヤレスが変幻自在に」—第2部「再構成可能なRFチップ次世代品が続々登場へ」から、下の2項が日本の経営者、技術者にとって重要と考える

● 集積回路製造経営者に求められること

- ・システムとベースバンドからRFまで理解して統括できる指導者の育成
- ・幅広い分野への技術者の配置と共同開発体制の確立 ← 各分野技術者の育成
- ・システム/ソフトウェア設計者の育成/確保

● RF回路設計者に新たに要求される技術

- ・LCのみの整合回路から、FETと帰還回路を用いた整合回路設計技法
- ・多数デバイスを用いた高性能・高安定回路の設計
- ・アナログ信号処理技術を活用した回路設計

## ISSCC 2006 無線システム関連セッション

全34セッションのうち、**無線システム**関連発表のあったセッションとその名称:

- #6 UWB (Ultra-Wide-Band): 2/6PM聴講
- #10 MM-Wave and Beyond
- #11 RF Building Blocks and PLLs: 2/7AM聴講
- #17 RFID and RF Detection
- #19 Analog Techniques: 1件
- #20 WLAN / WPAN: 2/7PM聴講
- #25 RF / IF Circuits
- #26 Cellular Building Blocks and SOCs: 2/8AM聴講
- #32 PLLs, VCOs, and Dividers: 2/8PM聴講

昨年よりもセッション内容が整理されており、会場を渡り歩く必要がなかった。

上記セッションのうち、#19を除く無線システム関連(WLAN, Cellular, etc)発表の機関・国を分類すると、次ページの表のようになる。

- ・この分野における日本の大学の取り組みは、米、欧、台湾、(韓国)よりかなり立ち遅れている。
- ・報告者が注目した論文を4~5回に分けて報告する。今回はその1回目

参考:ISSCCの発表論文集はダイジェスト誌としてIEEEより刊行されており、本年のダイジェスト誌のページ数は704ページ。各論文はレターサイズ2ページで、図表6~7を含む。

無線システム関連発表の機関・国

session	#6	#10	#11	#17	#20	#25	#26	#32	
RF件数	8/8	5/5	10/10	8/8	7/8	7/7	10/10	8/9	
機関	大学 官庁	シンガポール	米国:2	米国:2	米国:2	米国:2	米国:2	米国:3	米国:2
		台湾:1		韓国:2	フランス:2		カナダ:1	イタリア:1	日本:1
		米国:1		中国:2	スイス:1		オランダ:1	フィンランド	台湾:1
				台湾:1	台湾:1				
				デンマーク:1					
	産学 共同	米国:1	台湾:1	オーストリア		米国:1	米国:2	イタリア:2	韓、米:1
		イタリア:1						米国:1	スイス:1
	企業	米国:1	米国:1	日本:1	日本:2	米国:3	米国:2	日本:1	米国:1
		日本:1	ドイツ:1			ドイツ:1		ドイツ:1	米(日):1
		ドイツ:1							
国別計	米国: 25+2	日本:6+1	台湾:5	ドイツ:4	イタリア:4	韓国:2+1	フランス:2	スイス:2	

注) 無線システム: TV関係を除く

PLENARY: 1.1 “Where CMOS is Going: Trendy Hype (誇大広告) vs. Real Technology”

by T.C. Chen, IBM Fellow, Vice-President of Science and Technology

結論:【以下の技術の地道な開発+回路設計者の挑戦心+プロセス開発者の協力】  
→ CMOS技術は今後10年は発展を続ける。

- ・ 消費電力増大の緩和
  - ・ Tr漏れ電流の低減
    - ・ 高誘電率 (high-K) ゲート絶縁膜+金属ゲート → 酸化膜トンネル電流の低減
    - ・ 閾値電圧の制御
  - ・ 電源電圧の低減
  - ・ アーキテクチャーとデザインの最適化
  - ・ 三次元実装
- ・ ばらつきの抑圧
  - ・ 高度なプロセス制御
  - ・ 自己補正・自動補正回路の導入
  - ・ アナログ機能のデジタル化
- ・ デバイス性能の向上
  - ・ 歪みSiによる移動度の一層向上 ← pFETとnFETで異なる歪みの与え方
  - ・ 新構造FET・・・back-gate FET、double-gate FET
- ・ 寄生抵抗の低減
  - ・ コンタクト抵抗の低減

## PLENARY: 1.2 ICs for Mobile Multimedia Communicaions

by H.Eul, Member Management Board, **Infineon** Technologies

- ・ ICの終わりなき発展 → 移動広帯域通信システムの実現が可能
- ・ マルチバンド・マルチモード、**マルチスタンダード端末**の実現要求
  - ・ 2G(GSM), 3G(WCDMA, CDMA2000) and/or ローカル(WLAN, UWB, Bluetooth, Infrared) and/or GPS and/or マルチメディア(Digital TV, FM radio)
  - ・ low-power and small chip area SoC with **re-configurable** and programmable architecture
  - ・ on-chip antenna, more efficient power-management and power-amplifier
  - ・ high-performance, low-voltage circuits in RF and analog IC design
- ・ IC アーキテクチャー 一般課題:
  - ・ コスト観点から、pure digital CMOSプロセスの使用が最も好ましい
  - ・ RF/アナログ回路とデジタル回路用に二種の酸化膜プロセスの使用は許容範囲
  - ・ System in Package (SiP) アプローチも許容範囲
  - ・ RF/アナログ回路設計はプロセス・温度変動に耐えるアーキテクチャ設計が必要
- ・ RF送受信機課題:
  - ・ **フリッカ雑音対策**: プロセス、回路アーキテクチャ、特にミキサーとVCO
  - ・ コスト、再構築性、性能、消費電力: **これらの妥当な回路アーキテクチャ最適設計**
- ・ アナログ回路課題:
  - ・ 低電圧対策: 感度と**線形領域の確保**
  - ・ 90nm以下のプロセスにおける漏れ電流と低利得対策
- ・ **システムが必要な分解能・帯域幅積はほぼ一定: 低分解能・広帯域化はプロセスの低電圧化と高速化に一致**
  - ・  $2^{\text{ENOB}} \times \text{BW} = \text{constant}$  for ADC (ENOB: 有効ビット数)

## 26.6 “An 800MHz to 5GHz Software-Defined Radio Receiver in 90nm CMOS”

by R.Bagheri, ... , A.Abidi; UCLA, (and WiLinx)

● 今年の最注目論文： ソフトウェア無線機(SDR)の現実解を示した点で意義がある。

1. 受信電波を直接A/D変換することは予測できる将来には非現実的 → 広帯域同調可能RFフロントエンド(FE)

- ・ RF-FEは希望チャネルの復調に必要なSNRで量子化できるだけのラフな帯域選択を行い、隣接チャネルはデジタルフィルタで除去する。
- ・ すなわち、RF-FEは、ADCが妥当な消費電力と速度で動作できるダイナミックレンジまで、不要波を除去する。
- ・ 一方、ADC+DSPは、RF-FEに従来設計における可変利得と帯域選択機能を負わせない。
- ・ ADCはビット数と標本化速度を再構築可能とする。・・・1.2の講演要約の最後の文を参照
  - ・ GSM: DR=14b, B=200kHz, S=10Msps; 802.11g: DR=8b, B=Nyquist, S=40Msps

2. Figure 26.6.1 受信機RF-FEブロック図(次ページ) :

- ・ 複素ミキサーにより、zero or low IFに変換する。
- ・ windowed integration samplerは、連続時間入力信号をsinc関数でフィルタリングするが、実現できるnull depthは約55dBであり、強力な隣接チャネルの減衰には十分でない。
- ・ これを補うため、ミキサ後段にプログラマブル受動RCフィルタを配置する。
- ・ windowed integration sampler + programmable (switch-selectable) RC real poles によって十分な減衰が得られるように、標本化周波数 $f_s$ を設定する。
- ・ 標本化周波数 $f_s$ はanti-aliasing passive switched-capacitor FIR filtersによって間引かれる。
- ・ 間引き(decimation)とフィルタリングによって、希望波にエイリアシングを起こす不要波を除去する。
- ・ 隣接チャネルにエイリアシングを起こすフィルタサイドローブ中の信号はADCの過負荷にならないければ、問題にしないで良い。
- ・ filter's discrete-time sampled-and-held analog output を直接量子化する。

26.6 “An 800MHz to 5GHz Software-Defined Radio Receiver in 90nm CMOS” (つづき1)

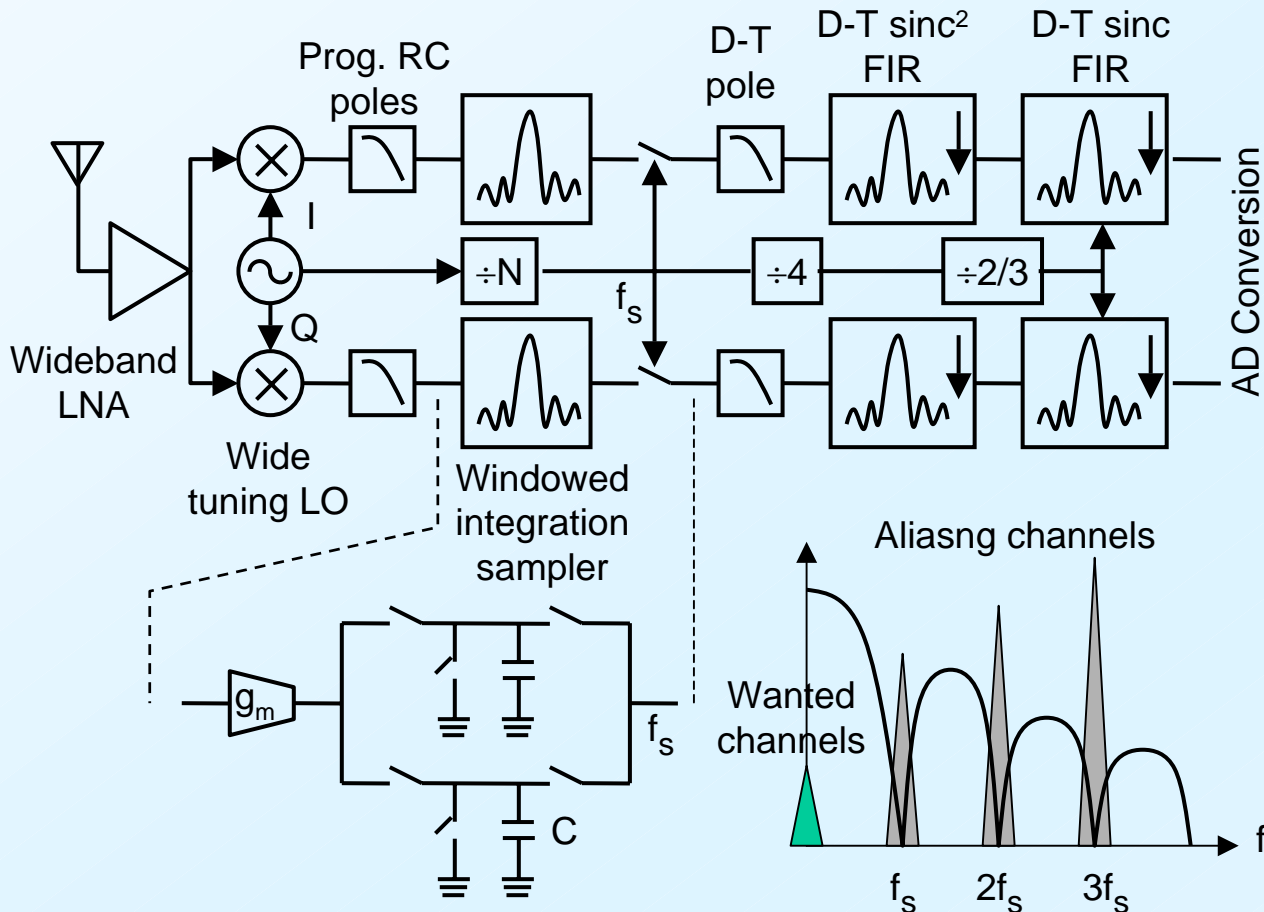


Figure 26.6.1: Receiver block diagram showing baseband anti-alias sampler.

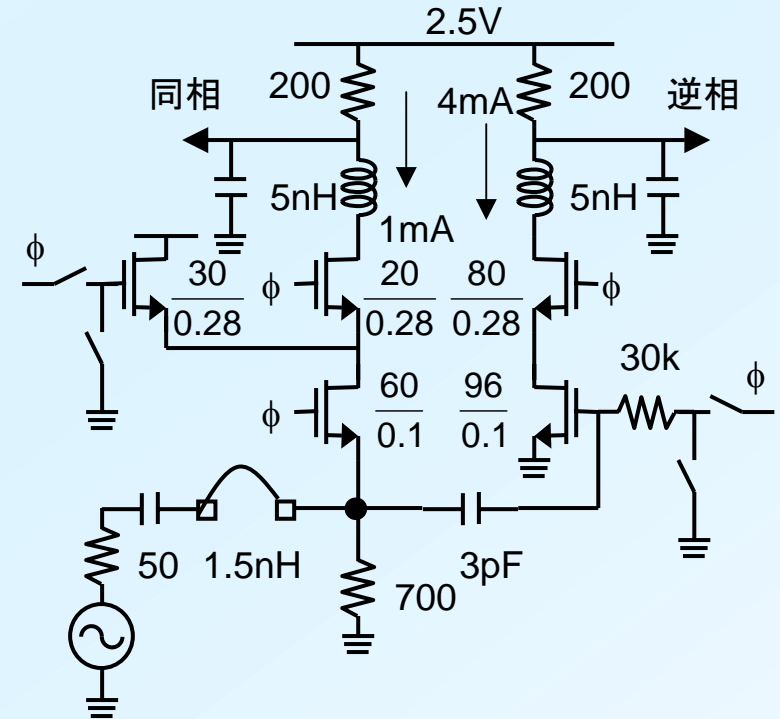


Figure 26.6.2: Wideband LNA.

3. Figure 26.6.1: Wideband LNA・・・thick-oxide FETを用いて、2.5Vでhigh linearityを得る。
- ・ 図の構成で同相出力と逆相出力の利得が等しくなり、差動出力によってゲート接地段の雑音キャンセルされ、NFは広帯域で3dB以下となる。
  - ・ 入出力負荷に最大平坦LCラダーフィルターを組み込む。
  - ・ ゲート接地段を殺すことによって、雑音が増えるが、利得を低下できる。



26.6 “An 800MHz to 5GHz Software-Defined Radio Receiver in 90nm CMOS” (つづき2)

4. Figure 26.6.3:

- passive FET mixer + common-gate output stage with low input impedance.
  - mixer FET'sのソース・ドレイン間に電圧振幅がなければ、ゲートにおけるフリッカー雑音感度、およびオフセットはゼロになる。→ IP2の改善
- LO高調波とLO奇数次高調波付近の不要波とのミキシングを防止する必要がある。・・・図の下半分
  - 位相の誤差はスプリアスレスポンスに影響する。

5. 信号処理 (zero or low IFにおけるフィルタリングと間引き)・・・Figure 26.6.1参照

- 標本化周波数 $f_s$ は妨害波テンプレートと隣接バンドの信号レベルから決定。
  - 例: 1.9GHz-WCDMAにたいして2.4GHz-WLANは大きな妨害波となる。
- 間引き4の $\text{sinc}^2$  FIR filterのdiscrete-time pole位置( $f_s$ の分数)は試行錯誤で決定し、 $\text{sinc}$  FIR filterの間引きは3 or 2で十分。
- 最終標本化周波数の整数倍でノッチフィルターが必要。
- discrete-time FIR filterはpassive switched-capacitorsで、poleはunswitched-capacitor at the transconductor outputで実現。
- 30dBの可変利得機能をswitch-selectable unit transconductorsとbinary capacitor arraysを用いてwindowed integratorに組み込む。

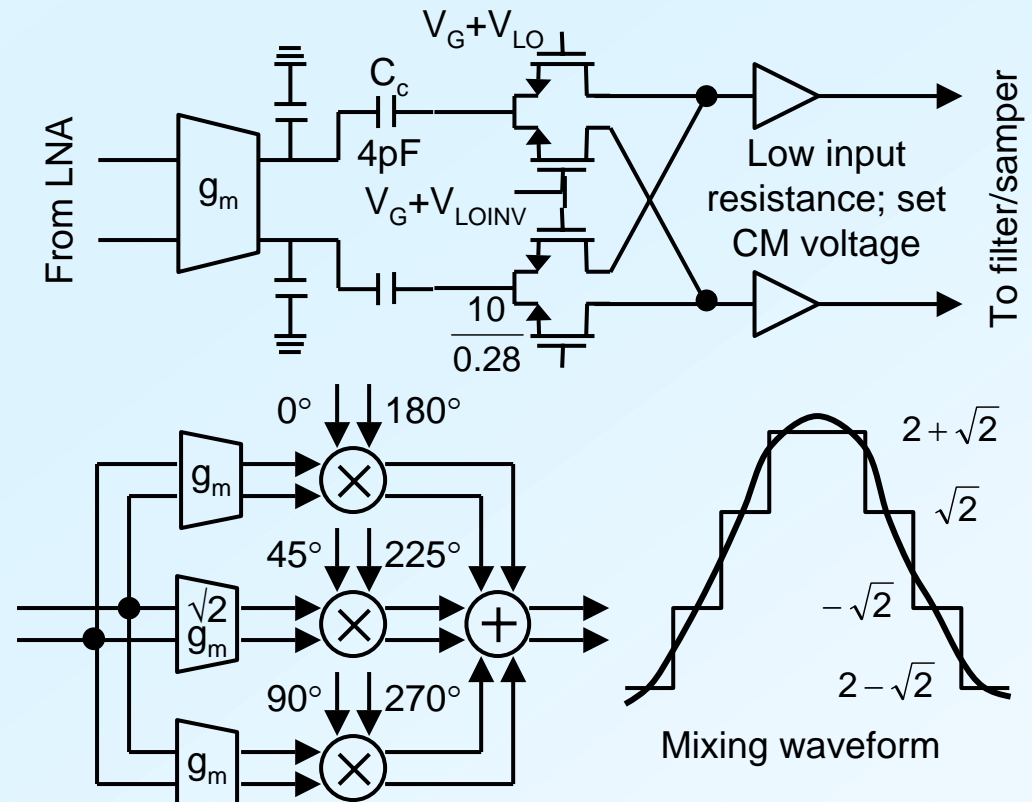


Figure 26.6.3: Mixer circuit and harmonic suppression method.

## 26.6 “An 800MHz to 5GHz Software-Defined Radio Receiver in 90nm CMOS” (つづき3)

### 6. 広帯域LO発生:

- 3.6GHz differential VCO with 20% tuning range + 5GHz quadrature VCO with 10% tuning range.
  - 3.6GHz VCO + 1/4divider → multiple phases for harmonic-suppression mixing・・・Fig.26.6.3
- VCOの出力にswitched amplitude controlを使用。
- 必要なLO信号は多重回路とバッファ・ツリーによって選択し、ミキサに供給。

### 7. 試作結果:

- 90nm CMOS, chip size:  $2.9 \times 2.4\text{mm}^2$
- 必要な選択度は次のパラメータで実現
  - $f_s=72\text{MHz}$ , 4 ↓ & 2 ↓ ,  $f_{\text{ADC}}=9\text{MHz}$  for 900MHz GSM
  - $f_s=480\text{MHz}$ , 4 ↓ & 3 ↓ ,  $f_{\text{ADC}}=40\text{MHz}$  for 2.4GHz 802.11g WLAN
- 総合NF: 5dB for GSM, 5.5dB for 802.11g
- 総合利得: 38~8dB/LNA+Mixer + 36~6dB/Filter for GSM  
30~3dB/LNA+Mixer + 26~-4dB/Filter for 802.11g
- 総合直線性: IIP3= -3.5dBm, IIP2=45~65dBm for 6MHz mod. Blocker
  - -15dBm WCDMA blockerを考慮すると、ミキサの線形性はもっと必要。
- ミキサー・スプリアス応答: -38dB at LO3次高調波、-40dB at LO5次高調波
- 電流:
  - LNA=5mA, Mixer=6.4mA at  $V_{\text{DD}}=2.5\text{V}$
  - Filter at  $V_{\text{DD}}=1\text{V}$ : GSM /High gain=23mA, GSM /Low gain=8mA,  
802 /High gain=28mA, 802 /Low gain=13mA
  - 3.8GHz VCO=12.5mA, 1/4divider=6mA, 1/2divider=3mA at  $V_{\text{DD}}=1\text{V}$