

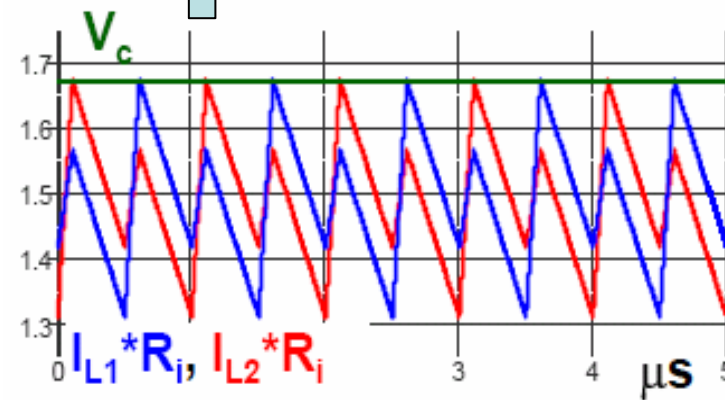
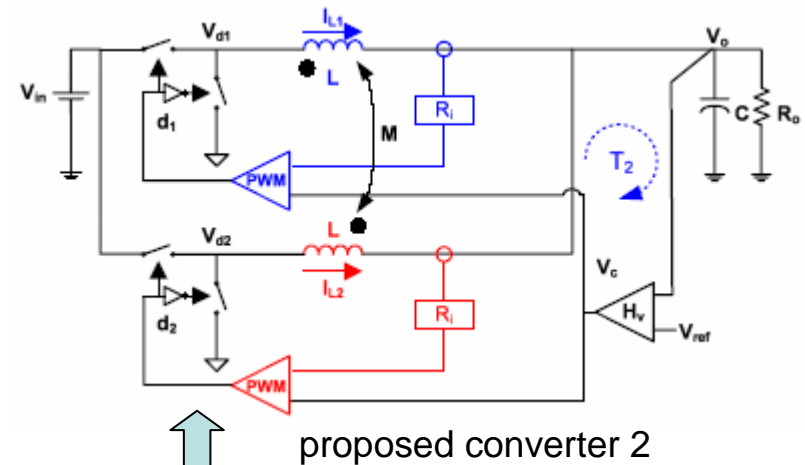
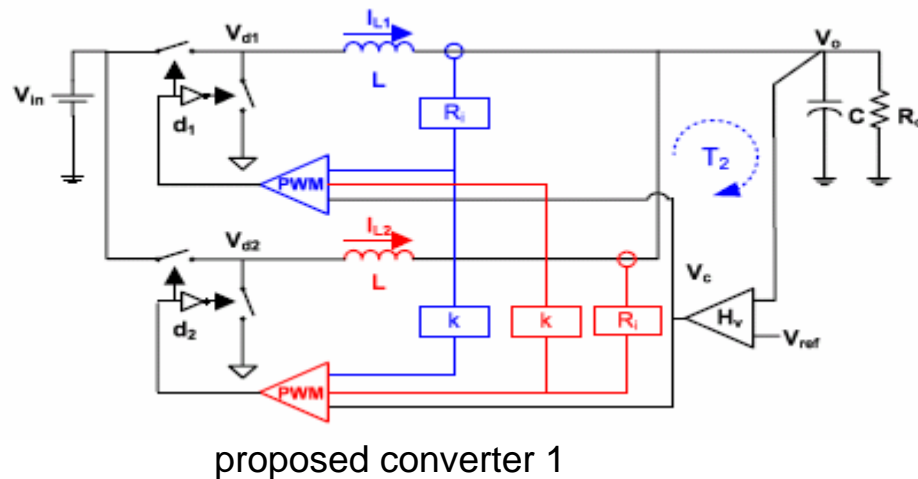
APEC2006 参加報告 (主要発表論文)

報告: 2006.4
群馬大学
小堀 康功

S.2 Voltage Regulator Modules 1

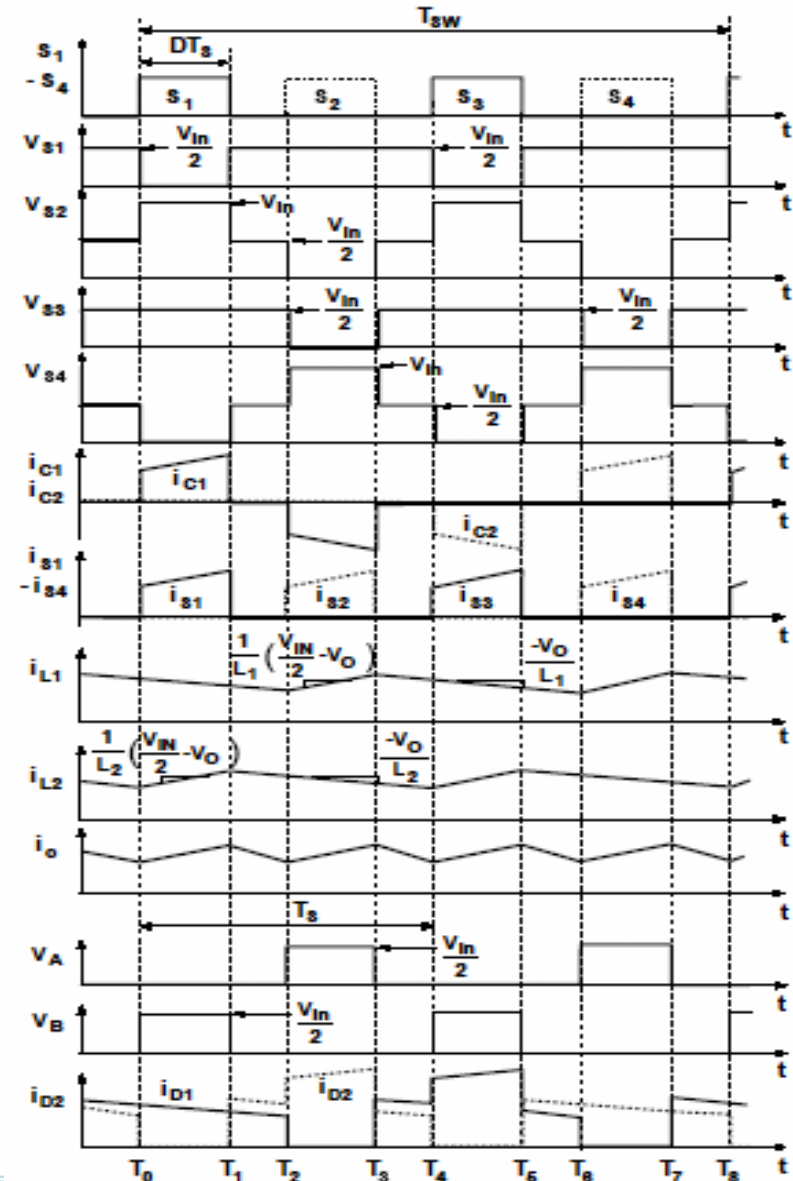
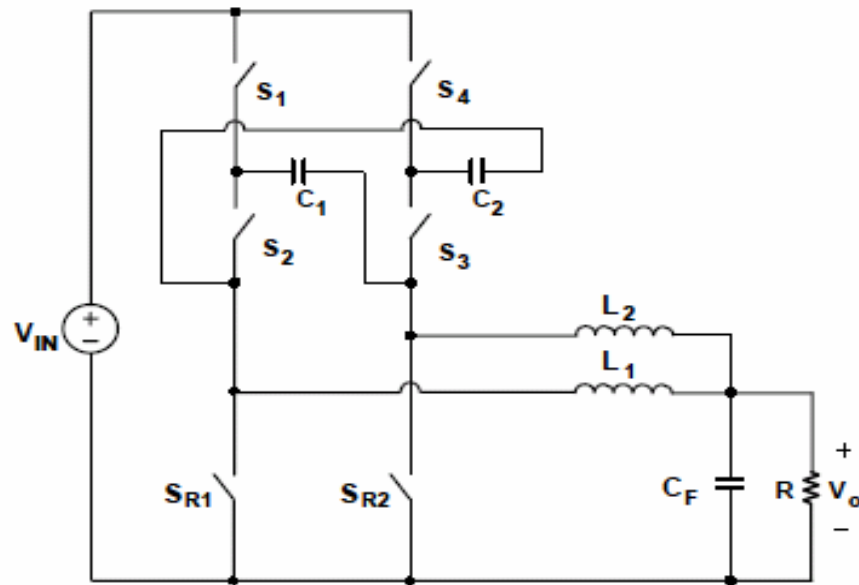
2.2 High-Bandwidth Designs for VR with Peak-Current Control (Virginia Tech. VA)

- ・構成: 2相ドライブVR (Voltage Regulator)における
 ダウンコンバータの制御帯域改善 (2方式提案)
 2相間の電流カップリング利用 (電圧、電流変換)
- ・動作: 駆動電流が2段動作となり、ピーク電流を低減
 下図では2 ramp 入力アンプ使用
- ・特徴: 等価的にサンプリング周波数を高め、位相遅れを
 低減してFcを改善、Fc: 40k ~ 350kHz
 @FPWM=2MHz (2相2段駆動時)



2.4 Multi-Phase Buck Converters with Extended Duty Cycle (Delta Products Co. VA)

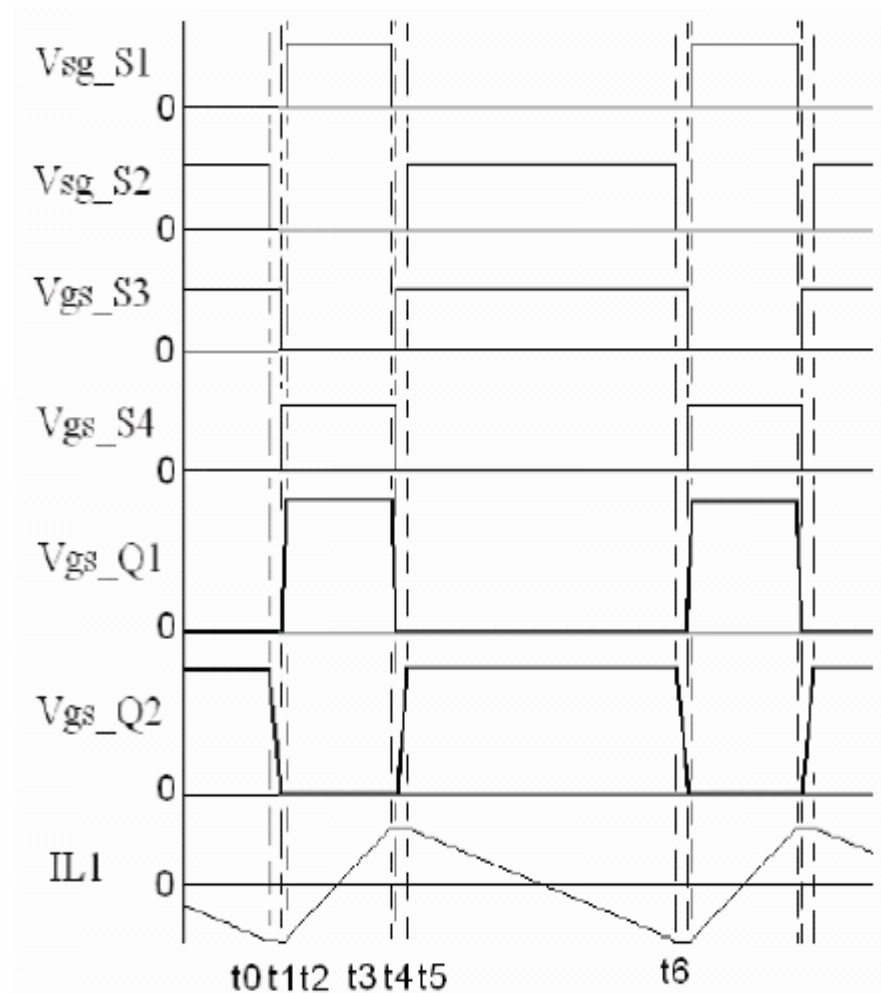
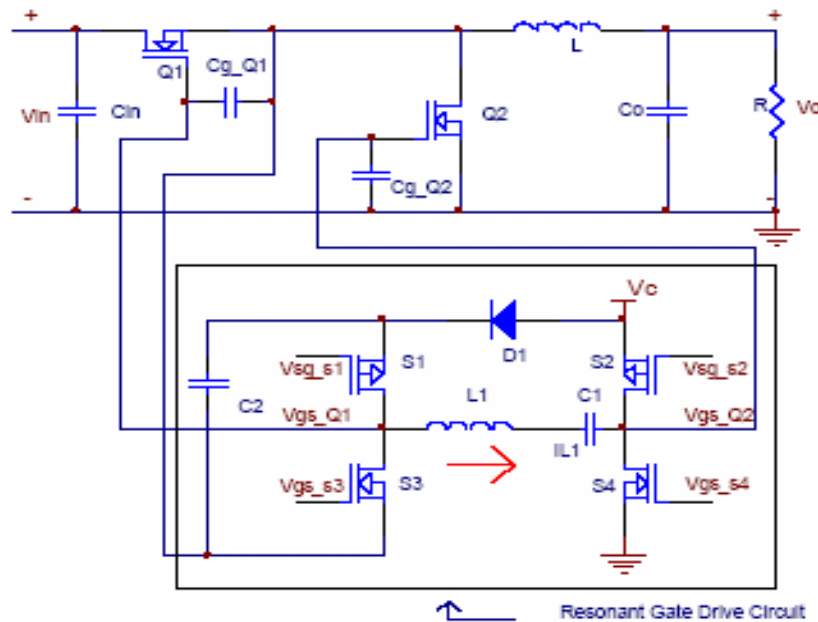
- ・構成: マイコン用POLの低デューティ-対策、
2L-4SWによる2段4相駆動(N段構成も提案)
 $C_1=50\mu\text{F}$ ($\text{ESR}=1\text{m}$)、 $L=0.43\mu\text{H}$ ($r_L=0.7\text{m}$)
- ・動作: 最大 $V_{S1}=V_{S3}=V_{IN}/2$ 、 $V_{S2}=V_{S4}=V_{IN}$
 $F_{sw}=400\text{kHz}$ 、 $V_i=12\text{V}$ 、 $V_o=1.25\text{V}$ 、 $I_o=75\text{A}$ 、
効率=84.2%@1.25V・75A
- ・特徴: 電圧変換率 $M=0.1$ で $D=22\%$ と拡大、
最大SWストレス= V_{IN} と低い



2.6 A New Resonant Gate Driver for Synchronous Buck Converter

(Queen's University, カナダ)

- ・構成: L共振電流でゲート駆動しゲート・SWロスを低減、 $L_1=0.5\mu\text{H}$ ($I_{\text{peak}}=2.6\text{A}$)、
- ・動作: $F_{\text{sw}}=1\text{MHz}$ 、 $V_i=12\text{V}$ 、 $V_o=1.5\text{V}$ 、 $I_o=15\text{A}$ 、
従来比: \square 入 - 2.15W @ $P_o=22.5\text{W}$
- ・特徴: L_1 のピーク電流でMOSゲート電荷をクイックドライブ、結果ミラー容量を強制駆動、
SWロスも低減、ハイサイドSWの $t_r=20\text{ns}$

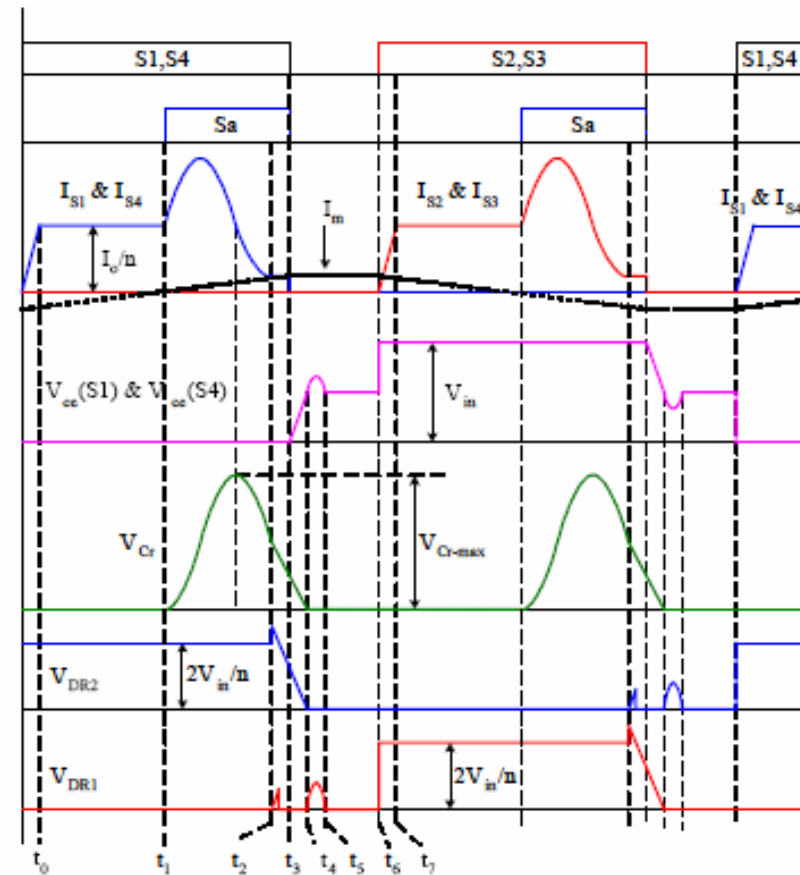
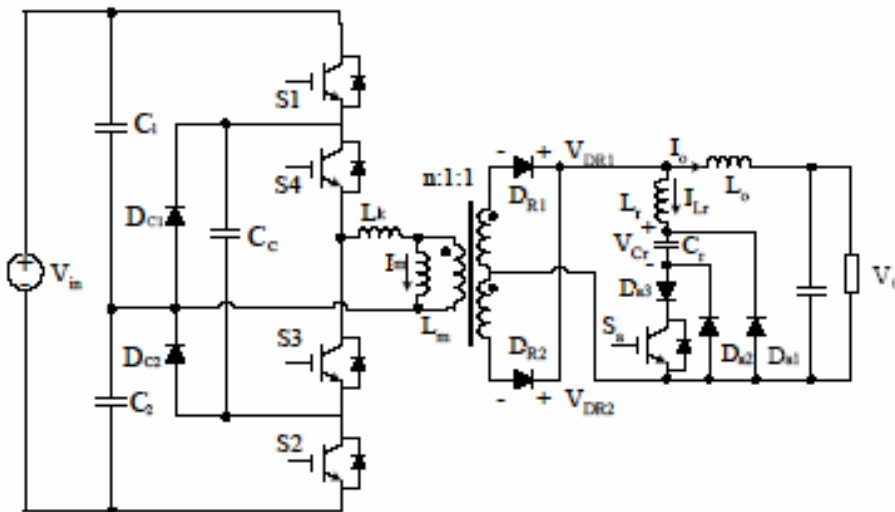


S.9 Soft-Switched DC-DC Converters

9.1 A Novel Zero-Current-Transition Three-Level DC-DC Converter

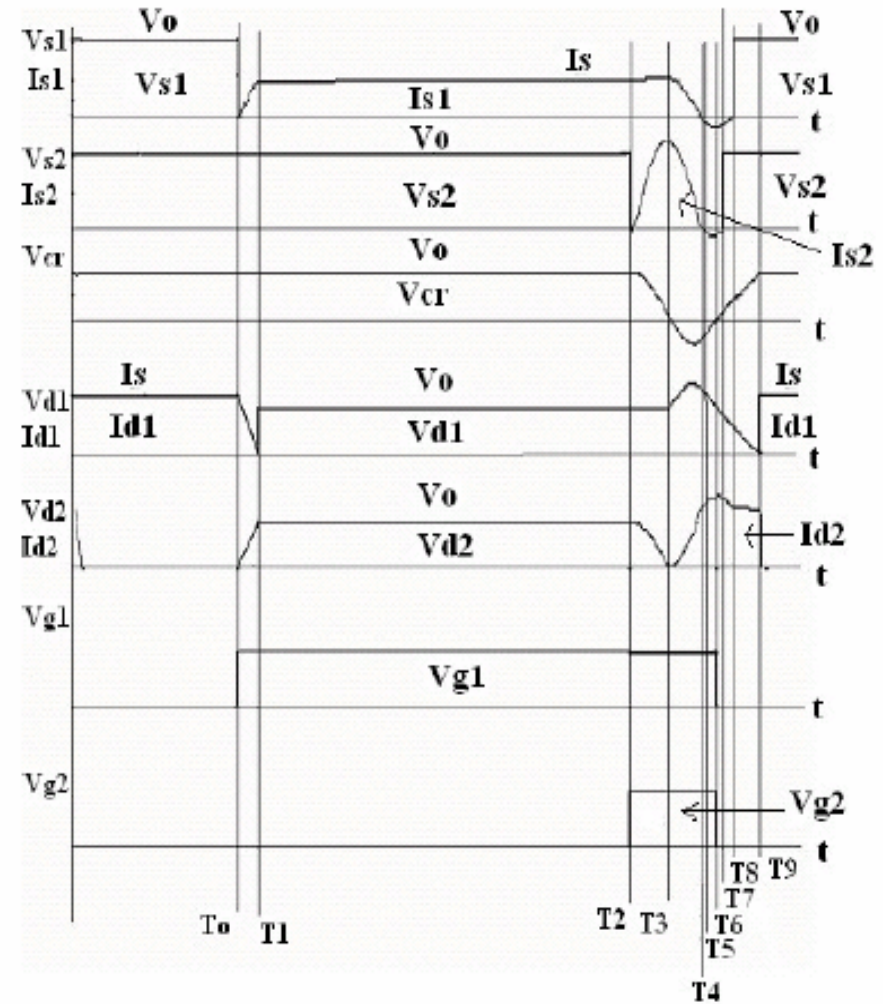
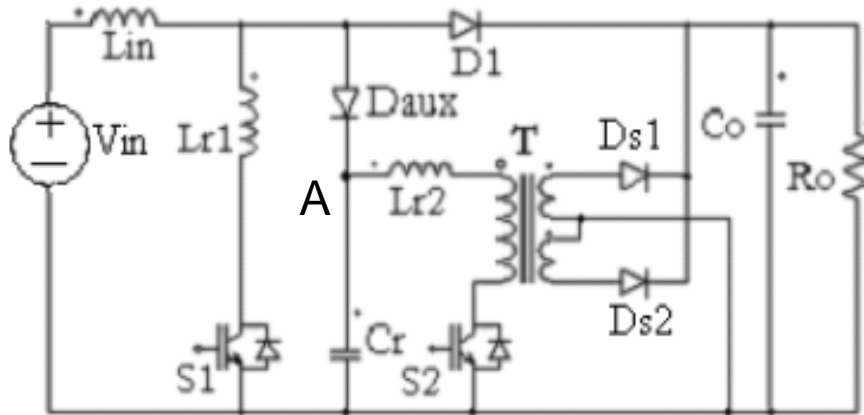
(Zhejiang Univ., 中国)

- ・構成: 全SWのZCS駆動による効率向上
 1次側を4SWプッシュプル駆動、ダウンコンバータ
 2次側に共振SW、IGBT使用、
 $L_r=1.75\mu\text{H}$ 、 $C_r=0.032\mu\text{F}$
- ・動作: FPWM=100kHz、 $V_i=660\text{V}$ 、 $V_o=120\text{V}$
 $I_o=12.5\text{A}$ 、効率=96% @1.5kW
- ・特徴: 全SWがZCS(Zero-Current-Switching)動作、
 整流ダイオードはsoft communication 動作、
 メインSWはソフトターンオン



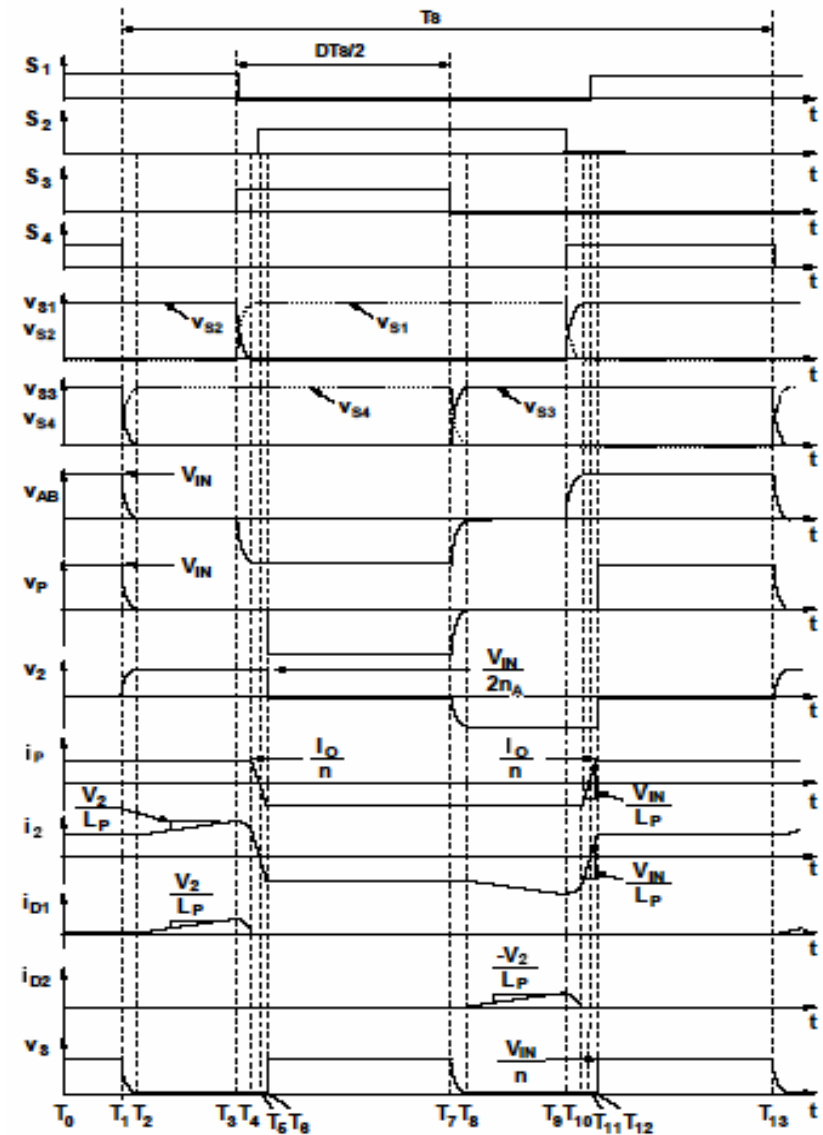
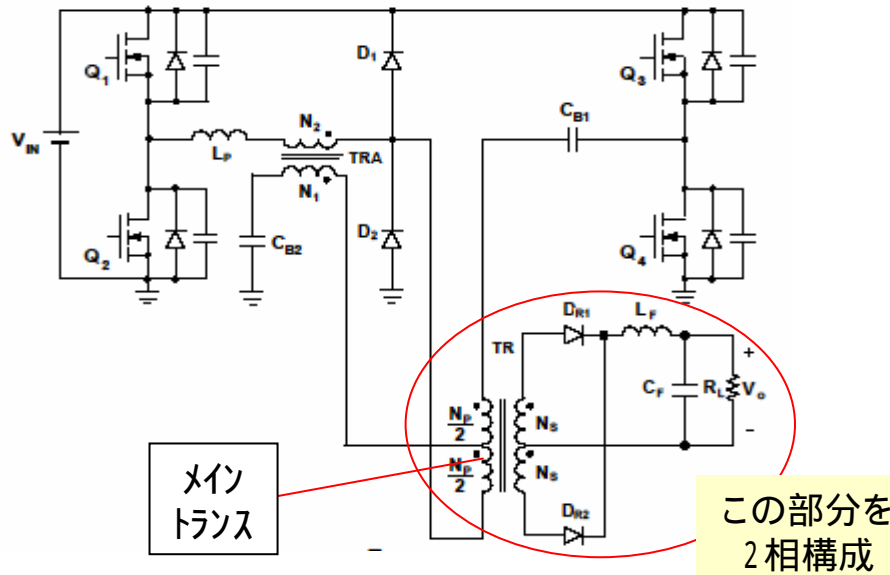
9.2 A Comparative Study Of Zero-Current-Transition PWM Converters (Western Ontario Univ., カナダ)

- ・構成: ZCS駆動におけるSWストレスの低減
アップ・コンバータ、共振コンデンサの電圧を、 V_o と結合したトランスで制限、IGBT使用
 $L_{in}=1\text{mH}, L_{r1}=12.5\mu\text{H}, L_{r2}=9.6\mu\text{H},$
 $C_r=30\text{nF}, n=1.8$
- ・動作: $F_{\text{PWM}}=50\text{kHz}, V_i=100 \sim 250\text{V},$
 $V_o=400\text{V}, I_o=12.5\text{A},$
効率 $=97.7\% @ 1\text{kW}, V_i=200\text{V}$
- ・特徴: 2 SW共ZCS、共振時のA点のネガ電圧
をトランスで制限、よって整流Dの逆電圧が
制限され、従来方式より低い($=650\text{V} < n \cdot V_o$)



9.4 A New PWM ZVS Full-Bridge Converter (Delta Products Co., NC)

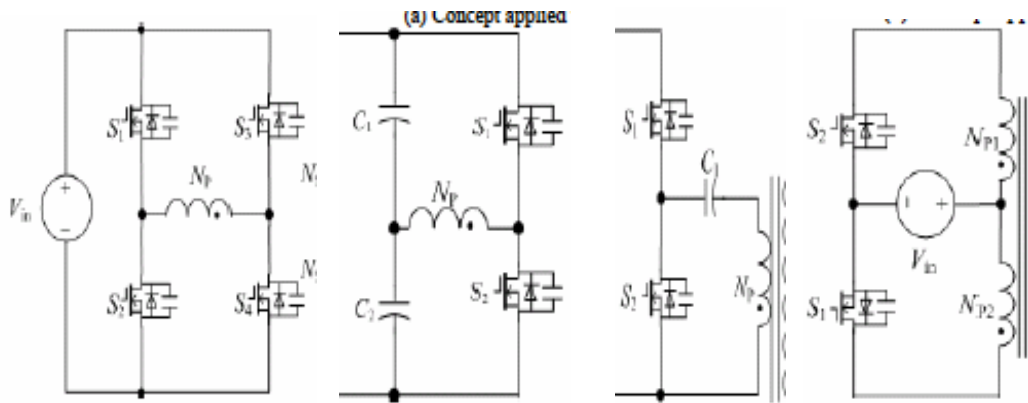
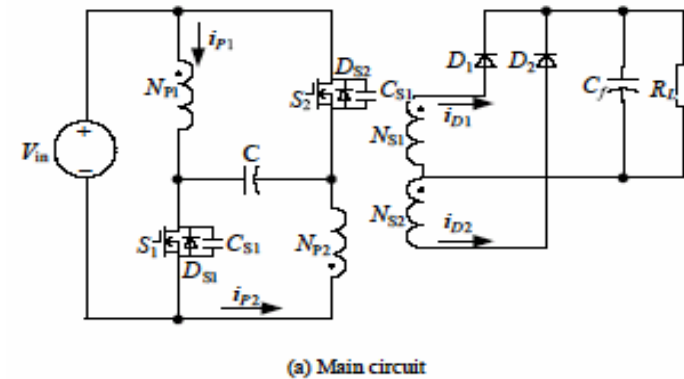
- ・構成: 補助トランスによるZVS駆動と損失低減
フルブリッジ形ダウンコンバーター、メイントランスのセンター・タップに補助トランスを接続
 $L_p=6\mu\text{H}, C_{B1}=2.2\mu\text{F}, C_{B2}=0.1\mu\text{F}$
 $N_1:N_2=5:100, N_p:N_s=15:5$
- ・動作: $F_{\text{PWM}}=120\text{kHz}, V_i=380\text{V}, V_o=48\text{V}$
 $I_o=40\text{A}, \text{効率}=93.2\% @ 2\text{kW}$
- ・特徴: 4 SW共ZVS動作、損失20%低減し、
効率を1.6%を改善(2相出力構成)
幅広い入出力でZVSを実現



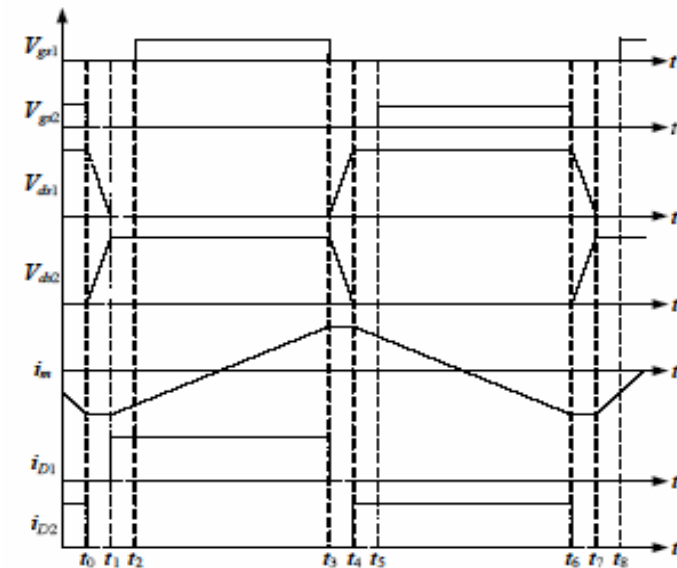
S.16 Soft-Switched Isolated DC-DC Converters

16.1 A Family of ZVS DC-DC Transformers (Nanjing Univ., 中国)

- ・構成: プッシュプル型フォワード・コンバーターのZVS駆動解析
 SWと並列に共振Cs、
 $L_n=24\mu\text{H}, C=30\mu\text{F}, C_f=165\mu\text{F}, C_s=0.9\text{nF}$
 下図のように類似提案回路あり(1次側のみ表示)
- ・動作: C電荷によりSW並列Csの電荷を引抜き、
 ZVS動作、 $F_{\text{PWM}}=82\text{kHz}, V_i=60\text{V}, V_o=360\text{V}$
 $D=0.47$ 固定、効率=95%@1kW
- ・特徴: 2SW共 ZVS動作、ホティ-Dで V_{sw} をクランプ、
 $\max V_{\text{sw}}=2V_{\text{in}}$



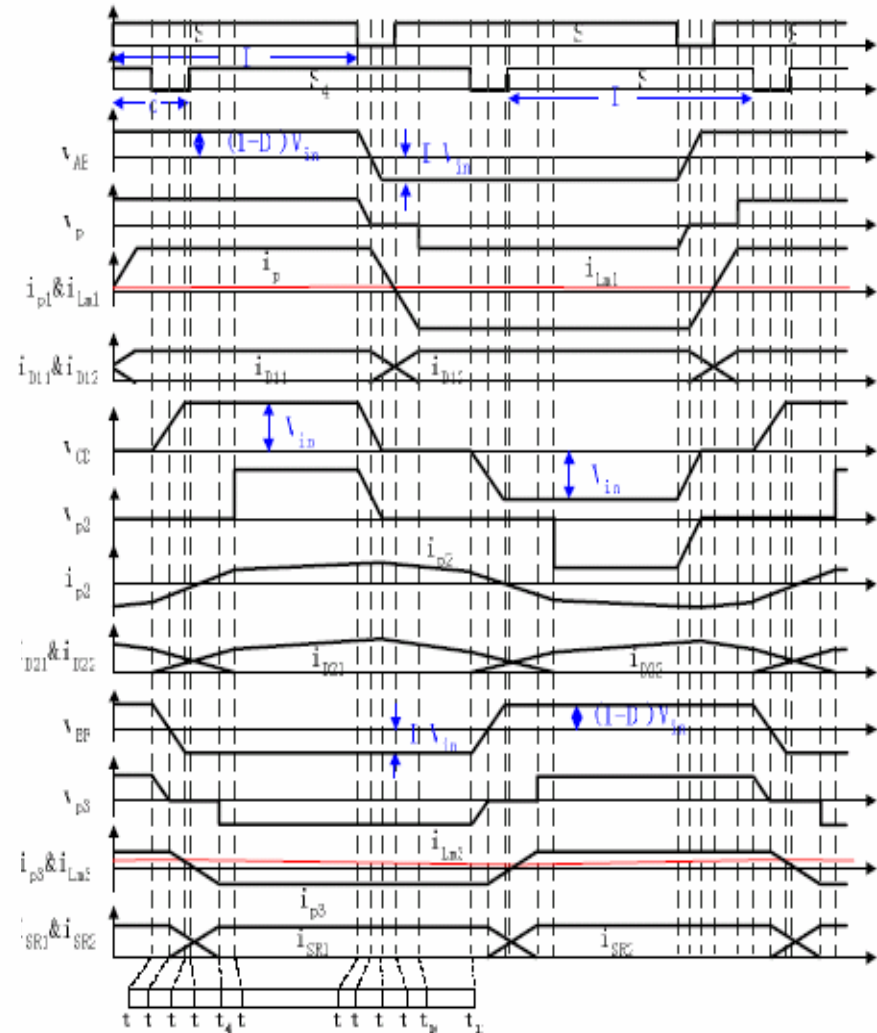
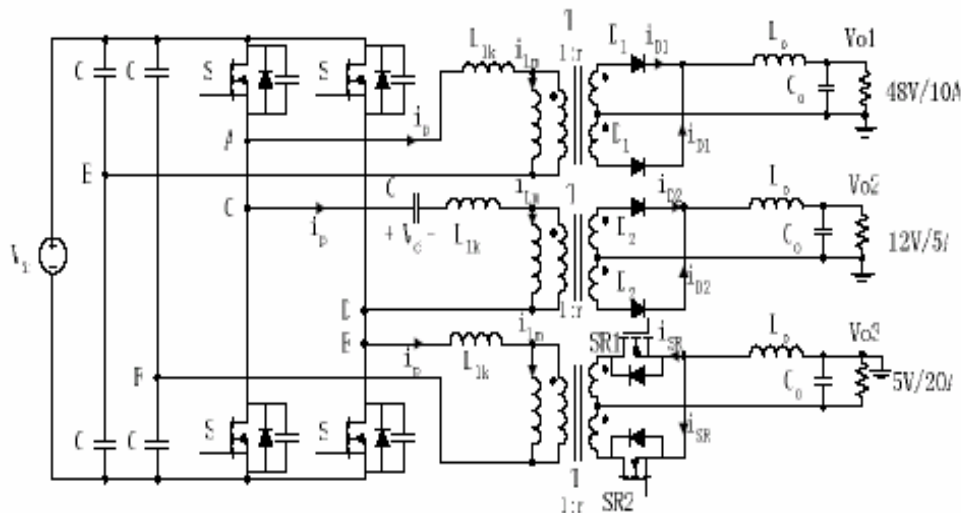
A Family of ZVC DC-DC Converters



(b) Key operation waveforms of the PPF
 Fig.1. ZVS PPF DC-DC transformer

16.2 Accurately Regulated Multiple Output ZVS DC-DC Converter (Nanjing Univ., 中国)

- ・構成: 4 SWのZVS駆動による3出力構成
4SWで3出力を制御、デューティは0.5に近い
コイル巻比=23:6, 117:5, 68:2
 $L_o=52.8, 36.6, 2.8\mu\text{H}$, $C_{sw}=85\text{pF}$
- ・動作: $F_{PWM}=100\text{kHz}$, $V_i=400\text{V}$, $V_{OH}=48\text{V}/10\text{A}$
 $V_{OM}=12\text{V}/5\text{A}$, $V_{OL}=5\text{V}/20\text{A}$
効率=92.8%@フルロード (640W)
- ・特徴: 2出力を個別PWM制御し、残り1出力を
PWMの位相差で制御、



16.4 Soft-Switched Asymmetric Half-Bridge Flyback-Forward DC-DC Converter (Astec Power Advanced Technology, MA)

- ・構成: ハーフブリッジ型フライバック・フォワード・コンバータ
従来アクティブ・クランプ・フォワード・コンバータとの比較
 $L_o=52.8, 36.6, 2.8\mu\text{H}$, $C_{sw}=85\text{pF}$
- ・動作: $\text{FPWM}=300 \sim 500\text{kHz}$, $V_i=36 \sim 75\text{V}$,
 $V_o=1.2\text{V}$, $I_o=25\text{A}$, 式 $V_o=V_{in} \cdot D \cdot (1-D)/N$
 $V_{C1}=D \cdot V_{in}$, $V_{C2}=(1-D) \cdot V_{in}$
- ・特徴: 2SW共ZVS、ホティ-Dによりクランプされ、メイン
SWストレス= V_{in} (<従来電圧)、トランス駆動電圧も
低く、巻線比の低減可能

[下図: 500kHz、25A、200LFM 時 @16th brick]

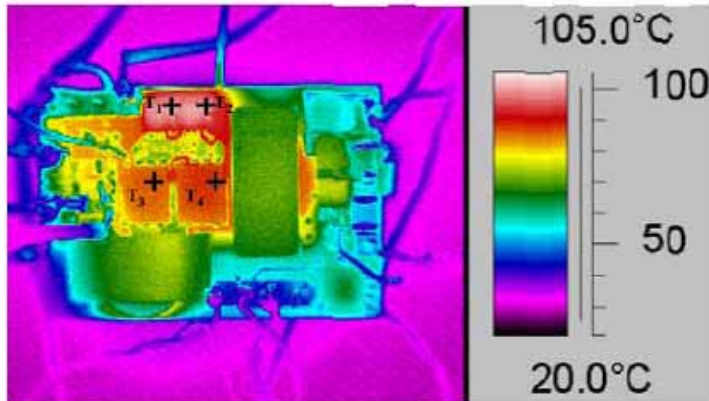
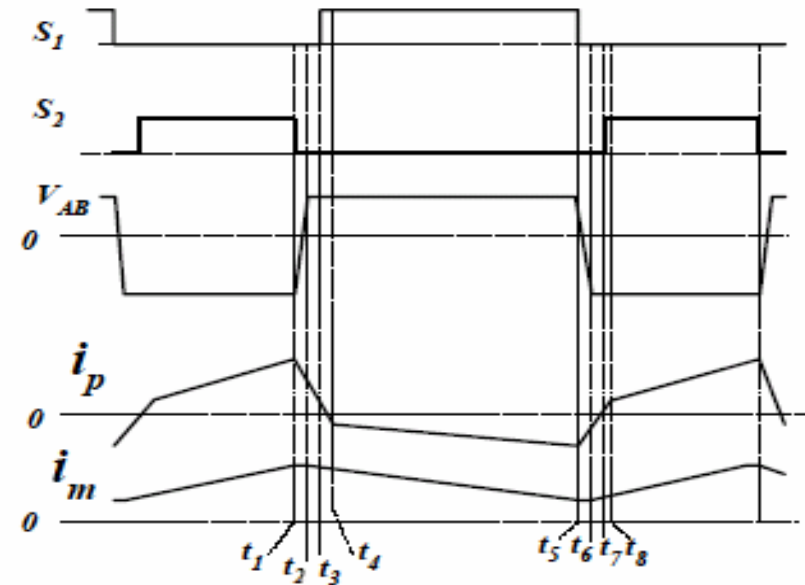
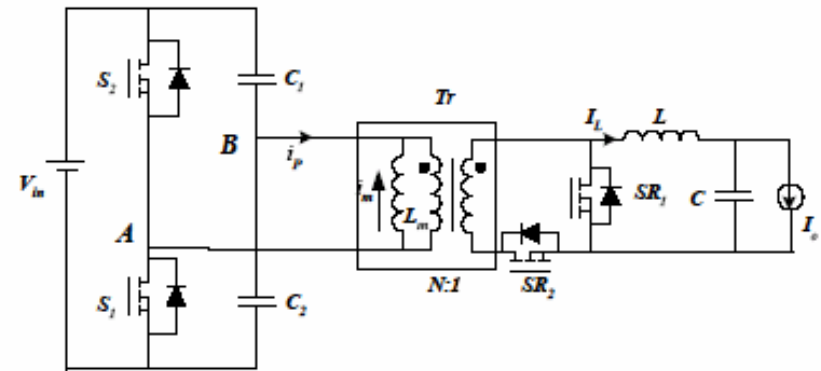


Figure 7. Infrared thermal picture under condition:

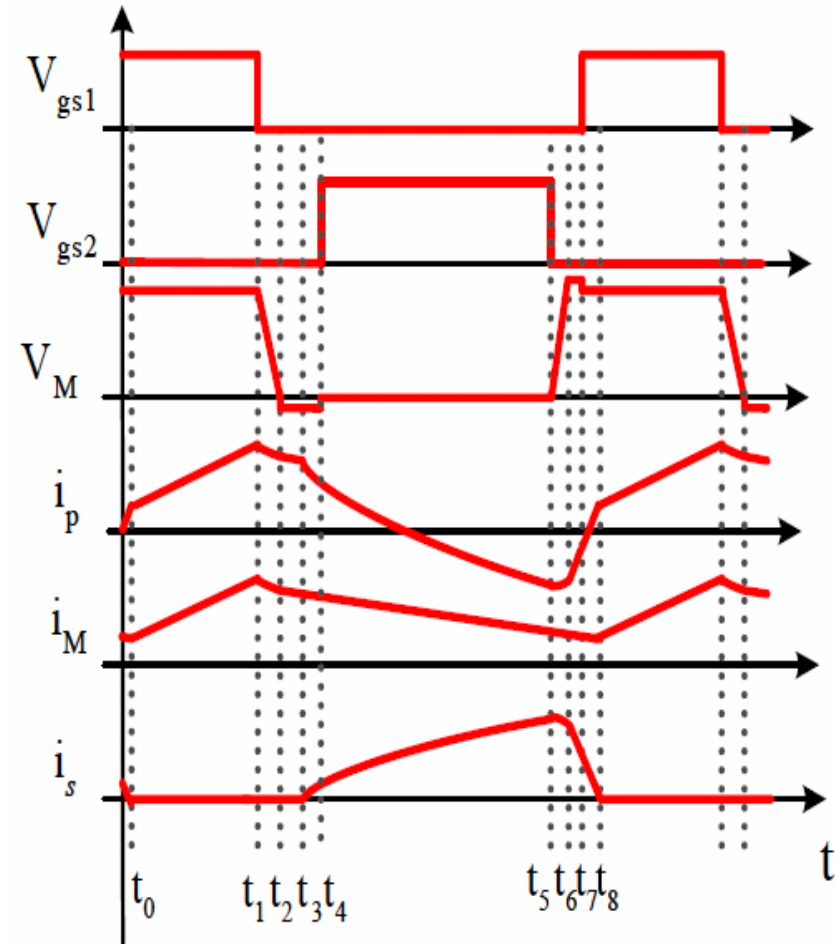
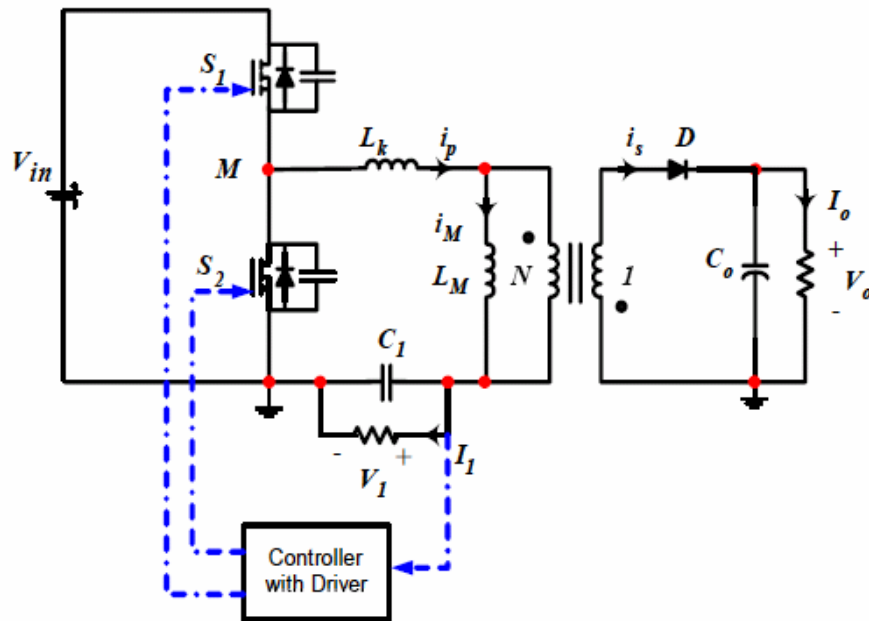
$V_{in}=48\text{V}$, $V_o=1.2\text{V}$, $I_{out}=25\text{A}$.

($T_1 = 101.5\text{ }^\circ\text{C}$, $T_2 = 101.1\text{ }^\circ\text{C}$, $T_3 = 86.1\text{ }^\circ\text{C}$, $T_4 = 88.2\text{ }^\circ\text{C}$)



16.7 ZVS Buck-Flyback Isolated DC-DC Converter with Synchronous Rectification (Central Florida Univ., FL)

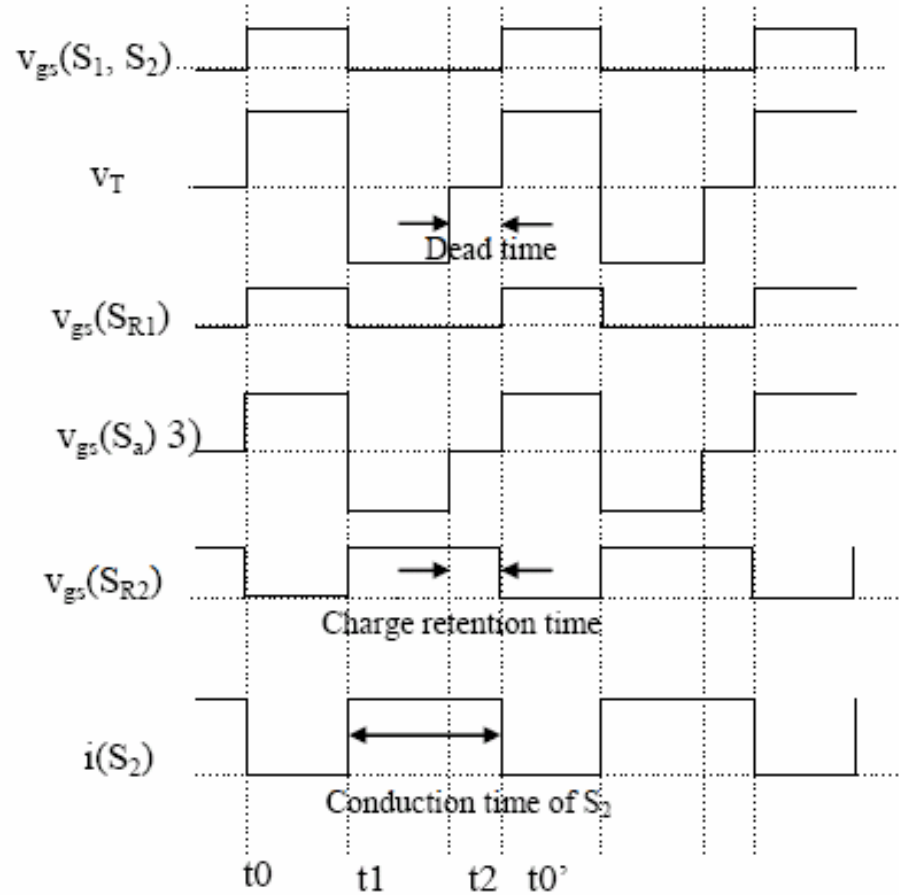
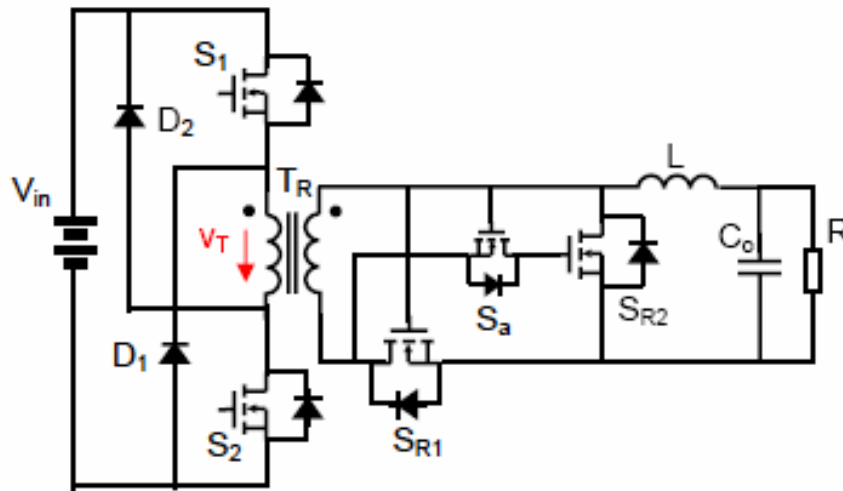
- ・構成: 1次側フィードバックによる電圧制御、簡単構成
(トランスの巻数比で決定: 2次電圧の誤差大)
1次出力 + 2次出力, $n=2:1$, $L_m=25\mu\text{H}$
- ・動作: $\text{FPWM}=500\text{kHz}$, $V_i=24\text{V}$, $V_{O1}=12\text{V}$, $I_{O1}=2\text{A}$
 $V_{O2}=6\text{V}$, $I_{O2}=2\text{A}$, $V_{O1}=D \cdot V_{in}$, $V_{O2}=V_{O1}/n$
効率: 92% @フルパワー: 36W
- ・特徴: 2SW共ZVS、フォトブラ不要、
SWストレス= V_{in}



S.21 DC-DC Output Rectifier Circuit

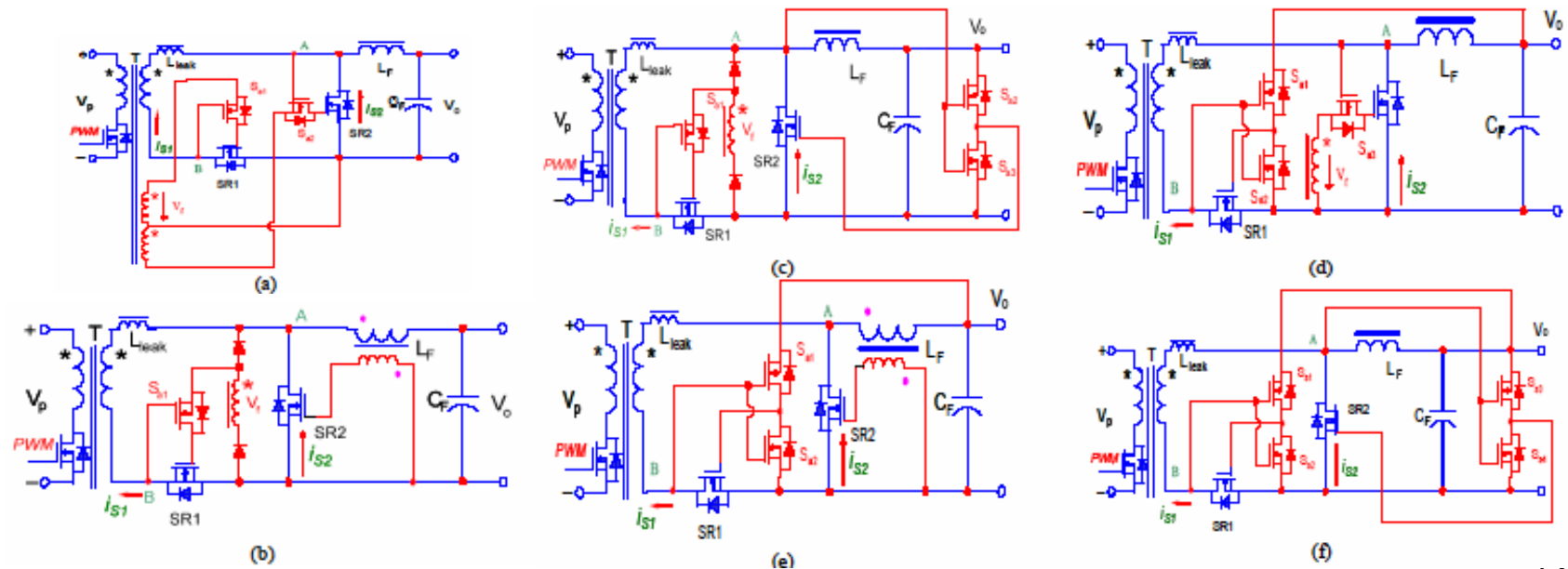
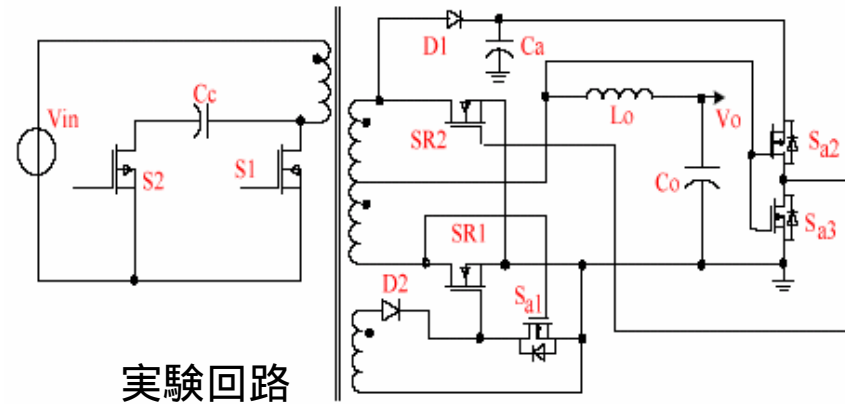
21.1 A Novel Charge Retention Circuit For Synchronous Rectifiers (Zhejiang Univ., 中国)

- ・構成: 2次側ダブルSWフォワード・コンバータ
同期型整流におけるデッドタイム改善
- ・動作: トランス2次側の逆電圧時に、補助SW:SaをONさせ同期SW:SR2をONさせる
FPWM=350kHz、Vi=36 ~ 75V、Vo=5V
Io=10A、効率=89%@Vi=75V (+ 4.5%)
- ・特徴: トランス2次出力電圧バイアスで同期整流器を自動的SW、簡単回路でデッドタイムを短縮



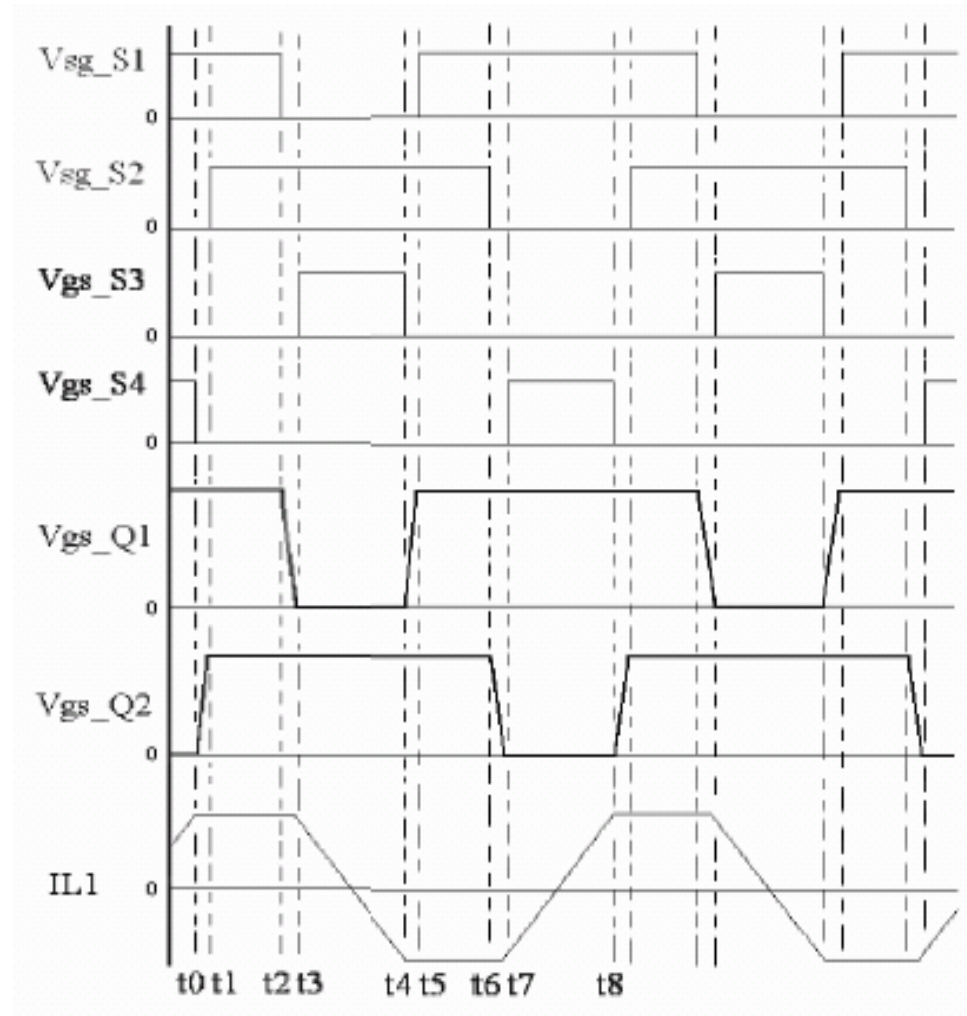
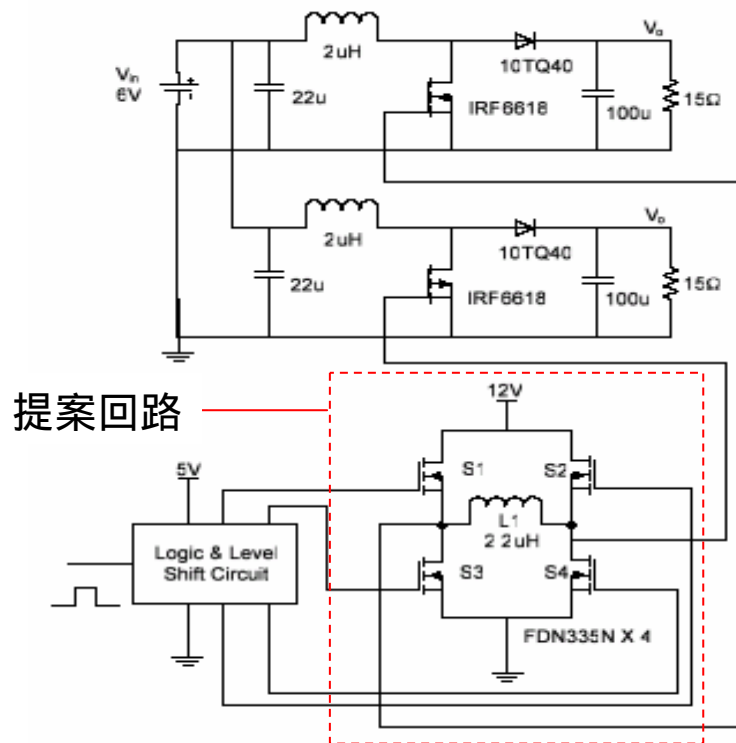
21.3 Construction of Ideal Self-driven Synchronous Rectification Circuits (Zhejiang Univ., 中国)

- ・構成：2次側整流器の自動駆動、
- ・動作：2次側トランス出力とSWで非同期駆動
 $F_{PWM}=250\text{kHz}$ 、 $V_i=36 \sim 72\text{V}$ 、
 $V_o=1.8\text{V}$ 、 $I_o=20\text{A}$ 、 $L_o=1.8\mu\text{F}$ 、
 効率=88% @ $V_i=36\text{V}$
- ・特徴：2次側SWのホティダイオードを導通させないで、SWのON動作のみで効率改善



21.4 A New Dual Channel Resonant Gate Drive Circuit for Synchronous Rectifiers (Queen's Univ., カタ)

- ・構成: 2次側整流器の共振2相対称駆動
SWゲートの高速駆動でゲートロス低減
- ・動作: ゲートのCをL共振電流でドライブ
FPWM=1MHz、 $V_i=5.7V$ 、 $V_o=11V$ 、 $I_o=0.4 \sim 0.8A$ 、 $D=0.5$
 $P_{GATE}=0.18W(7.2\%)@I_o=0.8A$

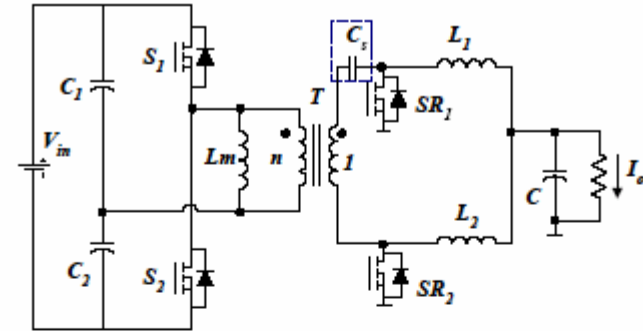


提案部の動作波形

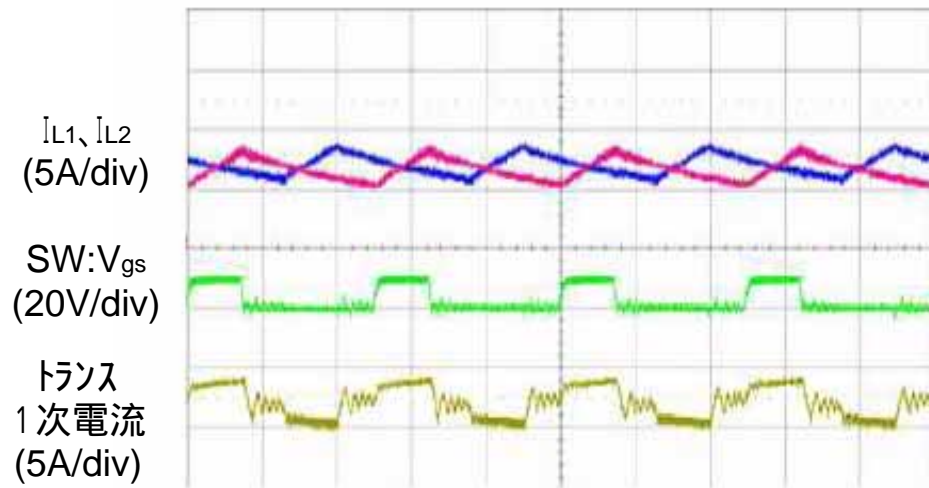
21.6 Inductor Current Sharing of Current Doubler Rectifier in Isolated DC-DC Converters (Astec Power Advanced Technology, MA)

- ・構成: 2次側整流器の電流倍化回路において
インダクタ電流の自動バランス化
従来構成のトランス出力の片方にCを挿入
- ・動作: Cのチャージ電圧で自動的にL電流がバランス
FPWM=200kHz、 $V_i=36 \sim 75V$ 、 $V_o=3.3V$ 、 $I_o=20A$ 、
- ・特徴: 2次側コイルの抵抗がばらついていても電流は等しい

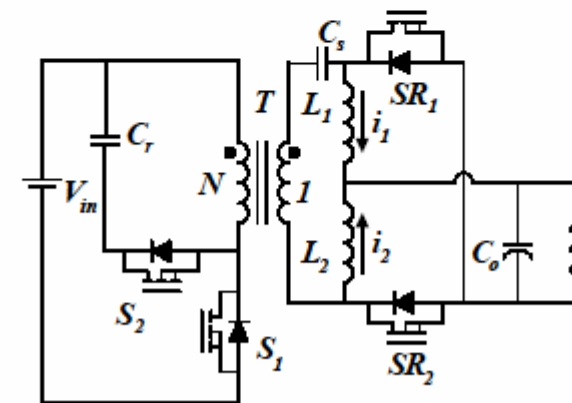
[下記波形: (a)回路、L1直列にアンバランス抵抗挿入]



(a) With half bridge dc-dc converter



$C_s=8\mu F$, asymmetric inductor DCRs with external 7.5m ohm resistor in series, $D_1 = D_2 = 30\%$, $I_o=15 A$



(b) with active-clamp forward-flyback dc-dc converter