

ISSCC2012報告 (ADC/DAC関係)

報告者: 麻殖生(まいお) 健二 (ATN, 東京都市大学)

ATNからのその他の参加者: 堀田教授(東京都市大)、中川准一氏

開催期間: 2012年2月19日~23日(主セッション: 2/20~22)

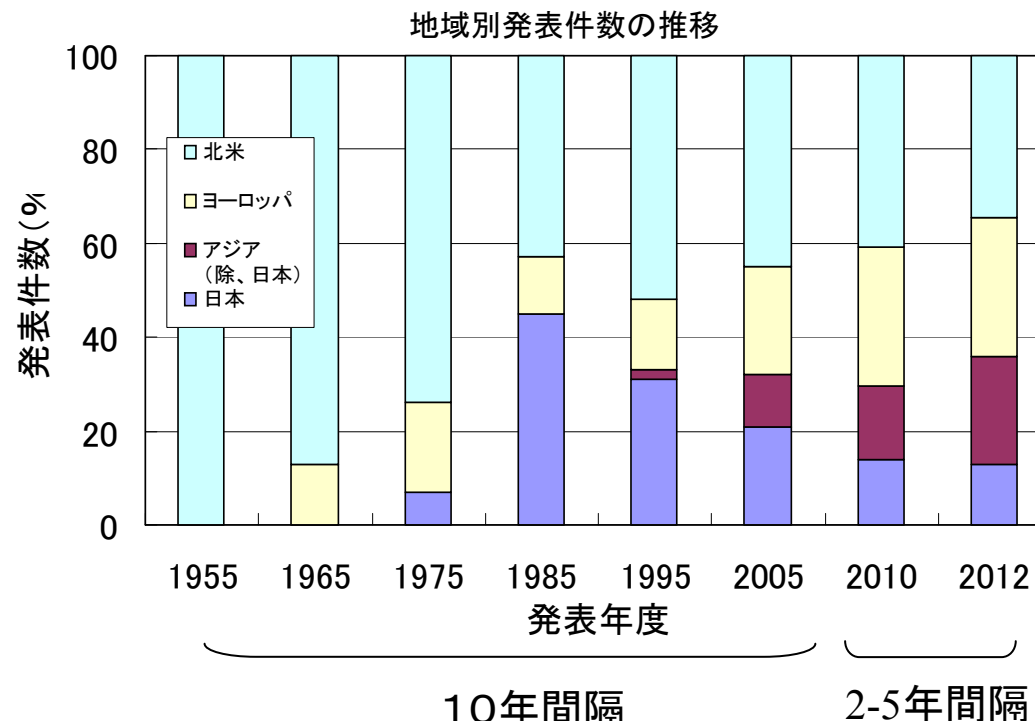
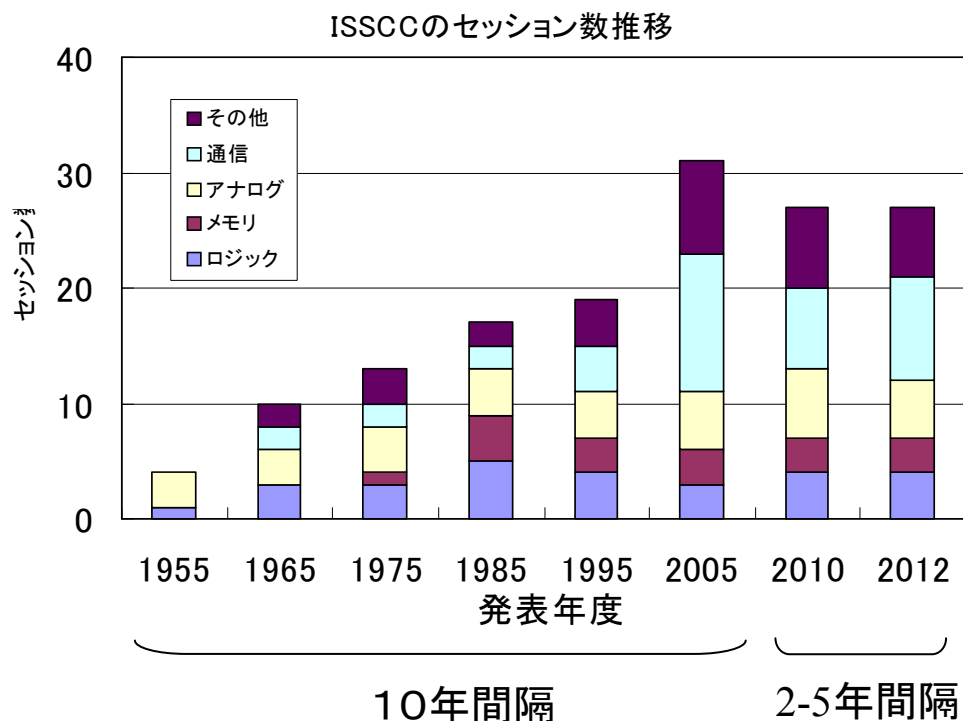
開催場所: USA サンフランシスコ・マリオットホテル

ISSCC全体の概要

- 世界で最も権威のある最先端IC・LSI回路技術の発表の場
- 1954年以来。2012年で59回開催。(1955年: 4セッション、内3セッションがアナログ)
- 常に時代の先行指標を提供(1990年までのメモリ、マイコン技術、最近の通信用LSI技術)
- 今年のテーマ: “**Silicon Systems for Sustainability**”(地球や人間の未来のためのシリコンシステム)
- 概要および動向:
 - 参加人数: 約3000人(最近、ほとんど変化なし)
 - 論文採択率: 各国からの選りすぐりの投稿論文(628件)のうち、32%(202件)が採択。
 - 発表件数比は、北米: ヨーロッパ: アジア = 34%: 30%: 36% (**アジアが始めてTOPになった***)
 - *EE Times Japan。(麻殖生の調査では1985年に日本がアメリカを越えている?)
 - 発表機関: 数年前までは企業主体。近年は大学等の研究機関が半数を越えた。
 - 日本からの発表機関(筆頭者の所属機関で分類)
 - 企業: 東芝(6件)、富士通(3)、ソニー(3)、パナソニック(2)、ルネサス(1)
 - 大学: 東大(3件)、慶応(3)、東工大(1)、早稲田大(1)、東北大(1)、NHK(1)、NTT(1)
 - 発表は、通信・アナログ関係が約 1/2、プロセッサ・メモリ関係が 1/4、センサその他が 1/4 (次頁参照)
 - ここ数年、次世代の大市場と目された生体情報のセンシングシステム等の発表が目立ったが、時期尚早のせいか今年にはシリコンシステムが持続していくというさしさわりのないテーマになった印象である。

出張報告者は、ここ20年、毎年~隔年参加し、とくに専門分野のアナログLSIの技術動向を継続調査。
企業退職後の最近8年は、NPO/Analog Technology Network を介して調査結果を公開。

ISSCC2012: 分野別セッション数および地域別比率の推移



- ・1980年代のメモリ、ロジック(マイコン等)の時代から1990年代以降のアナログ、通信応用の時代へ。
- ・2005年頃から、バイオセンサ、MEMS、有機TFT等のシリコン以外の分野の発表が顕著。
- ・最近、通信が減少気味だったが、2012年は息を吹き返した。

- ・1980年以前は、ほとんどUSAの発表。
- ・1980年代は、USAと日本が半々。
- ・1990年代以降は通信市場の進展でヨーロッパ勢が進出。
- ・2000年以降は、北米、欧州、アジアが均衡状態に！
- ・最近、大学や公的研究機関の発表が激増している。
- ・今年(2012年)は、**韓国が日本を越えた**。
- ・日本は東芝、ソニー、富士通が健在だが、従来世界のリーダークラスであった日立+ルネサスは激減(計1件。昨年に続き半導体から撤退?したように思える)。
- ・日本の大学は、東大、慶応がこの数年がんばっている。

ISSCC2012: ADC / DAC分野

1. 概要

- ・ADC/DACは全27セッション中、2セッション(16件) + 別セッション(数件)であり、昨年と同じ。
- ・ADC・DAC発表概要
 - トピックス: $\Delta \Sigma$ 方式が通信用に完全復活。全て10MHz以上の広帯域の発表。
 - ここ数年の傾向: 高速・高精度から、 \Rightarrow 低電力化・高効率化競争は変わらず。
 - 回路方式: 逐次比較方式が健在。 $\Delta \Sigma$ が主。しかし全体が成熟気味で、新概念の報告はない。
 - プロセス: 40nm~90nm CMOSプロセスのみ。BiCMOSや化合物半導体はない。
 - 発表の75%は大学等公的研究機関からの発表。
- ・発表機関の分布(ADC/DAC: 16件。筆頭者の所属機関で分類)
 - 地域別: 北米=9件, Europe=5, Asia= 2(日本0件、台湾1件、インド1件)
 - 機関別: 大学・研究機関: 12件、企業: 4件

2. 技術潮流

- ・ADC用途: 2008年頃から次世代応用模索のセンサネット、バイオやMEMS等の発表が増えたが、今年も従来の通信・伝送用に回帰の傾向(とくに $\Delta \Sigma$)。次世代市場が見えないのでこれをやるしかない？。
- ・ADC方式: パイプライン、 $\Delta \Sigma$ およびSARは完全に成熟・定着した。高速分野対応へ舵取り。新市場が見えないせいか新方式、新技術がない。
- ・ADC性能: BW=150MHzの $\Delta \Sigma$ が目を引いた程度。**今年は全く不作。**
- ・DAC: 1件の発表があった。14b、6GS/s。

3. 日本の位置付け

- ・ここ数年、日本は凋落傾向にあり、ヨーロッパ、アメリカの大学、研究機関の台頭が目立つ。
- ・日本は従来、企業ががんばってきたが今年も0件(AD/DAセッション)。
- ・**インドからの発表**ははじめて。
- ・日本は、TFT等の特殊素子や SoCに活路を見出そうとしているようだ。

4. ADC/DAC 主要発表論文

4.1 Session 8: $\Delta \Sigma$ Converters (発表件数: 7件)

- ・昨年に続き $\Delta \Sigma$ 方式が復活・定着。主として通信用の高周波応用。
- ・全て広帯域。BW=10MHzの1件を除き、他はBW>20MHz。BW=150MHzは驚異的。
- ・全て連続型で、広帯域化のため数GHzクロックを使うのが普通。
- ・インドから史上初めて発表あり。ADIやTIは不断にがんばっている。

*黄色:目を引いた発表。後日もう少し詳細に記載

No.	方式	論文名	発表機関	主要 応用	プロセス	電力 FOM	内容、特徴
8.1	$\Delta \Sigma$ ADC	An LC Bandpass $\Delta \Sigma$ ADC with 70dB SNDR Over 20MHz Bandwidth Using CMOS DACs	Broadcom オーストラリア		40nm CMOS	20mW 190fJ	<ul style="list-style-type: none"> ・6次 連続型 1bit。3段のLCバンドパス型で6次を形成。 ・BW=20MHz, fck=3.2GHz, SNDR=70dB
8.2	CT $\Delta \Sigma$ ADC	A 12mW Low-Power Continuous-Time Bandpass $\Delta \Sigma$ Modulator with 58dB SNDR and 24MHz Bandwidth at 200MHz IF	Analog Devices USA	デジタル ラジオ	65nm CMOS	12mW 385fJ	<ul style="list-style-type: none"> ・4次 連続型 1bit。RCバンドパス型。 ・BW=24MHz, fck=0.8GHz, SNDR=58dB
8.3	CT $\Delta \Sigma$ ADC	A DC-to 1GHz Tunable RF $\Delta \Sigma$ ADC Achieving DR=74dB and BW=150MHz at fo=450MHz Using 550mW	Analog Devices カナダ	デジタル ラジオ	65nm CMOS	550mW. ? fJ	<ul style="list-style-type: none"> ・6次 連続型 4bit。ローパス/バンドパス型。 ・BW=150MHz,(@fo=450MHz), fck=2-4GHz, DR=74dB ・低周波High DR用系統と 中心周波数 fo = 0 - 1GHz用のLCレゾネータ付きの2系統から成る
8.4	CT $\Delta \Sigma$ ADC	A 16mW 78dB-SNDR 10MHz-BW CT- $\Delta \Sigma$ ADC Using Residue-Cancelling VCO-Based Quantizer	オレゴン州立 大 USA		90nm CMOS	16mW 125fJ	<ul style="list-style-type: none"> ・4次 連続型 1bit。RCバンドパス型。 ・BW=10MHz, fck=0.6GHz, SNDR=78dB
8.5	CT $\Delta \Sigma$ ADC	A 72dB-DR $\Delta \Sigma$ CT Modulator Using Digitally Estimated Auxiliary DAC Linearization Achieving 88fJ/conv in a 25MHz BW	ULM大 ドイツ		90nm CMOS	8.5mW 88fJ	<ul style="list-style-type: none"> ・3次 連続型 4bit。 ・BW=25MHz, fck=0.5GHz, SNDR=68dB
8.6	CT $\Delta \Sigma$ ADC	A 15mW 3.6GS/s CT- $\Delta \Sigma$ ADC with 36MHz Bandwidth and 83dB DR in 90nm CMOS	IITマドラス インド		90nm CMOS	15mW 73fJ	<ul style="list-style-type: none"> ・4次 連続型 1bit。 ・BW=36MHz, fck=3.6GHz, SNDR=71dB ・1b DACのため、DEMが不要。 ・高速ループ(I1)と高精度ループ(I4)があり、I4側にクロックジッタやループフィルタ線形性対応のため、FIRDACを適用
8.7	CT $\Delta \Sigma$ ADC	A 20mW 61dB SNDR (60MHz BW) 1b 3rd-Order Continuous-Time Delta-Sigma Modulator Clocked at 6GHz in 45nm CMOS	TI USA		45nm CMOS	20mW 190fJ	<ul style="list-style-type: none"> ・3次 連続型 1bit。 ・BW=60MHz, fck=6GHz, SNDR=61dB ・6GHzで動作させるためにコンパレータとDACの遅延(ELD)を補償する回路に工夫

4. 2 Session :Data Converter Techniques (発表件数9件)

- ・性能的に興味を引く発表がない。不作の年。(私の理解力不足かもしれない)。
- ・方式は、SARが多く、次いでパイプライン。

*黄色:目を引いた発表。後日もう少し詳細に記載

No.	方式	論文名	発表機関	主要 応用	プロセス	電力 FOM	内容、特徴
27.1	Current-Steering DAC	A14b 3/6GHz Current-Steering RF DAC in 0.18um CMOS with 66dB ACLR at 2.9GHz	Analog Devices USA	RF送信用	0.18um CMOS 2x2mm ²	600mW	<ul style="list-style-type: none"> ・14bit, 6GS/s, SFDR=52dBc, ・2 port入力⇒デコーダ等デジタル部で8portに拡張⇒電流スイッチ手前で1系統にする。 ・電流スイッチの高速化に工夫 (Quad SW)
27.2	Ring Amp	Ring Amplifiers for Switched-Capacitor Circuits	オレゴン州立大 USA		0.18um CMOS	5.1mW 45fJ	<ul style="list-style-type: none"> ・15bit, 20MS/s, SNDR=77dB, ・3b x 7段 パイプライン構成 ・MDAC用アンプに新しい概念のリングアンプを提案
27.3	Pipeline ADC	A 5.37mW 10b 200MS/s Dual-Path Pipelined ADC	Chiao Tung 国立大 台湾		65nm CMOS	5.37mW 48fJ	<ul style="list-style-type: none"> ・10bit, 200MS/s, SNDR=55dB(@100MHz) ・各ビット毎に高利得・高速の2系統アンプ x 9段 構成 ・高利得アンプはHi/Lo gain切替えてパワー制御
27.4	Time-Digital Converter	A 13b 315fsrms 2mW 500MS/s 1MHz Bandwidth Highly Digital Time-to-Digital Converter Using Switched Ring Oscillator	オレゴン州立大 USA		90nm CMOS	2mW ? fJ	<ul style="list-style-type: none"> ・13bit, 50-750MS/s, BW=1MHz, Noise=315fs
27.5	Pipelined SAR ADC	A 1.7mW 11b 250MS/s 2x Interleaved Fully Dynamic Pipelined SAR ADC in 40nm Digital CMOS	IMEC ベルギー		40nm CMOS	1.7mW 10 fJ	<ul style="list-style-type: none"> ・11bit, 250MS/s, SNDR=62dB, BW >125MHz ・上位6ビット用SAR・ADCと下位7ビット用SAR・ADCのパイプライン構成を2系統用意し、インタリーブ
27.6	SAR ADC	A 90MS/s 11MHz Bandwidth 62dB SNDR Noise-Shaping SAR ADC	ミンガン大 USA		65nm CMOS	0.8mW 36 fJ	<ul style="list-style-type: none"> ・8bit, 90MS/s, SNDR=63dB(@10MHz) ・ノイズシェーピング技術の導入で精度向上
27.7	SAR ADC	A 70dB DR 10b 0-to-80MS/s Current-Integrating SAR ADC with Adaptive Dynamic Range	IMEC ベルギー	RF用	40nm CMOS	6mW 85fJ	<ul style="list-style-type: none"> ・10bit, 80MS/s, SNDR=54dB(@40MHz) ・初段入力バッファ+SAR・ADC構成 ・低電力化のため、バッファにgmアンプ+Cの積分回路を使用 ・2系統S/H + C-DAC+Hi/Lo-speed 比較器構成
27.8	SAR ADC	A 7-to-10b 0-to-4MS/s Flexible SAR ADC with 6.5-to-16fJ/conv	IMEC オランダ	センサネット	90nm CMOS	8-17mW 6.5fJ	<ul style="list-style-type: none"> ・10bit, 4MS/s, INL=0.42LSB, DNL=0.27LSB
27.9	Pipelined SAR ADC	A 31.3fJ/conv 70.4dB SNDR 30MS/s 1.2V Two-Step Pipelined ADC in 0.13um CMOS	オレゴン州立大 USA		130nm CMOS	2.5mW 31.3fJ	<ul style="list-style-type: none"> ・14bit, 30MS/s, SNDR=70.4dB, ・6b SAR ADC + 11b SAR・ADCの2段 構成