

ISSCC2007 参加速報 (ADC,DAC 関係)

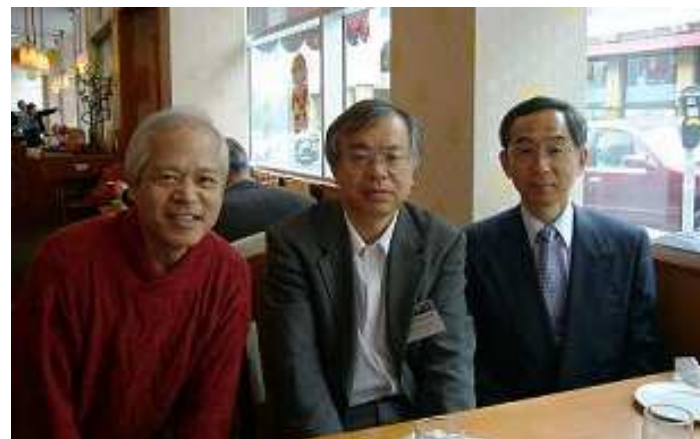
開催期間: 2006年2月11日~15日(主セッション:2/12~14)
開催場所: USA サンフランシスコ・マリオットホテル

昨年に続き

ATNメンバーが4人参加!

- ・ATNから
 - 中川准一氏
(無線通信)
 - 麻殖生(まいお)健二
(ADC/DAC)
- ・大学から
 - 小林春夫群馬大教授
(ADC/DAC,離散回路)
 - 堀田正生武蔵工大教授
(ADC/DAC,アナデジLSI)

()内は専門分野



右から
・湯川氏
(NECエレクトロニクス)
・小林氏
(群馬大学・教授)
・麻殖生
(ATN・報告者)



右から
・中川氏(ATN)
・魚住氏
(ルネサステクノロジ)
・麻殖生

ISSCC2007: ADC / DAC

1. 概要

- ・ADC/DACは全32セッション中、2セッション(16件)であり、一昨年に続きさらに1セッション減った。
- ・ISSCC全体が通信関係の発表に傾倒。ADCも発表の大部分は無線通信対応。
- ・特徴
 - 温故知新:従来の やパイプラインに加え、逐次比較型、計数型、サブレンジ型が見直された。
 - 発表:アメリカが激減(14→3)。 はヨーロッパのみ(通信に的?)。パイプラインはアジア(民生?)。
 - <90nmCMOSプロセス、<1.3V動作が本格化。
- ・ 、パイプライン方式とも成熟期に入り、方式的に目を見張るものは見られない。
- ・GHz帯の超高速ADCの発表はなかった。一年おきか?。
- ・発表機関の分布(ADC/DAC全16件。筆頭者の所属機関で分類)
 - 地域別:US=3, Europe=9, Asia=4 (内、**富士通1件**、韓国2件、台湾1件)
 - 機関別:大学:4(激減)、企業、研究所:12

2. 技術潮流(通信に代わる新しい大きなアプリケーションがないため、新潮流を見出だせない)

- ・ADC用途:**データ通信、携帯向けが大部分(従来と変わらず)**。**アジア勢がSoC等、民生対応も狙っている。**
- ・ADC方式: 方式はマルチモード対応で広帯域化。**逐次比較型が見直された(9b, 50MS/s, 0.7mW)**
- ・ADC性能:<90nm微細プロセスによる**低電圧・低電力化が本格始動。**
- ・DAC:今回の発表は1件のみ。潮流に関し、特筆すべきものはない。

3. 日本の位置付け

- ・日本は相変わらず低調。日本以外のアジア勢(韓国、台湾)に追い越された。
- ・通信に代わる新アプリケーションがない今、ADC/DACは単独での性能競争の時代からSoCの一部としての時代に移りつつある。優位に立つには、次世代の新応用システムをいかに早く見出すかである。
- ・新応用の一つとして、小市場だが、超音波やX線CT等の医用応用があり、米国半導体メーカーはかなり力を入れている。これらを含め、新応用に対して産学連携での巻き返しを期待したい。

4. 主要発表論文

4.1 Session 13: ADCs and Converter Techniques

- ・全体が通信応用に傾倒。発表機関は全てヨーロッパ。
- ・方式は成熟期に入り、方式的には目を見張るような発表はない。
- ・マルチモード対応の広帯域化と、90nm以下の微細化による低電圧・低電力化の方向。
- ・連続型とスイッチドキャパシタ型の発表が半々。連続型が完全に定着。
- ・逐次比較方式が見直され、高速分野にも適用。FOM=0.069pJ/conv.を実現。
- ・Associate Chairとして松浦氏(ルネサステクノロジ)が起用された。

(黄色論文を次頁以降で詳細紹介)

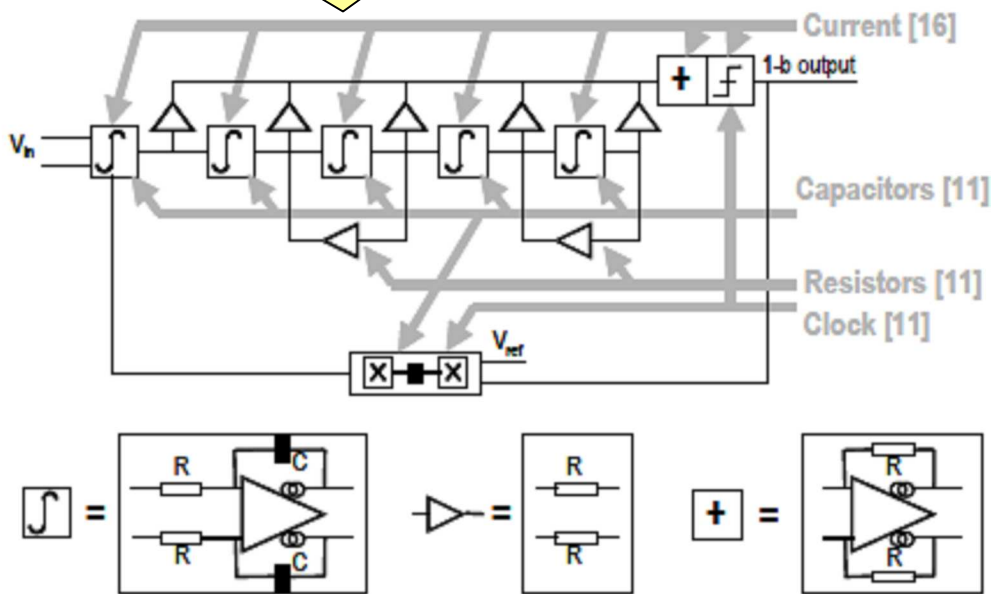
No.	種類	論文名	発表機関	主要応用	プロセス	電圧 電力 FOM	内容、特徴
13.1	CT	A 56mW CT Quadrature Cascaded Modulator with 77dB DR in a Near Zero-IF 20MHz Band	NXP Semicon オランダ	WLAN	90nm	1.2V 56mW 0.2pJ	2nd 4b mod., BW=20MHz(fck=340MHz), DR=77dB, 2次複素filterを構成
13.2	DT	A 0.13um CMOS EDGE/UMTS/WLAN Tri-Mode ADC with -92dB THD	ACP スイス	携帯 WLAN	130nm	1.2V 2.9-21mW 0.3-0.9pJ	Tri-mode(EDGE/UMTS/WLAN)対応, 1.5b 2-2MASH, DR=88/79/67dB, BW=0.1-10MHz
13.3	CT	A 1.2V 121-Mode CT Modulator for Wireless Receivers in 90nm CMOS	NXP Semicon オランダ	携帯 WLAN	90nm	1.2V 1.4-7mW 0.2-0.8pJ	121Mode対応, 5th 1b, DR/BW=85dB/100kHz-52dB/10MHz, OTAに特長(2dif ampでhi-gainとhi-BWを実現)
13.4	CT/DT	A 5th-order CT/DT Multi-Mode Modulator	NXP Semicon スイス	携帯	65nm	2.5V 2.6-3.7mW 0.25-0.47pJ	5th, multi-mode(EDGE/CDMA,UMTS),
13.5	SAR	A 65fJ/Conversion-step 0-50MS/s 0-0.7mW 9b Charge-Sharing SAR ADC in 90nm Digital CMOS	IMEC ベルギー		90nm	1V 0-0.7mW 0.065pJ	Asynchronous, 0-50Msps, 9b(ENOB=7.8b), SNDR=49dB (@20Msps,0.29mW), 上位6ビットに2進化荷重容量DACを使用し、passiveな電荷再配分と高速比較器で高速化
13.6	SAR	A 14b 40MS/s Redundant SAR ADC with 480MHz Clock in 0.13um CMOS	Infineon ドイツ	有線	130nm	1.5V 66mW pJ	14b, 40MSps(fck=480MHz), 2ch-Time Interleaved, THD=89dB, SNDR=81dB
13.7	DAC	A 1.5V 200MS/s 13b 25mW DAC with Randomized Nested Background Calibration in 0.13um CMOS	Infineon オーストリア		130nm	1.5V 25mW	13b, 200Msps, SFDR=83.7dB, calibration付き

13.3) A 1.2V 121-Mode CT Modulator for Wireless Receivers in 90nm CMOS

by S.Ouzounov, R.V.Veldhoven, C.Bastiaansen, et al

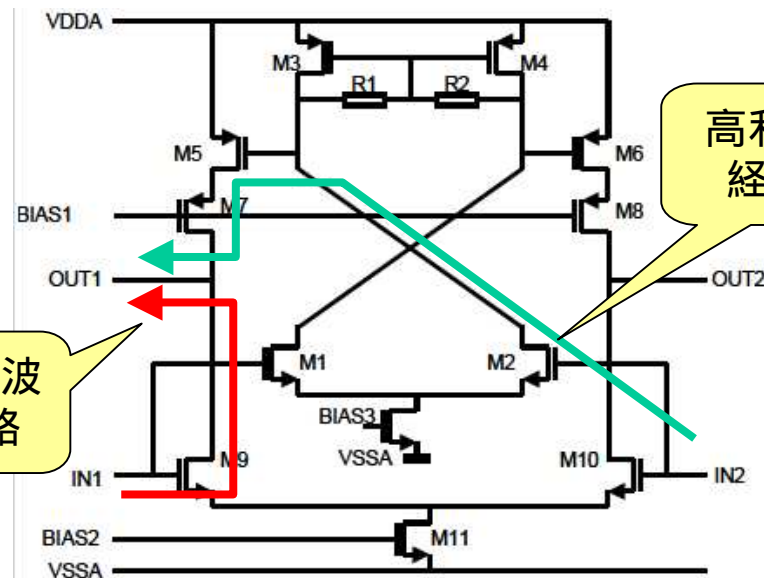
(NXP Semiconductors, Eindhoven, & Eindhoven Univ. of Technology)

各部の電流をモードに応じ、
4ビット分解能で切替え
低消費電力化



11のRと11のCから、121種の
モード(帯域とSNR)を生成

プログラマブル 5次 1b 連続型 変調器の構成
(DACはスイッチドキャパシタ)



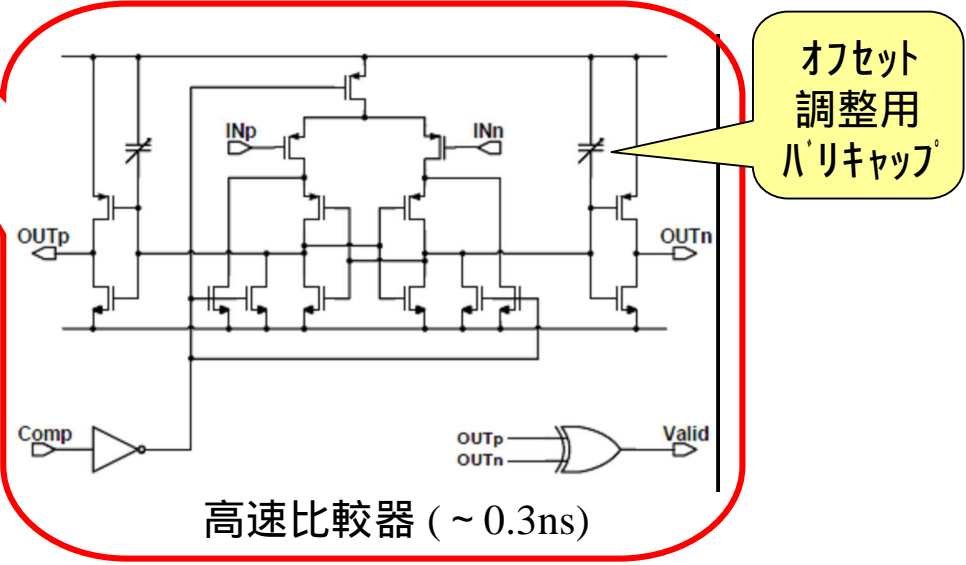
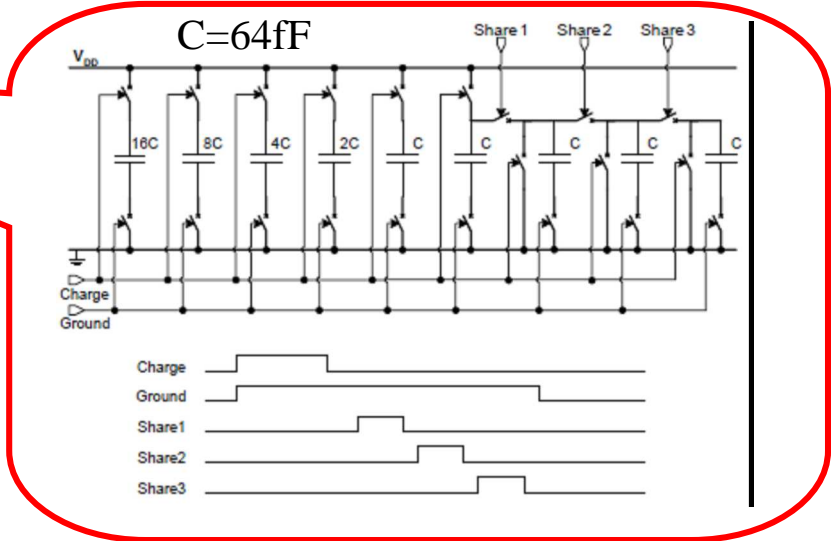
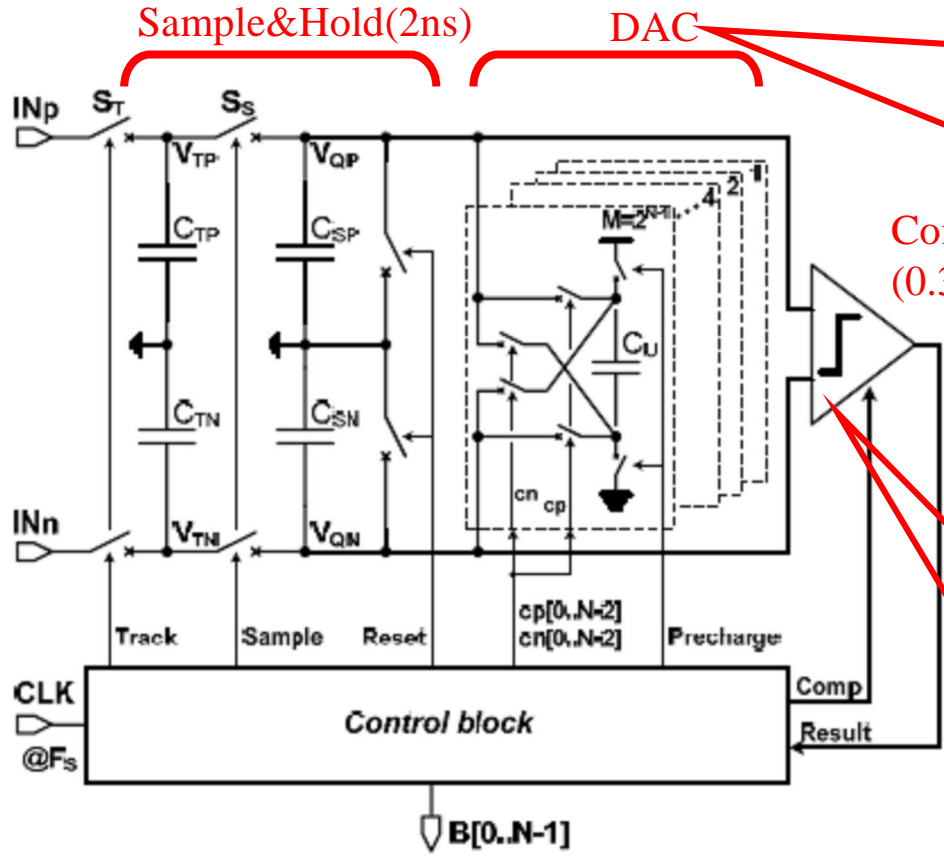
高周波
経路

高利得
経路

高利得、広帯域OTA

Process	1P 6M standard 90nm			
Supply voltage	1.1V – 1.3V (± 3 dB DR performance deviation)			
$\Delta\Sigma$ modulator	5 th -order CT, feedforward, 1-b with SC DAC			
Input voltage range	0.45V _{rms} , differential			
Modes	121	GSM	BT	WLAN
Sampling rate	13MHz - 400MHz	26MHz	200MHz	400MHz
Signal bandwidth	100kHz - 10MHz	200kHz	1MHz	10MHz
Dynamic range	52dB - 82dB	82dB	75dB	52dB
Intermod. distances	IM2 > 70dB IM3 > 75dB			
Image Rejection	> 50dB			
Power@1.2V, one $\Delta\Sigma$ modulator	1.44mW - 7mW	1.44mW	3.4mW	7mW
FOM	0.2pJ/conv. - 0.8pJ/conv.	0.2pJ/conv.	0.31pJ/conv.	0.8pJ/conv.

13.5) A 65fJ/Conv.-Step 0-to-0.7mW 9b Charge-Sharing SAR ADC in 90nm Digital CMOS
 by J.Craninckx, G.Van der Plas (IMEC, Belgium)



- ・ Amp不要のPassiveな電荷再配分方式
- ・ 高速比較器+高速RC (S/H 2ns+1.? ns/1bit x9bit)
- ・ 高速、低消費電力

Charge-Sharing SAR ADCの構成

4.2 Session 25:Nyquist ADC Techniques

- ・パイプライン方式は通信応用限定ではなく民生用を含めたSoC指向。
- ・発表機関はアジアが主体。韓国の台頭が顕著。
- ・低電圧化の工夫が見られるが、限定された方式の中でのローカルな改善。成熟期に入り、方式的には目を見張るような発表はない。
- ・90nmCMOSプロセス適用でFOM* $<0.5\text{pJ}/\text{conv.}$ が定着。(*:FOM= $P_w/(2^{\text{ENOB}_x} \text{fs})$)

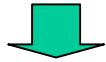
(黄色論文を次頁以降で詳細紹介)

No.	種類	論文名	発表機関	主要応用	プロセス	電圧 電力 FOM	内容、特徴
25.1	Pipeline	A 0.8V 10b 80MSps 6.5mW Pipelined ADC with Regulated Overdrive Voltage Biasing	富士通	携帯	90nm	0.8V 6.5mW	1.5x7+3b, 10b, 80Msps, Amp:76.8dB 1.2Vpp out, Vodを正確に制御, SNDR=53dB(fin=21MHz,80Msps)
25.2	Subrange	A 10b 160MSps 84mW 1V Subranging ADC in 90nm CMOS	UCLA	SoC	90nm	1V 84mW 0.89pJ	10b(ENOB=9.1b), 160Msps, Noise averaging+auto zero comp,
25.3	Pipeline	A 4.7mW 0.32mm ² 10b 30MSps Pipelined ADC Without a Front-End S/H in 90nm CMOS	ETRI 韓国	SoC	90nm	1V 4.7mW 0.23pJ	10b, 30Msps, SNDR=58.4dB, SFDR=75.2dB(@fin=2MHz)
25.4	Pipeline	A 10b 205MSps 1mm ² 90nm CMOS Pipelined ADC for Flat-Panel Display Applications	ETRI 韓国	FPD	90nm	1V 111mW pJ	10b, 205Msps, SNDR=55.2dB(@30MHz), PW=40mW
25.5	Pipeline	A Zero-Crossing-Based 8b 200MSps Pipelined ADC	MIT	?	180nm	1.8V 8.5mW 0.38-0.51pJ	8b, 200Msps, Comparater Base SC方式
25.6	Pipeline	A 92.5mW 205MSps 10b Pipeline IF ADC Implemented in 1.2V/3.3V 0.13um CMOS	Nordic Semicon ルウエー	?	130nm	1.2/3.3V 92.5mW pJ	10b(ENOB=9b), 205Msps, digital calibration,
25.7	Pipeline+Interleave	An 11b 800MSps Time-Interleaved ADC with Digital Background Calibration	Realtech 台湾	10GBas e -T	90nm	1.3V 350mW pJ	11b, 800Msps, digital calibration, DNL/INL<0.5/1.6LSB, SNDR=54dB(@400MHz)
25.8	T/H	A 50GS/s Distributed T/H Amplifier in 0.18um SiGe BiCMOS	Lucent	光通信	0.18um SiGe		トラック・ホールドアンプ部だけの発表, 50GS/s対応
25.9	4.2K SAR	A Cryogenic ADC operating Down to 4.2K	IMEC ベルギー	計測	0.7um	5V 350uW	8b, 3kHz

25.5) A Zero-Crossing-Based 8b 200MS/s Pipelined ADC

by L.Brooks, H.Lee (MIT, USA)

従来方式のパイプラインADCでは
高速、高利得オペアンプが必要



問題点

- ・高速:消費電力増大
- ・高利得:微細プロセス対応が困難
- ・高SNR:高電源電圧

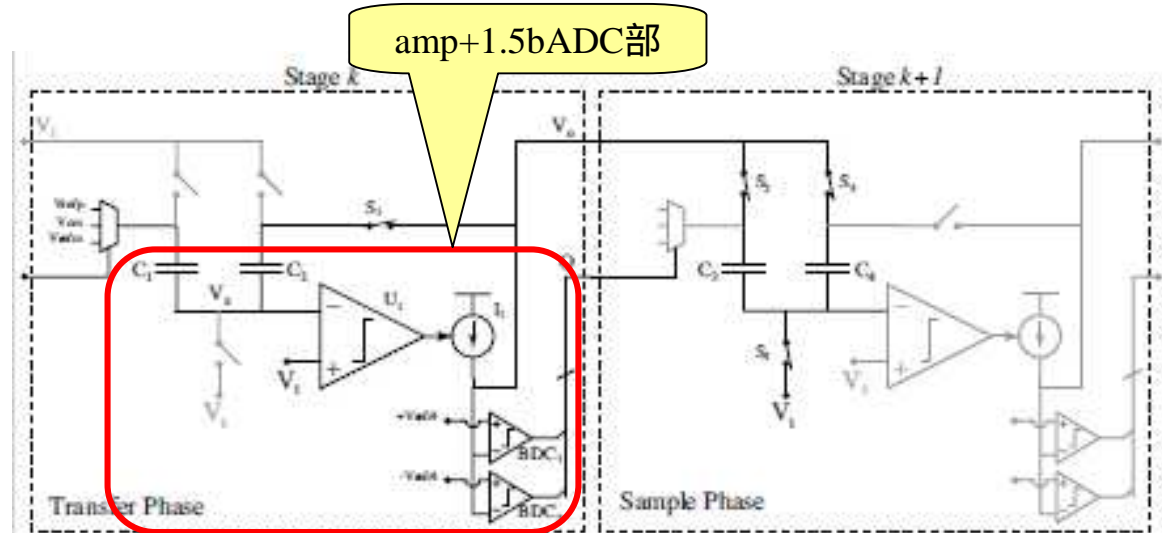


アンプの代わりに
コンパレータによる電流源制御方式
(右図上、CSBC方式)

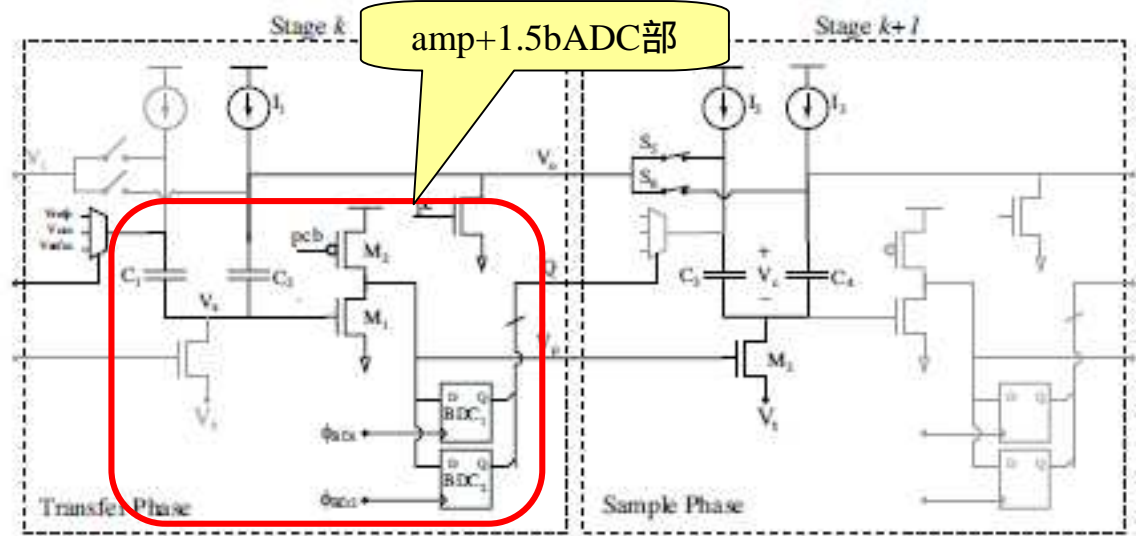


本論文のミソは
コンパレータがZero-Crossingで
動作することに注目することにより、
極めて簡単な構成で
高速・低電流コンパレータを実現

方式: 1.5b x 8段?
INL/DNL: $\pm 1 / \pm 0.75$ LSB
ENOB=6.4b, @200MS/s
PW/FOM=8.5mW/0.51pJ, @200MS/s



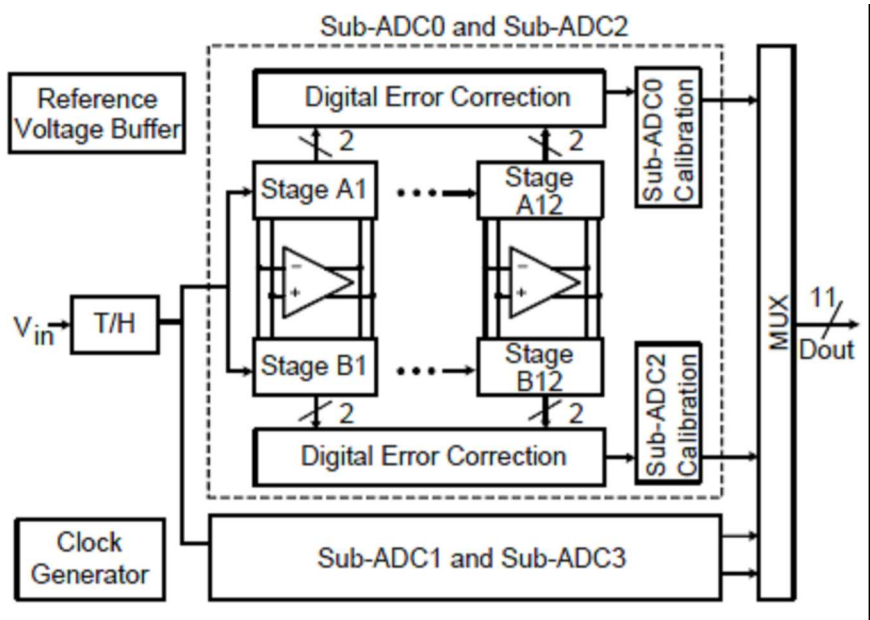
Comparator-Based Switched-Capacitor(CSBC)回路
by T.Sepke, et al (ISSCC2006)



本論文のZero-Crossing-Based Circuit(ZCBC)の構成

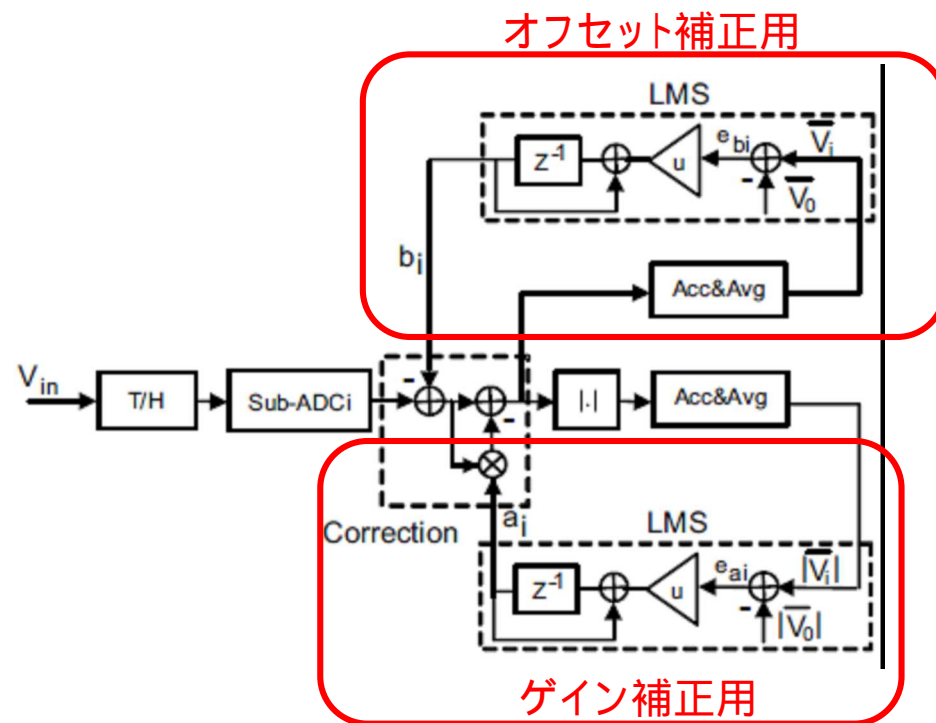
25.7) An 11b 800MS/s Time-Interleaved ADC with Digital Background Calibration

by C.Hsu, F.Huang, C.Sih, et al (Realtek, Taiwan, & UCLA)



ENOB > 9b, 800MS/sの実現のため、
4chの11bit ADCをTime-Interleaveで使用

ADCのブロック構成



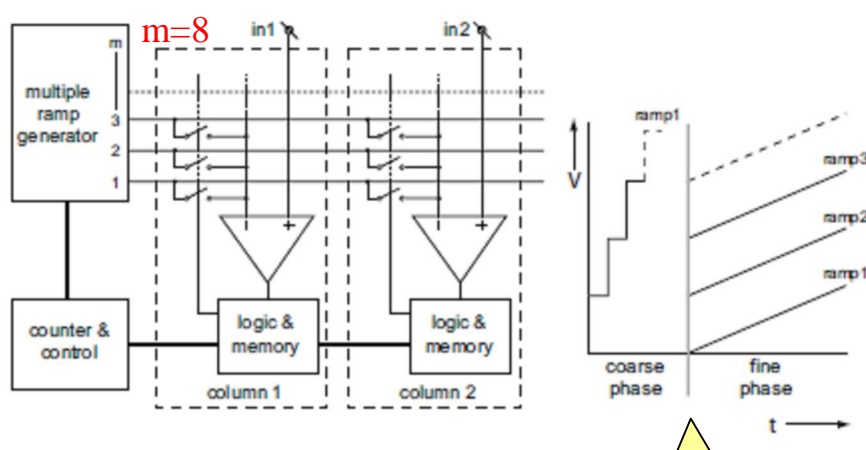
ADCのバックグラウンド・キャリブレーション回路

方式: 1.5b x 12段のパイプライン
INL/DNL < 1.6LSB/0.5LSB
SNDR = 54dB, @ fin = 400MHz
電力: 350mW, 1.3V

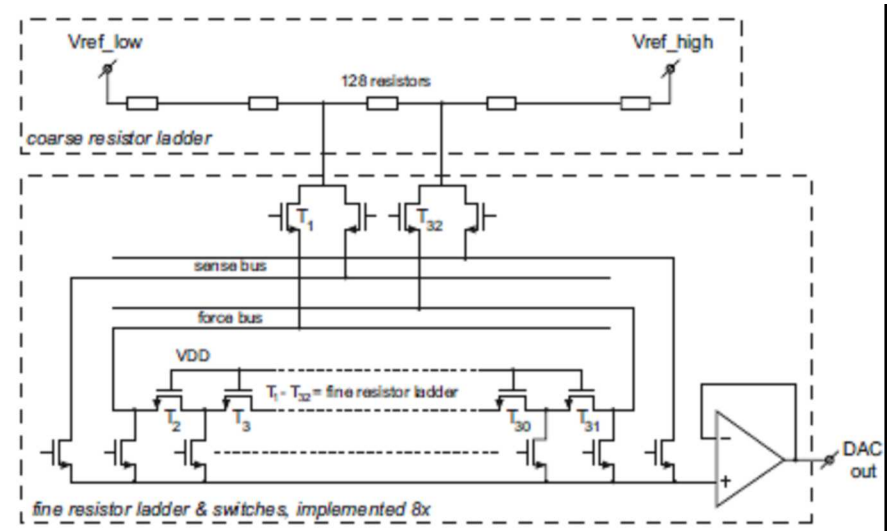
4.3 Session 28: Image Sensors

・高フレームレート化のために、昨年引き続き、カラム毎の新ADC方式が提案された。

No.	種類	論文名	発表機関	主要応用	プロセス	電圧 電力 FOM	内容、特徴
28.4	計数	A CMOS Image Sensor with a Column-Level Multiple-Ramp Single-Slope ADC	Delft大 オランダ	デジカメ	0.25um	58us 38mW	400x330 3T pixel, Multi-Ramp single-slope, 10b, 21us/line, 従来のsingle-slopeの3.3倍速い。



Coarse Phaseで上位3bitを求めると同時に、どのRampを選択するかを決定し、下位7bitを計数方式で求める。



マルチプル・ランプ関数発生回路
(8ヶの12ビット抵抗列DACで構成。
NMOSをFine抵抗に使用)