

ISSCC2006 参加速報 (ADC,DAC 関係)

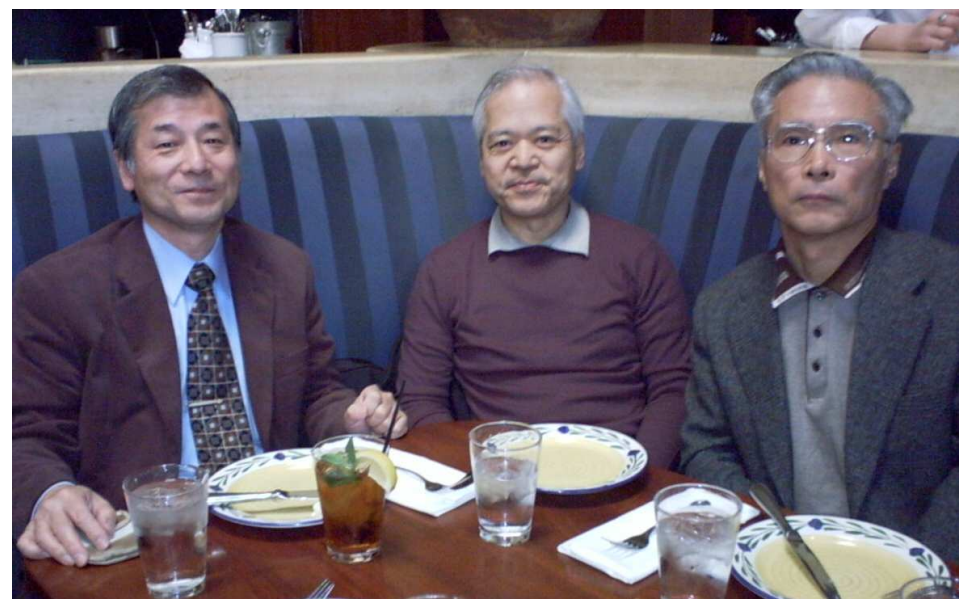
開催期間: 2006年2月5日~9日(主セッション:2/6~8)
開催場所: USA サンフランシスコ・マリオットホテル

ATNメンバーが4人参加!

- ・ATNから
 - 中川准一氏
(無線通信)
 - 麻殖生(まいお)健二
(ADC/DAC)
- ・大学から
 - 小林春夫群馬大教授
(ADC/DAC,離散回路)
 - 堀田正生武蔵工大教授
(ADC/DAC,アナデジLSI)

()内は専門分野

(ISSCC会場近くのレストランにて)



堀田教授

報告者
(麻殖生)

中川氏

ISSCC2006: ADC / DAC

1. 概要

- ・ADC/DACは全34セッション中、3セッション(25件)であり、昨年から1セッション減ったが活況。
- ・ADCの発表の主は、ビデオ向け高速高精度分野がパイプライン型、無線通信向け低電力分野が変調型で住み分け。また、データ通信/PRML向け超高速フラッシュ型が再生。
- ・変調ADCはSC型と連続型が半々程度で、連続型が定着。信号帯域20MHz,14bit,20mWが出現し、パイプライン方式の分野を侵蝕し始めた。
- ・ナイキストADCは大部分がパイプライン方式。微細CMOSによる電力/速度の競争であり、性能的、方式的に目を見張るものは見られない。
- ・超高速フラッシュADCが10Gbpsデータ通信時代に対応して再生。5b,22Gspsの発表あり。
- ・発表機関の分布(ADC/DAC全25件。筆頭者の所属機関で分類)
 - 地域別:US+Canada=14, Europe=7, Asia=4 (内、ソニー、シャープ、三星、香港大、各1)
 - 機関別:企業=13(Philips=2, ADI=1(大幅減),--、日本はソニー、シャープ),
大学=12 大幅に増加 (内米国の大学が10、中国の大学1、日本の大学は無し)

2. 技術潮流(アプリケーションが技術を牽引。次ページ参照)

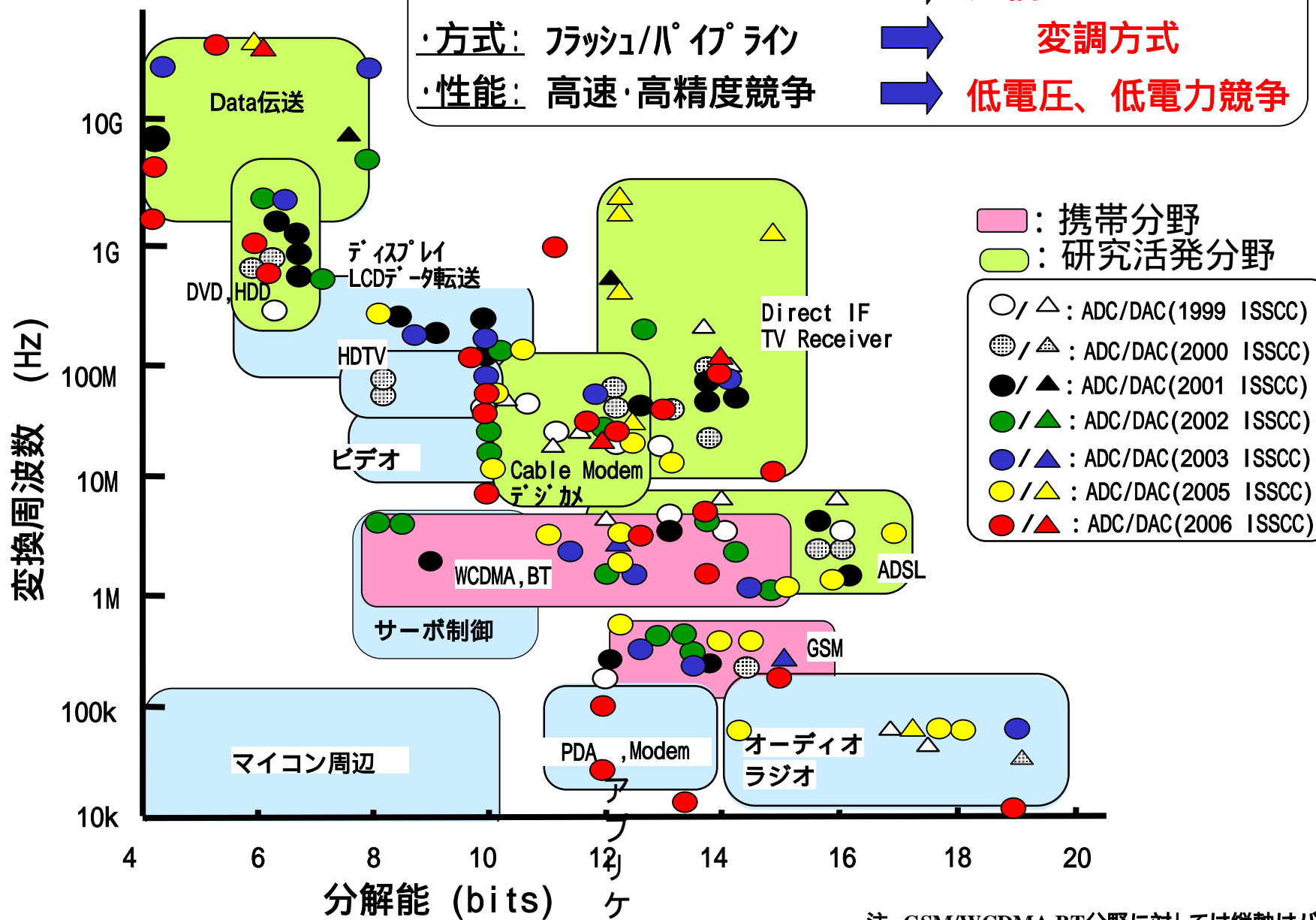
- ・ADC用途:無線/有線データ通信、携帯向けが大部分。民生向けADCはSoCの一部品として定着。
- ・ADC方式:方式が主流になり、ビデオ分野にも。超高速データ伝送向けのフラッシュが静かに台頭。
- ・ADC性能:高速・高精度の競争から低電圧・低電力化への方向は変わらない。
- ・DAC:今回の発表は3件のみ。潮流に関し、特筆すべきものはない。

3. 日本の位置付け

- ・相変わらず欧米が圧倒。とくに米国の大学が発表全体の40%を占め、質の高さがうかがえる。しかし、発表者の大部分はアジア系(インド、中国、韓国、系)であることから、日本以外のアジア勢の台頭が今後脅威になりそう。とくに中国やインドは要注意である。
- ・日本の大学には、近年、企業からの有力アナログLSI研究者が多数移っており、また元々の大学の先生方も力を入れているので数年後の復活が期待される。

ADC / DAC の動向

- ・**応用:** 民生(ビデオ、オーディオ) → **通信**
- ・**方式:** フラッシュ/パイプライン → **変調方式**
- ・**性能:** 高速・高精度競争 → **低電圧、低電力競争**



注、GSM/WCDMA,BT分野に対しては縦軸はバンド幅

4. 主要発表論文

4.1 Session 3: Over-sampling ADC

- ・昨年と比べると目新しさに欠ける。広帯域、高SNの傾向。
- ・従来の通信向け応用に変化はないが、それ以外に医用画像や民生(TV, ラジオ)向けへ展開。
- ・帯域20MHz、74dBの発表や1V以下の低電圧動作の発表が特徴的。
- ・8件の発表の内5件が大学。日本からはシャープがデジタルTV用を発表。

3.1	A 14b 20mW 640MHz CMOS CT ADC with 20MHz Signal Bandwidth and 12b ENOB	Xignal(独)	通信、医用画像、ビデオ	0.13um CMOS 8.6mm ²	方式: 3次連続型、4bit・16倍OSR量子化がキー 性能: 12-14bit(SNR=76dB), 40Msps(BW=20MHz), 1.2V動作, 20mW
3.6	A 0.5V 74dB SNDR 25kHz CT Modulator with Return to Open DAC	Chinese大(中国、香港)		0.18um CMOS 0.6mm ²	方式: 3次連続型、1bit・64倍OSR。低電圧化は連続型の採用およびDACがキー。 性能: SNDR=74dB, BW=25kHz, 0.5V動作, 0.37mW
3.8	An 80/100Msps 76.3/70.1dB SNDR ADC for Digital TV Receivers	シャープ	Digital TV	0.18um CMOS 1.7mm ²	方式: 4次SC型、4bit・12倍OSR。 性能: SNDR=76.3dB, BW=3.2MHz, 1.8V動作, 25mW

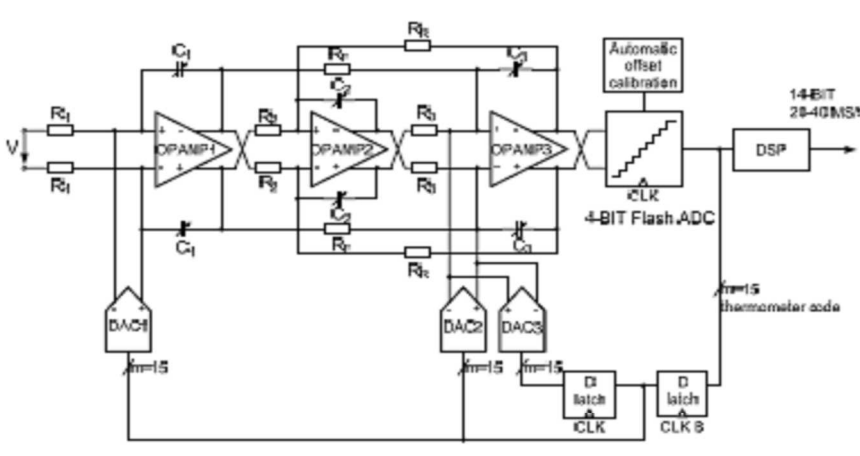


図3.1.3: 3次 4bit 連続型 ADC

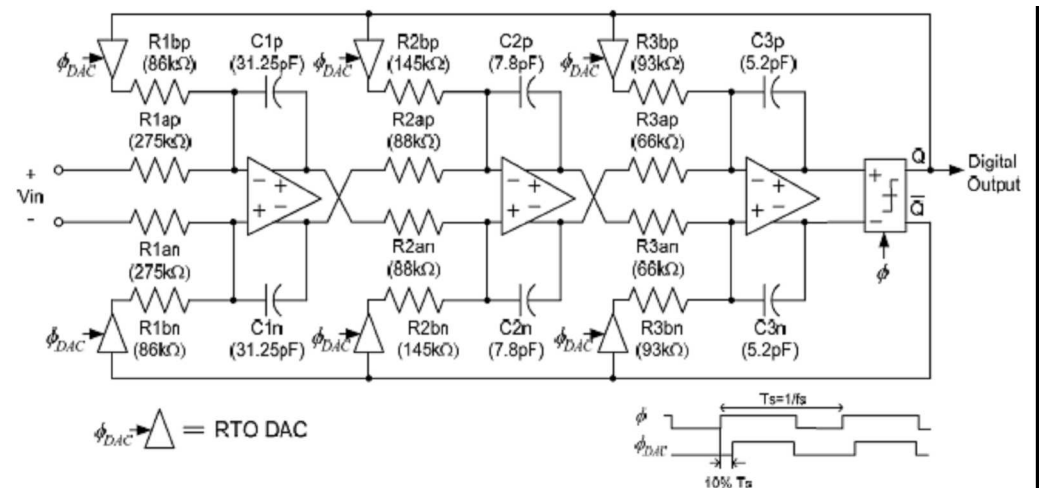
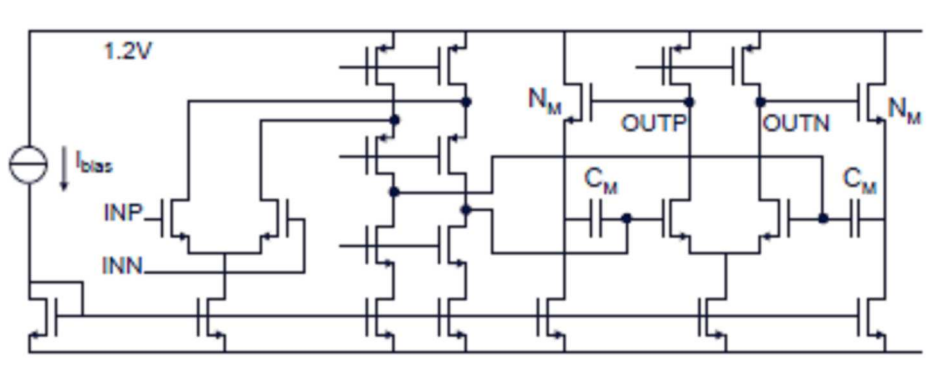


図3.6.1: 0.5V, 3次 1bit 連続型 ADC

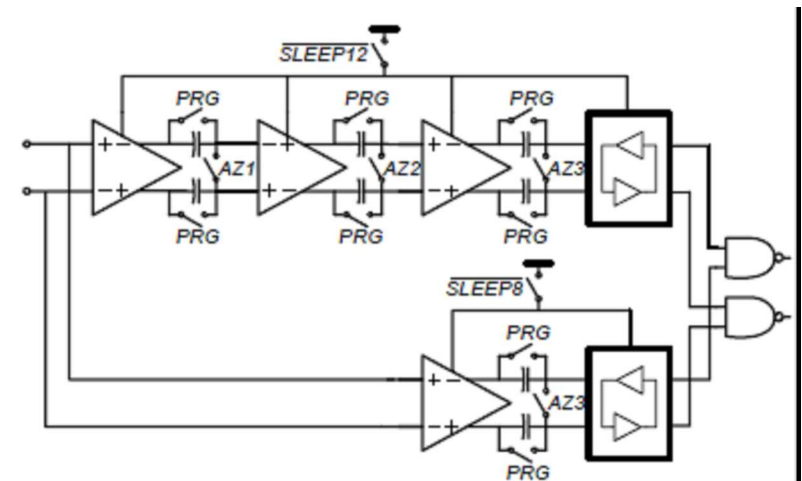
4.2 Session 12: Nyquist ADCs

- ・昨年同様、携帯型マルチメディア用に低電力化の方向が強い。
- ・高速分野用のパイプライン方式の発表が主だが、マイクロセンサ向け25uW逐次比較方式も興味深い。
- ・低電力化の工夫が見られるが、限定された方式の中でのローカルな改善。画期的なものが見当たらない。
- ・90nm CMOS プロセス適用で $FOM^* = 0.5 \sim 0.7 \text{ pJ/conv.}$ を達成。 (*: $FOM = P_w / (2^{\text{ENOB}} \times f_s)$)
- ・発表機関は8件の内、大学が4件。

12.1	A 90nm CMOS 1.2V 10b Power and Speed Programmable Pipeline ADC with 0.5pJ/Conversion-step	Philips	画像システム	90nm CMOS 0.3mm ²	方式: 1x2.5b+7x1.5b+1x2b パイプライン。S/H用opampのbias電流で f_s を制御。90nm化が低FOMのキー。 性能: 10bit(SNR=58.5dB), 120Msps(BW>100MHz), FOM=0.5pJ/conv., 1.2V動作, 0.3mW/Msps
12.5	A 25uW 100ksps 12b ADC for Wireless Micro-Sensor Applications	MIT	micro-sensor	0.18um CMOS 0.63mm ²	方式: 逐次比較型。2系統の比較器の選択およびsleep制御が低電力化のキー。 性能: 12b(SNDR=65dB), 100ksps, FOM=0.165pj/conv., 1V動作, 25uW



12.1.3: S/H用opamp, I_{bias} が変化しても A_o が変化しない構成。
 I_{bias} を変化して電力、 f_s をプログラマブルに制御。

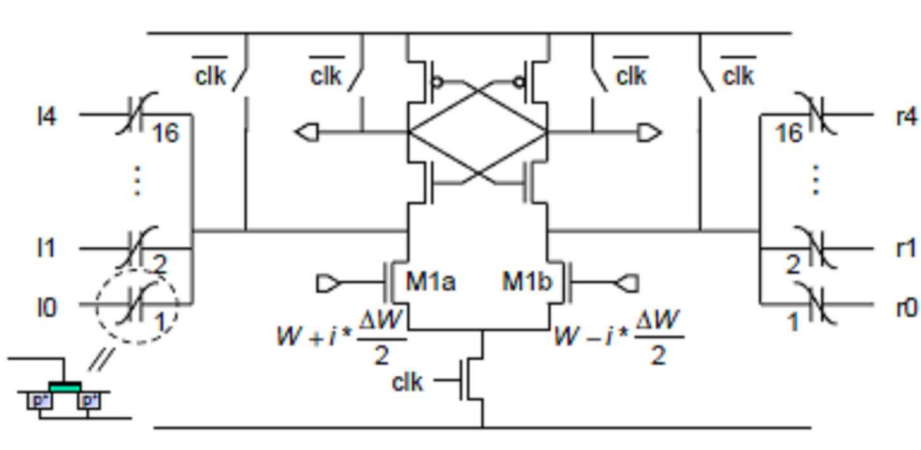


12.5.2: 2系統の比較器。精度によって選択。
変換期間後はsleepで、低電力化。

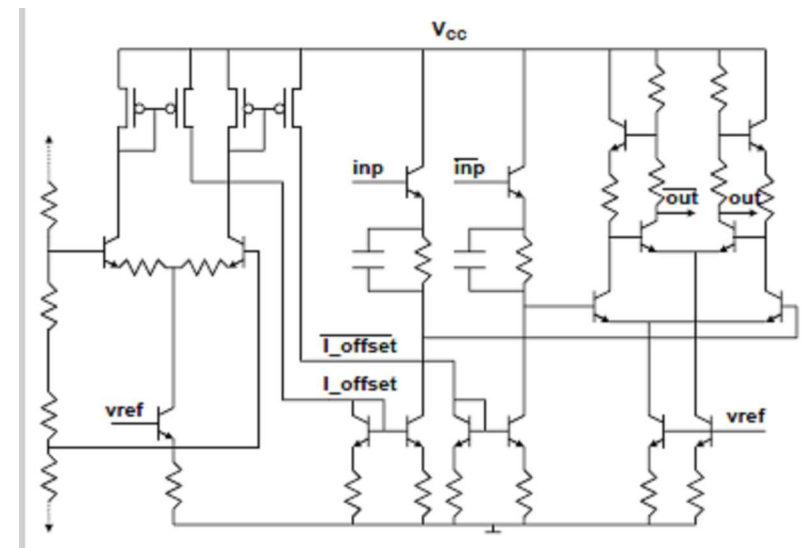
4.3 Session 31: Very High-Speed ADCs and DACs

- ・Serial links, UWB, HDD, DVD分野の高速化で毎年変換スピードがアップ。
- ・0.13um SiGe BiCMOSで5bit, 22Gspsが実現された。
- ・低電力化の動きも激しい。1.25Gsps, 4bで2.5mW や1Gsps, 11bでわずか250mWの発表あり。
- ・発表機関は9件中4件が大学。日本からの発表はない。

31.1	A 0.16pJ/Conv.-Step 2.5mW 1.25GSps 4b ADC in a 90nm Digital CMOS Process	IMEC (ベルギー)	WPAN	90nm CMOS 0.03mm ²	方式: フラッシュ型。低電力化のためT/H回路、プリアンプ、抵抗ラダー、スパークルエラー修正回路を除去。比較器に工夫。 性能: 4b, 1.25GSps(BW>3.3GHz), FOM=0.16pJ/conv., 1.2V動作, 2.5mW
31.4	A 22GSps 5b ADC in 0.13um SiGe BiCMOS	Nortel (加)	光通信	0.13um SiGe BiCMOS 2.4mm ²	方式: フラッシュ型。17の比較器で比較後、2組の16ヶのMSFFでインターリーブ。比較のVref回路に工夫。 性能: 5b, 22Gsps, 3.3V動作, 3W



31.1.2: 高速比較器。差動入力に重み付けしてRef電圧を生成。負荷の荷重容量でミスマッチエラーを補正。

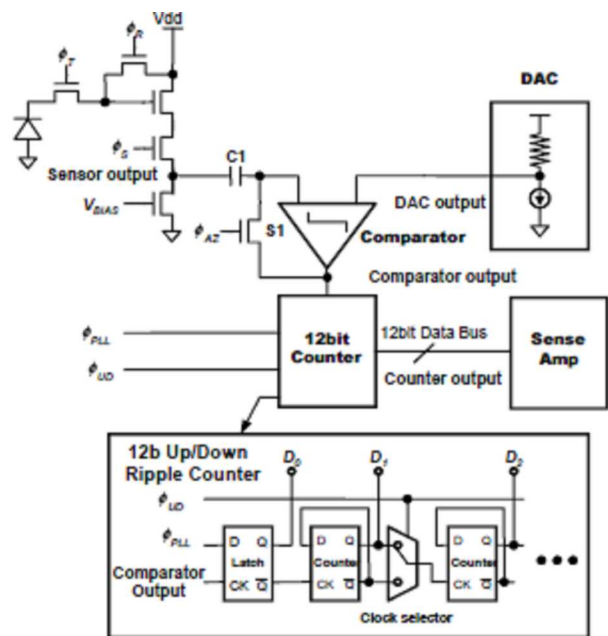


31.4.2: 高速比較器。入力ミットフォアのレベルシフト回路に流す電流に重みを持たせてRef電圧を生成。

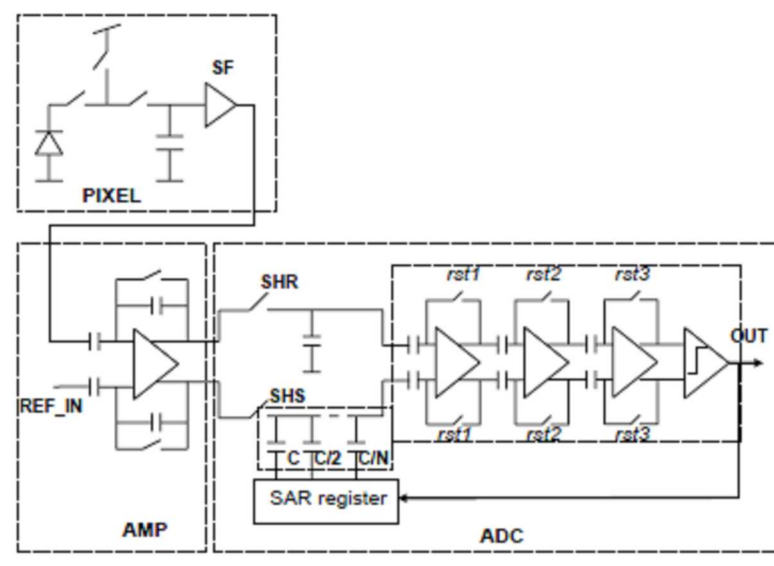
4.4 Session 27: Image Sensors

- ・デジカメのアナログ信号処理用に種々のADCが使われる。
- ・高画素化対応のADC用にカラム毎の低速ADC設置方式が主流。
- ・ソニー、Delft大は積分型、Alexima社は逐次比較型

27.5	High-Speed Digital Double Sampling with Analog CDS on Column Parallel ADC Architecture for Low-Noise Active Pixel Sensor	Sony	デジカメ	0.18um CMOS	方式: 1重積分型。1920カラム分をオンチップ。 性能: 12b, fCK=297MHz, 3.3V動作, 180frames/s
27.7	CMOS Image Sensor with Integrated 4Gbps Camera Link Transmitter	Alexima	CMOS 画像センサ	0.35um CMOS	方式: 逐次比較型。516カラム分をオンチップ。 性能: >1000frames/s



27.5.2: カラムベース(1920ch)のオンチップ1重積分型ADC



27.7.2: カラムベース(516ch)のオンチップ逐次比較ADC